

АНАЛИЗ SFR-СОВМЕСТИМОСТИ МИКРОКОНТРОЛЛЕРОВ ФИРМЫ SiLabs: ЦИФРО-АНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ

Олег Николайчук
onic@ch.moldpac.md

Статья опубликована:

Схемотехника, 2005

В рамках настоящей статьи цикла произведен системный анализ совместимости подсистемы цифро-аналогового преобразователя, описаны управляющие регистры, отмечены некоторые особенности.

Многие семейства микроконтроллеров фирмы Silicon Laboratories (SiLabs) [1] оснащаются подсистемами цифро-аналоговых преобразователей или DAC (Digital to Analog Converters). Они содержатся в 62% всех семейств и в 75% полноформатных семейств (F00x, F01x, F02x, F04x, F06x, F12x, F13x, F2xx). Во всех полноформатных семействах (кроме F01x и F2xx) содержится по 2 двенадцатиразрядных (12-битных) DAC с выходом по напряжению. Из всех пяти малоформатных семейств только 2 (F33x и F35x) имеют подсистемы DAC с выходами по току, причем в семействе F33x имеется только один десятиразрядный (10-битный) DAC, а в семействе F35x имеются два восьмиразрядных (8-битных) преобразователя. Сводная таблица 1 иллюстрирует наличие цифро-аналоговых преобразователей в семействах микроконтроллеров фирмы SiLabs и их основные характеристики.

Таблица 1

№№	Семейства микроконтроллеров	Разрядность, бит	Кол. DAC	Тип выхода (Напряжение – U / Ток – I)	Функций синхронизации выхода	Функции выравнивания / масштабирования	Максимальный выходной ток, мА
1	F00x, F02x, F04x, F06x, F12x, F13x	12	2	U (0-2,4 В)	4	+	15
2	F33x	10	1	I	8	-	0.5, 1, 2
3	F35x	8	2	I	8	-	0.25, 0.5, 1, 2

Очевидно, что подсистемы аналого-цифровых преобразователей имеют различные структуры.

На рис.1 показана структура аналого-цифровых преобразователей полноформатных семейств. Выходные данные записываются в два регистра (старшего и младшего байта). Затем, по сигналу от одного из выбранных источников, данные перезаписываются в регистры-защелки. Таким образом, осуществляется синхронизация. С выходов данные поступают на цифровой мультиплексор, в котором могут сдвигаться (вправо и влево) осуществляя процедуру выравнивания или масштабирования. С выхода цифрового мультиплексора данные поступают на вход собственно цифро-аналогового преобразователя, а с его выхода – на буферный выходной усилитель.

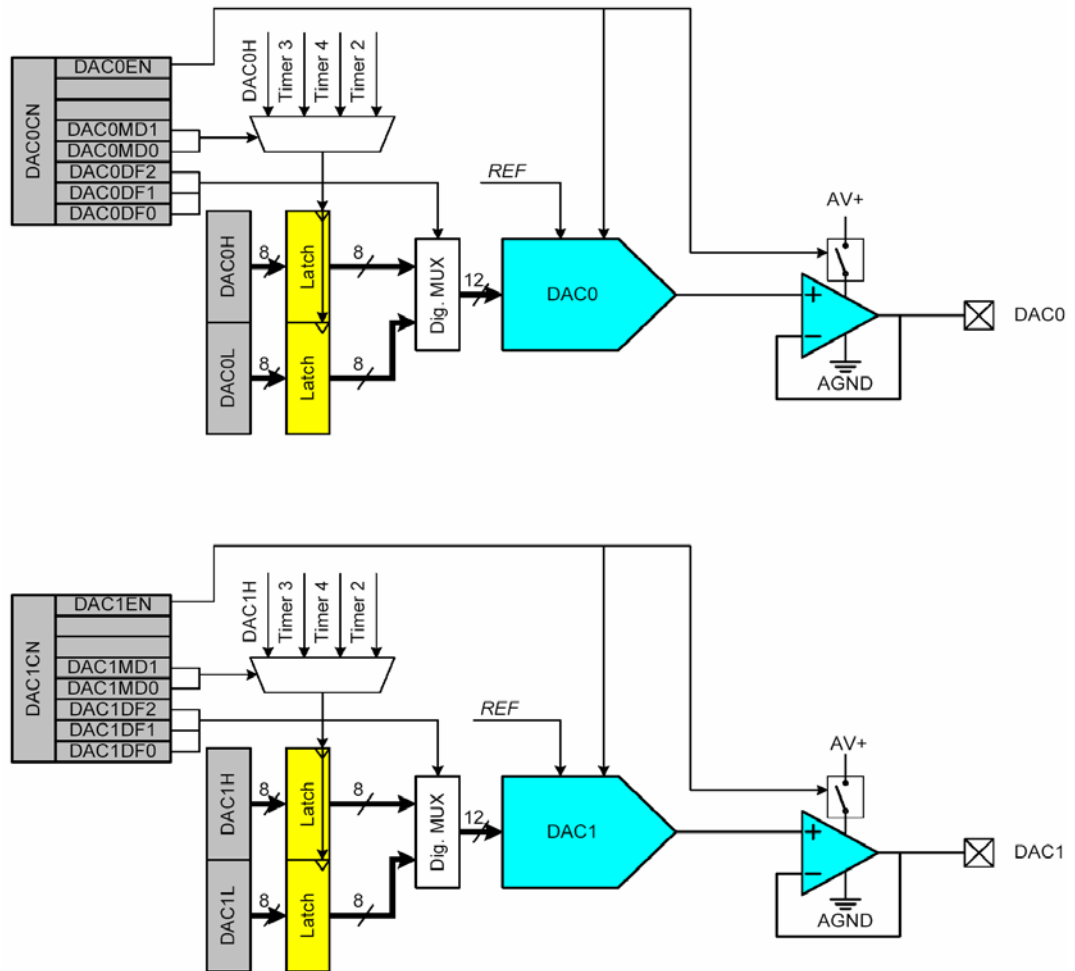


Рис.1. Структура аналого-цифровых преобразователей полноформатных семейств

На рис.2 показана структура DAC семейства F33x. Как видно из анализа структуры, отличия структуры состоят в отсутствие цифрового мультиплексора, что означает отсутствие возможностей масштабирования и сдвигов (выравнивания) выходного кода, а также отсутствие выходного буферного усилителя.

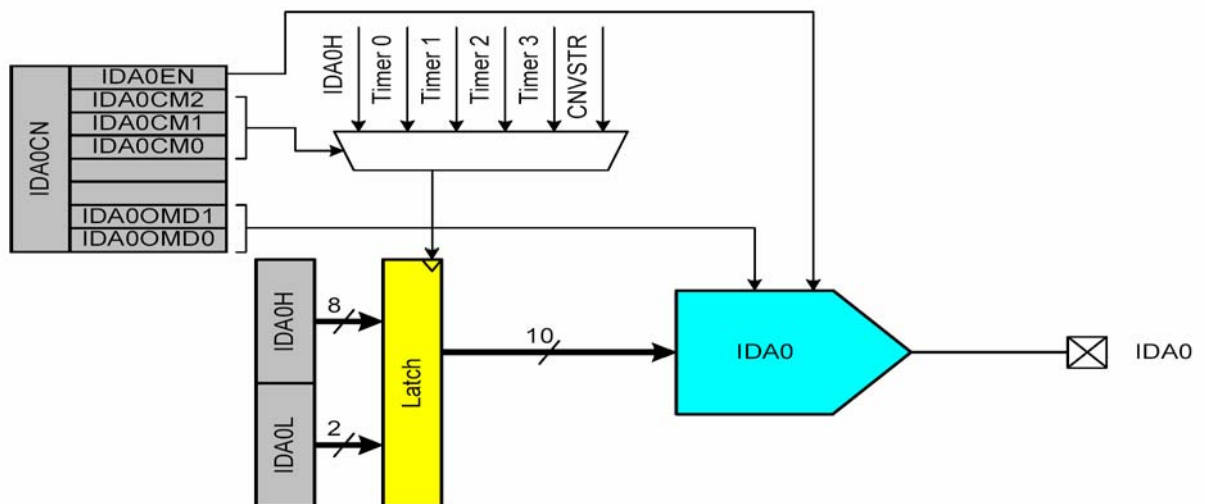


Рис.2

На рис.3 показана структура цифро-аналогового преобразователя семейства F35x. Отличия от предыдущей структуры состоят только в том, что поскольку цифро-аналоговые преобразователи этого семейства восьмиразрядные, используются только однобайтные регистры данных и защелки.

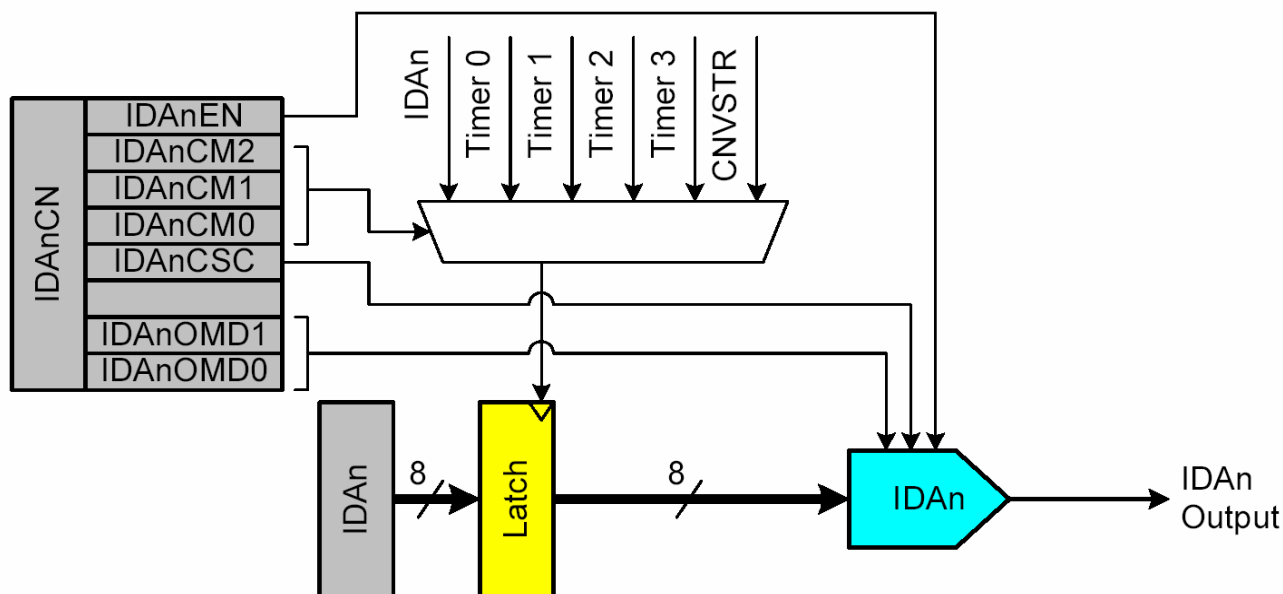


Рис.3

Сводная таблица SFR-регистров приведена в таблице 2.

Таблица 2

Название регистра	Назначение	Адрес SFR регистра												
		F00x	F01x	F02x	F04x	F06x	F12x	F13x	F2xx	F30x	F31x	F32x	F33x	F35x
DAC0CN	Управление DAC0	0xD4	-	0xD4	0xD4/0	0xD4/0	0xD4/0	0xD4/0	-	-	-	-	0xB9	0xB9
DAC0H	Старший байт данных DAC0	0xD3	-	0xD3	0xD3/0	0xD3/0	0xD3/0	0xD3/0	-	-	-	-	0x97	-
DAC0L	Младший байт данных DAC0	0xD2	-	0xD2	0xD2/0	0xD2/0	0xD2/0	0xD2/0	-	-	-	-	0x96	0x96
DAC1CN	Управление DAC1	0xD7	-	0xD7	0xD4/1	0xD4/1	0xD4/1	0xD4/1	-	-	-	-	-	0x97
DAC1H	Старший байт данных DAC1	0xD6	-	0xD6	0xD3/1	0xD3/1	0xD3/1	0xD3/1	-	-	-	-	-	-
DAC1L	Младший байт данных DAC1	0xD5	-	0xD5	0xD2/1	0xD2/1	0xD2/1	0xD2/1	-	-	-	-	-	0xDD

Как видно из таблицы 2, каждый из аналого-цифровых преобразователей программируется максимум тремя регистрами. Всего регистров, описывающих подсистему – шесть:

- DAC0CN - регистр управления DAC0;
- DAC0H - регистр старшего байта DAC0;
- DAC0L - регистр младшего байта DAC0;
- DAC1CN - регистр управления DAC1;
- DAC1H - регистр старшего байта DAC1;
- DAC1L - регистр младшего байта DAC1.

Данные в цифро-аналоговые преобразователи записываются в регистры данных. Младший байт адреса записывается для полноформатных семейств в регистры DAC0L и DAC1L, расположенные по SFR адресам 0xD2 и 0xD5 в ранних семействах (F00x и F02x) и по адресам 0xD2/0 и 0xD2/1 в остальных полноформатных семействах (F04x, F06x, F12x и F13x). В малоформатных семействах младший байт адреса записывается в регистры, расположенные по SFR адресам 0x96 и 0xDD. Старший байт адреса записывается для полноформатных семейств в регистры DAC0H и DAC1H, расположенные по SFR адресам 0xD3 и 0xD6 в ранних семействах (F00x и F02x) и по адресам 0xD3/0

и 0xD3/1 в остальных полноформатных семействах (F04x, F06x, F12x и F13x). В малоформатном семействе F33x старший байт адреса записывается в регистр, расположенный по SFR адресу 0x97. Назначение битов регистров очевидно из названия.

Управление цифро-аналоговыми преобразователями осуществляется через SFR регистр управления - DAC0(1)CN. Назначение битов этого регистра приведено в таблице 3.

Таблица 3

Название регистра — DAC0(1)CN – DAC0(1) Control Register (Регистр управления DAC0(1))								
SFR адрес			Значение после сброса					
F00x, F02x, F04x, F06x, F12x, F13x - 0xD4 F33x, F35x - 0xB9			F00x, F02x, F04x, F06x, F12x, F13x - 0000000b (0x00) F33x- 01110010b (0x72)					
Семейства	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F00x	DAC0EN	-	-	-	-	DAC0DF2	DAC0DF1	DAC0DF0
F02x, F04x, F06x, F12x, F13x	DAC0EN			DAC0MD1	DAC0MD0	DAC0DF2	DAC0DF1	DAC0DF0
F33x	IDA0EN	IDA0CM2	IDA0CM1	IDA0CM0	-	-	DAC0MD1	DAC0MD0
F35x	IDA0EN	IDA0CM2	IDA0CM1	IDA0CM0	IDA0CSC	-	DAC0MD1	DAC0MD0

В таблице 3 и в описании ниже приводится назначение битов для цифро-аналогового преобразователя DAC0, однако приведенные описания назначения битов безусловно справедливы и для цифро-аналогового преобразователя DAC1. Рассмотрим назначение основных битов.

DAC0EN (IAD0EN) - бит разрешения работы DAC0(1). Если указанный бит установлен (высокое состояние) – это состояние соответствует включенному цифро-аналоговому преобразователю. Если бит очищен – DAC0(1) - выключен.

DAC0DF2-0 - биты определяют формат (сдвиг) данных DAC0(1).

000b - данные записываются (выводятся) без сдвига;

001b - данные записываются со сдвигом на 1 разряд влево (в сторону старших разрядов);

010b - сдвиг составляет 2 разряда влево;

011b - сдвиг составляет 3 разряда влево;

1xxb - сдвиг составляет 4 разряда влево.

DAC0MD1-0 - биты выбора источника синхронизации (момента записи в регистр-защелку и изменения значения на выходе DAC0(1)):

00b - значение на выходе обновляется при записи в DAC0H;

01b - значение на выходе обновляется при переполнении таймера 3;

10b - значение на выходе обновляется при переполнении таймера 2;

11b - значение на выходе обновляется при переполнении таймера 1;

IDA0CM2-0 - биты выбора источника синхронизации:

000b – обновление по переполнению таймера 0;

001b – обновление по переполнению таймера 1;

010b – обновление по переполнению таймера 2;

011b – обновление по переполнению таймера 3;

100b - обновление по переднему фронту импульса на входе CNVSTR;

101b - обновление по заднему фронту импульса на входе CNVSTR;

110b - обновление по любому фронту импульса на входе CNVSTR;

111b – обновление по записи в регистр IDA0H.

IDA0MD1-0 – биты выбора максимального выходного тока (в токовых DAC малоформатных семейств):

00b – полная шкала – 0.1 mA;

01b – полная шкала – 1 mA;

1xb – полная шкала – 2 mA.

IDA0CSC – бит управления током потребления:

0b – ток потребления от источника питания VDD зависит от выводимого кода данных;

1b - ток потребления от источника питания VDD не зависит от выводимого кода данных.

Литература:

1. <http://www.silabs.com>