Глава 9. СЕМЕЙСТВО МИКРОКОНТРОЛЛЕРОВ C8051F12x

9.1. Обобщенная структура и состав семейства C8051F12x

Семейство C8051F12x состоит из 8 микроконтроллеров с номерами 120 - 127 [15]. Состав семейства и его основные характеристики приведены в таблице 9.1.

Таблица 9.1.

Состав семейства C8051F12x

	MIPS (Peak)	Flash Memory	RAM, byte	SMBus (I2C)	SPI	UART	Timers (16 bit)	PCA	I/O Ports	ADC0 Resolution	ADC0 Inputs	ADC1 Resolution	ADC1 Inputs	DAC's 12 bit	Comparators	Vref	Temp. Sensor	Package TQFP
C8051F120	100	128k	8448	√	√	2	5	√	64	12	8	8	8	2	2	√	√	100
C8051F121	100	128k	8448	√	√	2	5	√	32	12	8	8	8	2	2	√	√	64
C8051F122	100	128k	8448	√	√	2	5	√	64	10	8	8	8	2	2	√	√	100
C8051F123	100	128k	8448	√	√	2	5	√	32	10	8	8	8	2	2	√	√	64
C8051F124	50	128k	8448	√	√	2	5	√	64	12	8	8	8	2	2	√	√	100
C8051F125	50	128k	8448	√	√	2	5	√	32	12	8	8	8	2	2	√	√	64
C8051F126	50	128k	8448	√	√	2	5	√	64	10	8	8	8	2	2	√	√	100
C8051F127	50	128k	8448	√	√	2	5	√	32	10	8	8	8	2	2	√	√	64

Обобщенная структура микроконтроллеров первого семейства C8051F12x, представленная на рис.9.1, состоит из трех функциональных групп: аналоговой периферии (Analog Peripherals), цифровой периферии (Digital Peripherals or Digital I/O) и высокопроизводительного контроллерного ядра (High-Speed Controller Core). 1

Обобщенная структура семейства сильно напоминает структуру семейства C8051F04x.

Основными структурными отличиями этого семейства от предыдущего являются:

- Увеличенная тактовая частота и пиковая производительность;
- Отсутствие в составе цифровой периферии интерфейса CAN;
- Количество входов мультиплексора первого 12(10)-разрядного аналого-цифрового преобразователя равно 8;
- Увеличен объем Flash памяти программ/данных и встроенной оперативной памяти;
- Многостраничная организация SFR регистров.

Как и в других семействах, в этом семействе имеется основной микроконтроллер C8051F120 и пять упрощенных вариантов, которые отличаются от основного разрядностью первого аналого-цифрового преобразователя, количеством портов ввода/вывода и производительностью (максимальной тактовой частотой).

В состав группы аналоговой периферии входят: первый аналого-цифровой преобразователь ADC0 с разрядностью 12 бит (C8051F120/121/124/125) или 10 бит (C8051F122/123/126/127); первый аналоговый входной мультиплексор AMUX0 на 8 входов, которые могут быть запрограммированы как однополярные или дифференциальные входы; первый программируемый входной предварительный усилитель PGA0, который может быть запрограммирован на один из шести коэффициентов усиления (16, 8, 4, 2, 1, 0.5); второй аналого-цифровой преобразователь ADC2 с разрядностью 8 бит; второй аналоговый входной мультиплексор AMUX2 на 8 входов; второй программируемый входной предварительный усилитель PGA2, который может быть запрограммирован на один из шести коэффициентов усиления (4, 2, 1, 0.5); источник опорного напряжения VREF на 2,4В (15 ppv/C°); встроенный датчик температуры с точностью ±3C°; два двенадцатиразрядных цифро-аналоговых преобразователя DAC0(1), два аналоговых компаратора с программируемым гистерезисом, конфигурируемые при прерывании или сбросе и прецизионный монитор питания.

Группа узлов цифровой периферии содержит: программируемый массив PCA с *шестью* режимами; интерфейсы: SMBus, SPI, два быстродействующих последовательных порта UART0 и UART1; *пять* шестнадцатиразрядных таймера/счетчика общего назначения; восемь (C8051F120/122/124/126) или четыре (C8051F121/123/125/127) байтовых порта ввода/вывода, совместимых с внешней пяти-вольтовой логикой; мультиплексированный и не мультиплексированный интерфейсы внешней памяти про-

грамм/данных EMIF.

Функциональная группа ядра микроконтроллера содержит:

- высокоскоростное ядро, работающее при частотах до 100(50)МГц, обеспечивающее пиковую производительность до 100MIPS;
- встроенный программируемый калибруемый генератор тактовой частоты (от 2 до 25 МГц); тактовый генератор с внешним кварцевым резонатором (RC - цепочкой, конденсатором или входом внешнего генератора);
- узел отладки - JTAG;
- 256 + 8192 байт оперативной памяти;
- 128К встроенной Flash памяти программ с механизмом банкирования и внутрисистемным программированием ISP (In-System Programmable);
- охранный таймер WDT (Watchdog Timer);
- развитый контроллер прерываний.

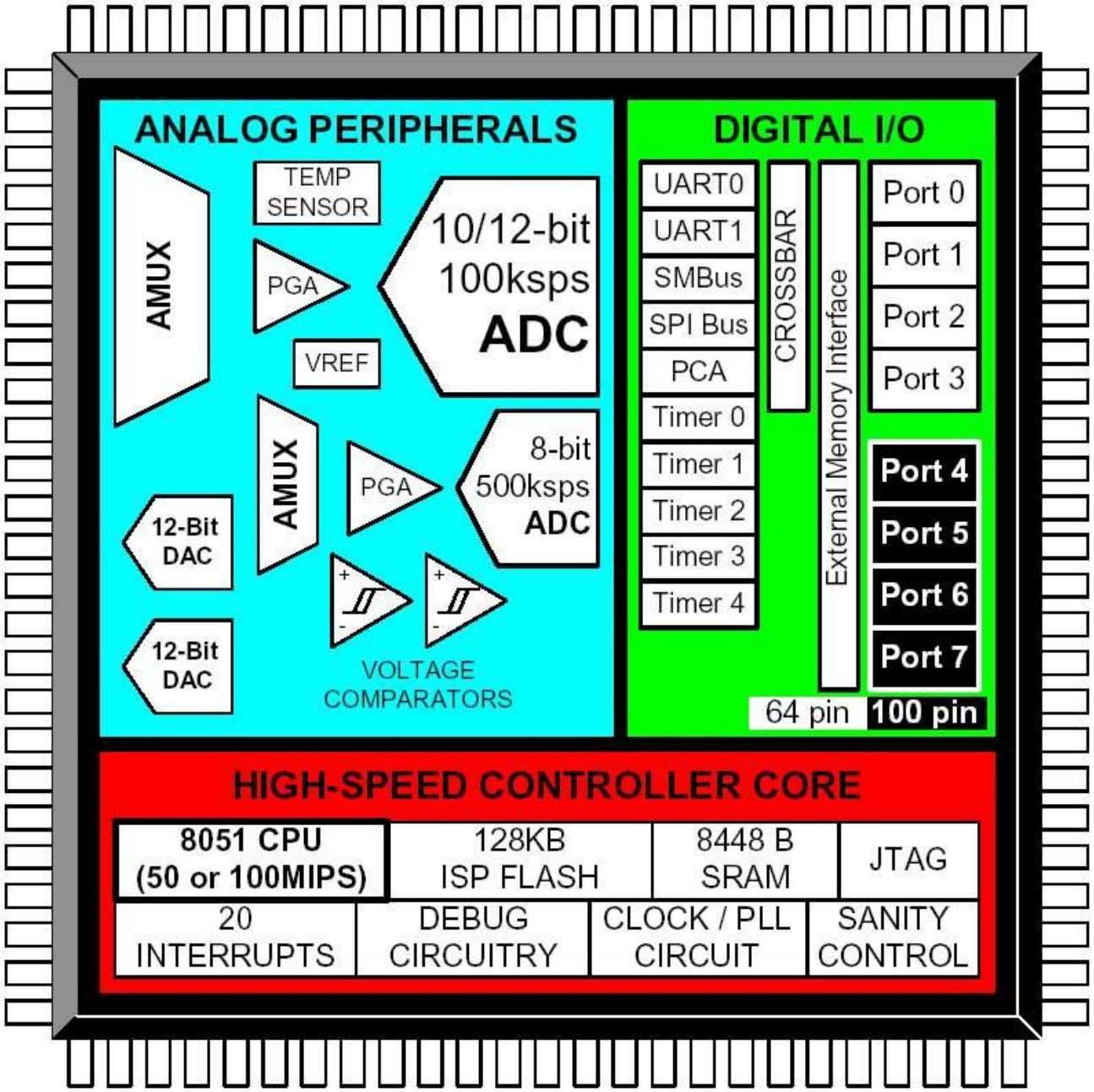

Рис.9.1. Обобщенная структура микроконтроллеров семейства C8051F12x

Все микроконтроллеры семейства работают при напряжении питания от 2,7В до 3,6В в индустриальном диапазоне температур от -45 до +85С˚. Линии портов ввода/вывода, сброса и JTAG работоспособны при питании 5В.

9.2. Функциональные схемы, типы корпусов и назначение выводов

Микроконтроллеры семейства C8051F12x имеют различное количество выводов (соответственно и корпус). Микроконтроллеры C8051F120/122/124/126 выпускаются в корпусе со 100 выводами - TQFP-100 (см. рис.9.2). Микроконтроллеры C8051F121/123/125/127 выпускаются в корпусе с 64 выводами - TQFP-64 (см. рис.9.3). Функциональные схемы всех микроконтроллеров показаны на рис.9.4 - 9.5. Назначение выводов микроконтроллеров семейства C8051F12x незначительно отличается от расположения выводов семейства C8051F04x и приведено в таблице 9.2.

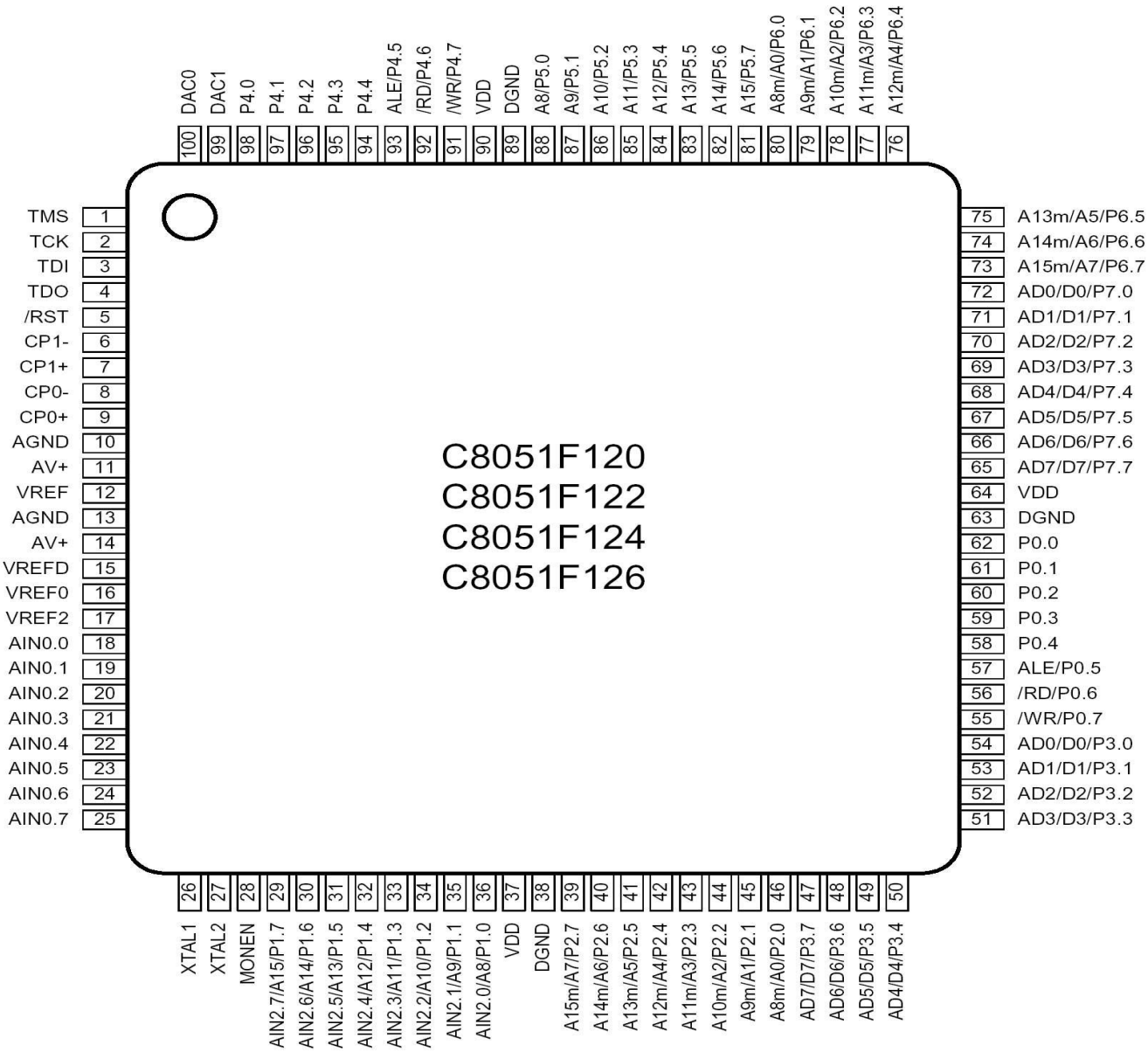

Рис.9.2. Расположение выводов микроконтроллеров C8051F120/122/124/126 в корпусе TQFP-100

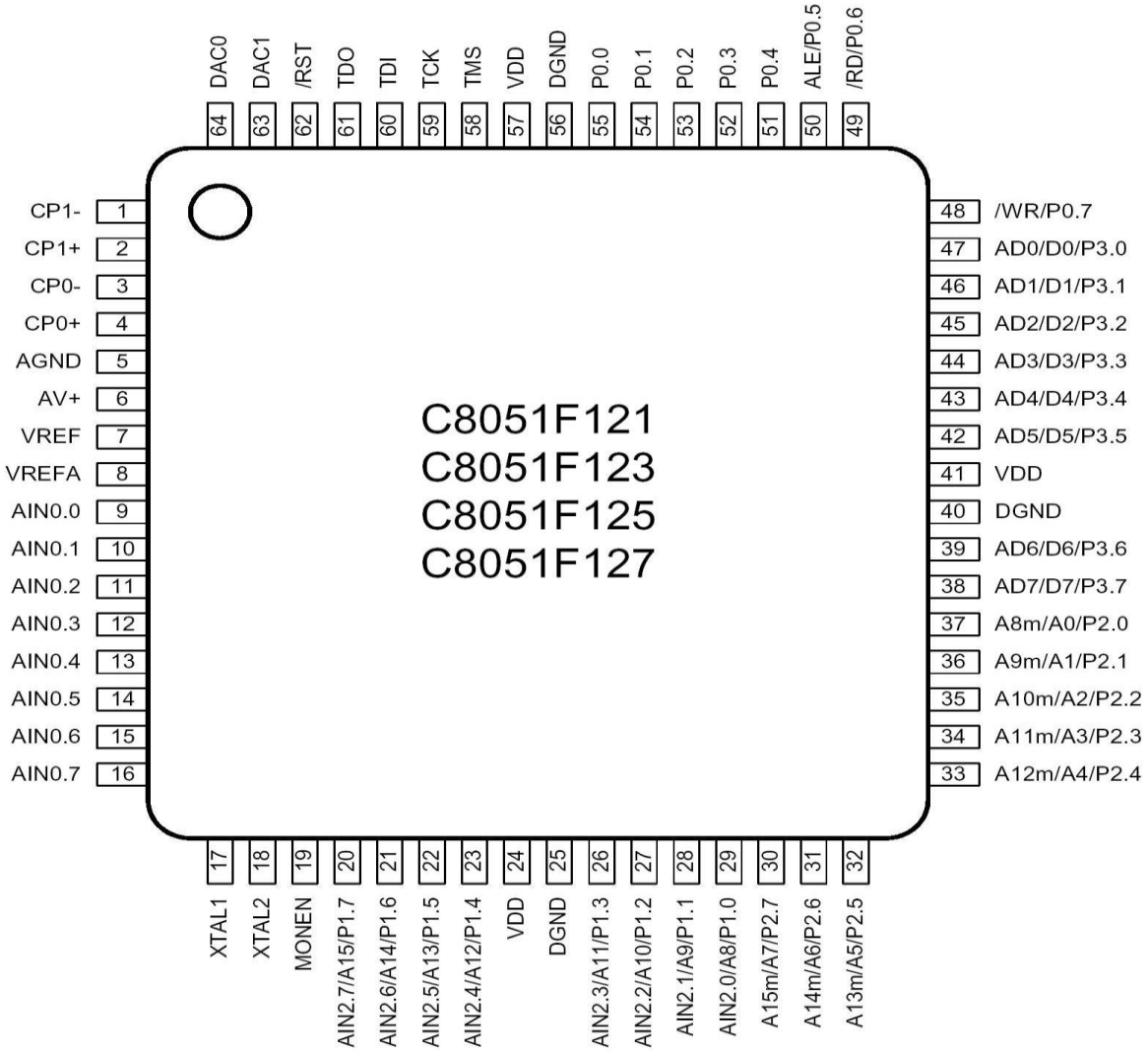

Рис.9.3. Расположение выводов микроконтроллеров C8051F121/123/125/127 в корпусе TQFP-64

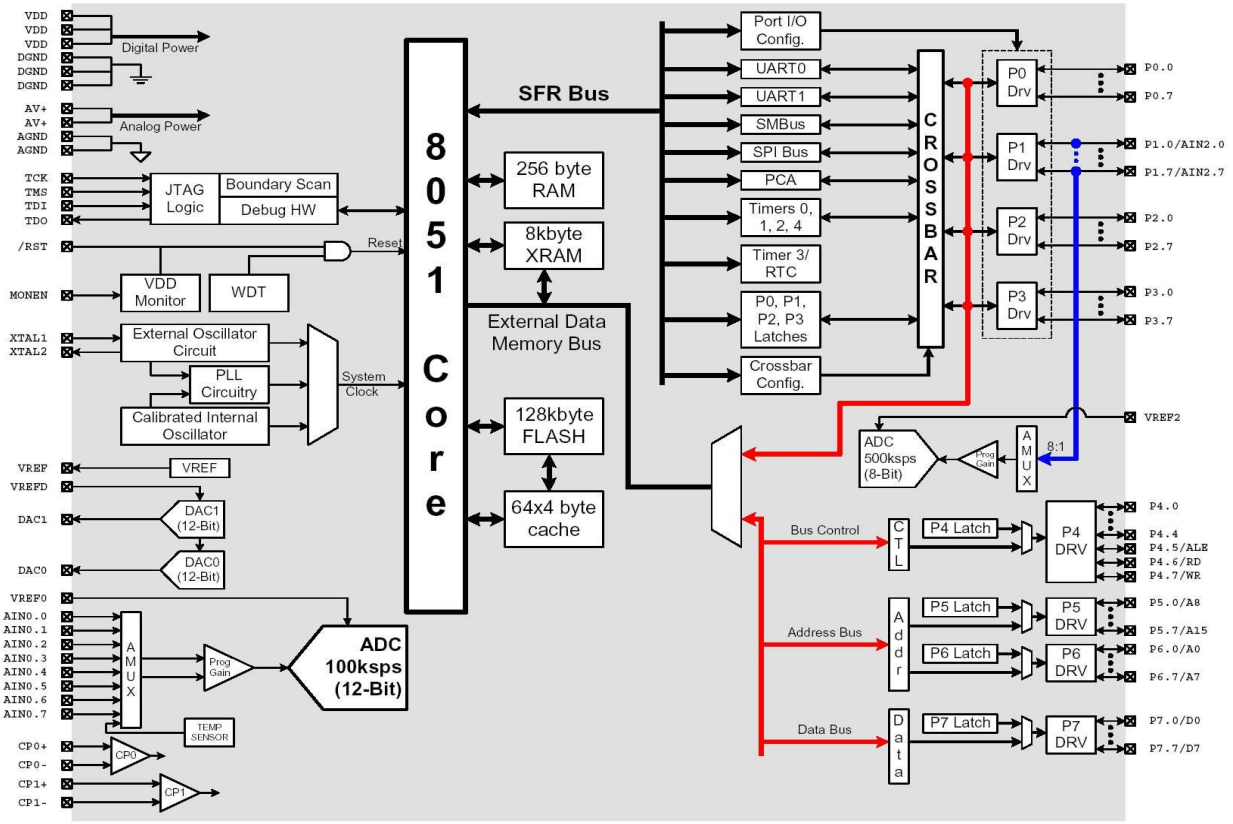

Рис.9.4. Функциональная схема микроконтроллеров C8051F120/122/124/126 в корпусе TQFP-100

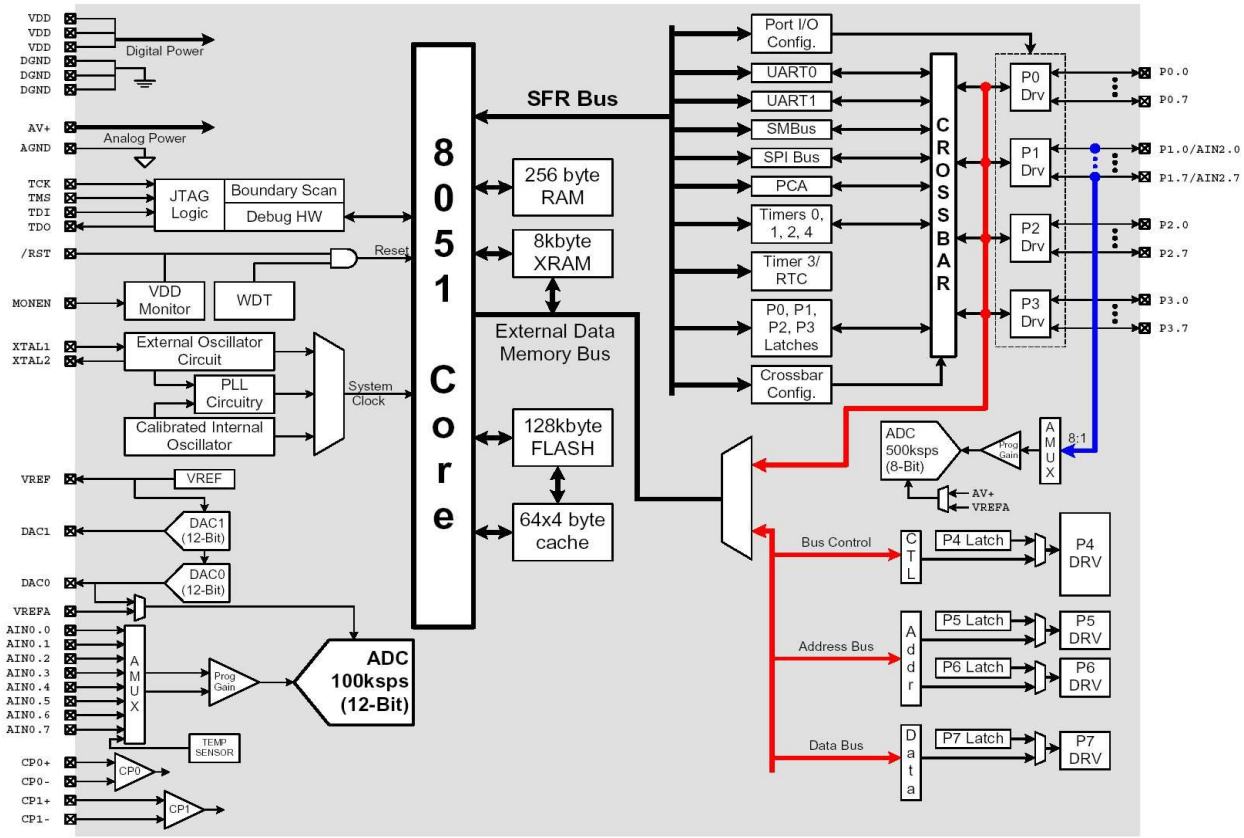

Рис.9.5. Функциональная схема микроконтроллеров C8051F121/123/125/127 в корпусе TQFP-64

Таблица 9.2.

Сводная таблица нумерации, названия и назначения выводов семейства C8051F12x

Имя	Выводы		Тип	Описание
	F120 F122 F124 F126	F121 F123 F125 F127		
VDD	37,64, 90	24,41, 57		Цифровое напряжение питания (должно быть от +2.7 до +3.6 V)
DGND	38,63, 89	25,40, 56		Цифровая земля
AV+	11, 14	6		Аналоговое напряжение питания (должно быть от +2.7 до +3.6 V)
AGND	10, 13	5		Аналоговая земля
TMS	1	58	D In	JTAG Test Mode Select – сигнал режима интерфейса программирования и отладки
TCK	2	59	D In	JTAG Test Clock – сигнал тактирования интерфейса программирования и отладки
TDI	3	60	D In	JTAG Test Data Input – входной сигнал данных интерфейса программирования и отладки (запоминается по переднему фронту сигнала тактирования TCK)
TDO	4	61	D Out	JTAG Test Data Output – выходной сигнал данных интерфейса программирования и отладки (данные сдвигаются по заднему фронту сигнала тактирования TCK. TDO – выход с тремя состояниями
RST/	5	62	D I/O	Сигнал сброса
XTAL1	26	17	A In	Вход подключения кварцевого генератора
XTAL2	27	18	A Out	Выход подключения кварцевого генератора
MONEN	28	19	D In	VDD Monitor Enable – вход разрешения встроенного монитора питания
VREF	12	7	A I/O	Voltage Reference Output – выход встроенного источника опорного напряжения и вход опорного напряжения DAC для F021 / F023 .
VREFA		8	A In	Вход внешнего опорного напряжения для ADC0 и ADC1
VREFO	16		A In	Вход внешнего опорного напряжения для ADC0
VREF1	17		A In	Вход внешнего опорного напряжения для ADC1
VREFD	15		A In	Вход внешнего опорного напряжения для DAC
AIN0.0	18	9	A In	Аналоговый вход 0 мультиплексора ADCO
AIN0.l	19	10	A In	Аналоговый вход 1 мультиплексора ADCO
AIN0.2	20	11	A In	Аналоговый вход 2 мультиплексора ADCO
AIN0.3	21	12	A In	Аналоговый вход 3 мультиплексора ADCO
AIN0.4	22	13	A In	Аналоговый вход 4 мультиплексора ADCO
AIN0.5	23	14	A In	Аналоговый вход 5 мультиплексора ADCO
AIN0.6	24	15	A In	Аналоговый вход 6 мультиплексора ADCO
AIN0.7	25	16	A In	Аналоговый вход 7 мультиплексора ADCO
CP0+	9	4	A In	Неинвертирующий вход компаратора 0
CP0-	8	3	A In	Инвертирующий вход компаратора 0
CP1+	7	2	A In	Неинвертирующий вход компаратора 1
CP1-	6	1	A In	Инвертирующий вход компаратора 1
DACO	100	64	A Out	Аналоговый выход DAC0
DAC1	99	63	A Out	Аналоговый выход DAC1
P0.0	62	55	D I/O	Линия ввода/вывода Port 0.0
P0.l	61	54	D I/O	Линия ввода/вывода Port 0.1
P0.2	60	53	D I/O	Линия ввода/вывода Port 0.2
P0.3	59	52	D I/O	Линия ввода/вывода Port 0.3
P0.4	58	51	D I/O	Линия ввода/вывода Port 0.4
P0.5/ALE	57	50	D I/O	Линия ввода/вывода Port 0.5 или строб записи адреса внешней памяти в мультиплексированном режиме

P0.6/RD/	56	49	D I/O	Линия ввода/вывода Port 0.6 или строб чтения RD/ внешней памяти
P0.7/WR/	55	48	D I/O	Линия ввода/вывода Port 0.7 или строб записи WR/ внешней памяти
AIN2.0/A8/P1.0	36	29	A In D I/O	Линия ввода/вывода Port 1.0 или Аналоговый вход 0 мультиплексора ADC1 или Линия адреса в немультиплексированном режиме доступа к внешней памяти
AIN2.1/A9/P1.1	35	28	A In D I/O	Линия ввода/вывода Port 1.1 или Аналоговый вход 1 мультиплексора ADC1 или Линия адреса в немультиплексированном режиме доступа к внешней памяти
AIN2.2/A10/P1.2	34	27	A In D I/O	Линия ввода/вывода Port 1.2 или Аналоговый вход 2 мультиплексора ADC1 или Линия адреса в немультиплексированном режиме доступа к внешней памяти
AIN2.3/A11/P1.3	33	26	A In D I/O	Линия ввода/вывода Port 1.3 или Аналоговый вход 3 мультиплексора ADC1 или Линия адреса в немультиплексированном режиме доступа к внешней памяти
AIN2.4/A12/P1.4	32	23	A In D I/O	Линия ввода/вывода Port 1.4 или Аналоговый вход 4 мультиплексора ADC1 или Линия адреса в немультиплексированном режиме доступа к внешней памяти
AIN2.5/A13/P1.5	31	22	A In D I/O	Линия ввода/вывода Port 1.5 или Аналоговый вход 5 мультиплексора ADC1 или Линия адреса в немультиплексированном режиме доступа к внешней памяти
AIN2.6/A14/P1.6	30	21	A In D I/O	Линия ввода/вывода Port 1.6 или Аналоговый вход 6 мультиплексора ADC1 или Линия адреса в немультиплексированном режиме доступа к внешней памяти
AIN2.7/A15/P1.7	29	20	A In D I/O	Линия ввода/вывода Port 1.7 или Аналоговый вход 7 мультиплексора ADC1 или Линия адреса в не мультиплексированном режиме доступа к внешней памяти
A8m/A0/P2.0	46	37	D I/O	Линия ввода/вывода Port 2.0 или линии адреса в мультиплексированном и немультиплексированном режимах доступа к внешней памяти
A9m/Al/P2.1	45	36	D I/O	Линия ввода/вывода Port 2.1
A10m/A2/P2.2	44	35	D I/O	Линия ввода/вывода Port 2.2
A11m/A3/P2.3	43	34	D I/O	Линия ввода/вывода Port 2.3
A12m/A4/P2.4	42	33	D I/O	Линия ввода/вывода Port 2.4
A13m/A5/P2.5	41	32	D I/O	Линия ввода/вывода Port 2.5
A14m/A6/P2.6	40	31	D I/O	Линия ввода/вывода Port 2.6
A15m/A7/P2.7	39	30	D I/O	Линия ввода/вывода Port 2.7
AD0/D0/P3.0	54	47	D I/O	Линия ввода/вывода Port 3.0 или линия адреса/данных в мультиплексированном режиме или линия данных в немультиплексированном режиме доступа к внешней памяти
AD1/D1/P3.1	53	46	D I/O	Линия ввода/вывода Port 3.1
AD2/D2/P3.2	52	45	D I/O	Линия ввода/вывода Port 3.2
AD3/D3/P3.3	51	44	D I/O	Линия ввода/вывода Port 3.3
AD4/D4/P3.4	50	43	D I/O	Линия ввода/вывода Port 3.4
AD5/D5/P3.5	49	42	D I/O	Линия ввода/вывода Port 3.5
AD6/D6/P3.6	48	39	D I/O	Линия ввода/вывода Port 3.6
AD7/D7/P3.7	47	38	D I/O	Линия ввода/вывода Port 3.7
P4.0	98		D I/O	Линия ввода/вывода Port 4.0
P4.1	97		D I/O	Линия ввода/вывода Port 4.1
P4.2	96		D I/O	Линия ввода/вывода Port 4.2
P4.3	95		D I/O	Линия ввода/вывода Port 4.3
P4.4	94		D I/O	Линия ввода/вывода Port 4.4
ALE/P4.5	93		D I/O	Линия ввода/вывода Port 4.5 или строб записи адреса внешней памяти в мультиплексированном режиме
/RD/P4.6	92		D I/O	Линия ввода/вывода Port 4.6 или строб чтения RD/ внешней памяти
/WR/P4.7	91		D I/O	Линия ввода/вывода Port 4.7 или строб записи WR/ внешней памяти
A8/P5.0	88		D I/O	Линия ввода/вывода Port 5.0 или линия адреса в немультиплексированном режиме доступа к внешней памяти
A9/P5.1	87		D I/O	Линия ввода/вывода Port 5.1
A10/P5.2	86		D I/O	Линия ввода/вывода Port 5.2
A11/P5.3	85		D I/O	Линия ввода/вывода Port 5.3

A12/P5.4	84		D I/O	Линия ввода/вывода Port 5.4
A13/P5.5	83		D I/O	Линия ввода/вывода Port 5.5
A14/P5.6	82		D I/O	Линия ввода/вывода Port 5.6
A15/P5.7	81		D I/O	Линия ввода/вывода Port 5.7
A8m/A0/P9.0	80		D I/O	Линия ввода/вывода Port 9.0 или линии адреса в мультиплексированном и немультип-лексированном режимах доступа к внешней памяти.
A9m/A1/P9.1	79		D I/O	Линия ввода/вывода Port 9.1
A10m/A2/P9.2	78		D I/O	Линия ввода/вывода Port 9.2
A11m/A3/P9.3	77		D I/O	Линия ввода/вывода Port 9.3
A12m/A4/P9.4	76		D I/O	Линия ввода/вывода Port 9.4
A13m/A5/P9.5	75		D I/O	Линия ввода/вывода Port 9.5
A14m/A6/P9.6	74		D I/O	Линия ввода/вывода Port 9.6
A15m/A7/P9.7	73		D I/O	Линия ввода/вывода Port 9.7
AD0/D0/P7.0	72		D I/O	Линия ввода/вывода Port 7.0 или линия адреса/данных в мультиплексированном режиме или линия данных в немультиплексированном режиме доступа к внешней памяти
AD1/D1/P7.1	71		D I/O	Линия ввода/вывода Port 7.1
AD2/D2/P7.2	70		D I/O	Линия ввода/вывода Port 7.2
AD3/D3/P7.3	69		D I/O	Линия ввода/вывода Port 7.3
AD4/D4/P7.4	68		D I/O	Линия ввода/вывода Port 7.4
AD5/D5/P7.5	67		D I/O	Линия ввода/вывода Port 7.5
AD6/D6/P7.6	66		D I/O	Линия ввода/вывода Port 7.6
AD7/D7/P7.7	65		D I/O	Линия ввода/вывода Port 7.7

9.3. Электрические параметры и предельные режимы эксплуатации

Общие электрические характеристики семейства приведены в таблице 9.3.

Таблица 9.3.

Общие электрические характеристики семейства C8051F12x (100MHz)

Параметр	Условия	MIN	НОРМА	MAX
Напряжение питания аналоговой части, V	Напряжение питания аналоговой части должно быть больше 1V для работы супервизора питания	2.7	3.0	3.6
Ток потребления аналоговой части, mA	VREF, ADC, DACs и компараторы включены		1,7	2
Ток потребления при выключенной аналоговой части, μA	VREF, ADC, DACs, компараторы и генератор выключены		40	
Допустимая разница напряжений питания аналоговой и цифровой частей, V	| VDD - VA+ |			0.5
Напряжение питания цифровой части, V		2.7	3.0	3.6
Ток потребления цифровой части в активном режиме, mA	VDD = 2.7V, Clock=100MHz VDD = 2.7V, Clock=lMHz VDD = 2.7V, Clock=32kHz		25 0.7 16 μA	
Ток потребления цифровой части в пассивном режиме, μA	Генератор выключен		5	
Напряжения сохранения данных в RAM, V			1.5	
Рабочий тепературный диапазон, °C		-40		+85

Предельные режимы эксплуатации приведены в таблице 9.4.

Таблица 9.4.

Предельные параметры семейства C8051F12x

Предельная температура корпуса	-55 - 125°C
Предельная температура хранения	-65 - 150°C
Предельные напряжения на всех выводах кроме VDD и Port I/O по отношению	-0.3V - (VDD + 0.3V)

к DGND	
Предельные напряжения на всех выводах Port I/O и RST/ по отношению к DGND	-0.3V - 5.8V
Предельное напряжение на вывода VDD по отношению к DGND	-0.3V - 4.2V
Максимальный общий ток через VDD, AV+, DGND и AGND	800mA
Максимальный выходной ток через любой вывода Port I/O	100mA
Максимальный выходной ток через любой другой вывод	25mA

Превышение параметров, указанных в таблице, может привести к повреждению изделия. Не рекомендуется эксплуатация изделия в предельных режимах, т.к. это приводит к снижению надежности и ресурса.

9.4. Подсистемы памяти семейства C8051F12x

Микроконтроллеры семейства C8051F04x имеют усовершенствованное ядро CIP-51 фирмы Cygnal с подсистемой отладки и программирования JTAG и набором инструкций, описанные в разделах 2.1-2.3. Главной особенностью усовершенствованного ядра CIP-51 является способность функционирования на высоких тактовых частотах 100 и 50 MHz, при этом достигается пиковая производительность в 100MIPS и 50MIPS соответственно. Микроконтроллеры семейства C8051F12x также имеют развитый интерфейс внешней памяти программ и данных, который может работать в мультиплексированном и немультиплексированном режимах. Причем этот интерфейс может работать как на основных портах P1-P3, так и на дополнительных портах P5-P7 в зависимости от настройки, аналогично семейству C8051F04x. Ядро CIP-51 имеет стандартное адресное пространство - 64K и стандартную конфигурацию адресов программ и данных.

Ядро оснащено встроенной памятью данных с произвольным доступом (RAM) объемом 256 байт (0x00-0xFF).

Младшие 128 байт (0x00-0x7F) доступны инструкциям с прямой и косвенной адресацией, регистры специальных функций SFR доступны только инструкциям с прямой адресацией, а старшие 128 байт (0x80-0xFF) - только инструкциям с косвенной адресацией. Первые 32 байта (0x00-0x1F) адресуются как четыре банка регистров общего назначения, а следующие 16 байт (0x20-0x2F) - имеют битовую адресацию.

Кроме этого, микроконтроллеры дополнительно имеют 8192 байта оперативной памяти во внешнем адресном пространстве памяти данных. Этот 8K блок может быть доступен с помощью инструкции MOVX. Карта памяти семейства микроконтроллеров C8051F12x показана на рис.9.6.

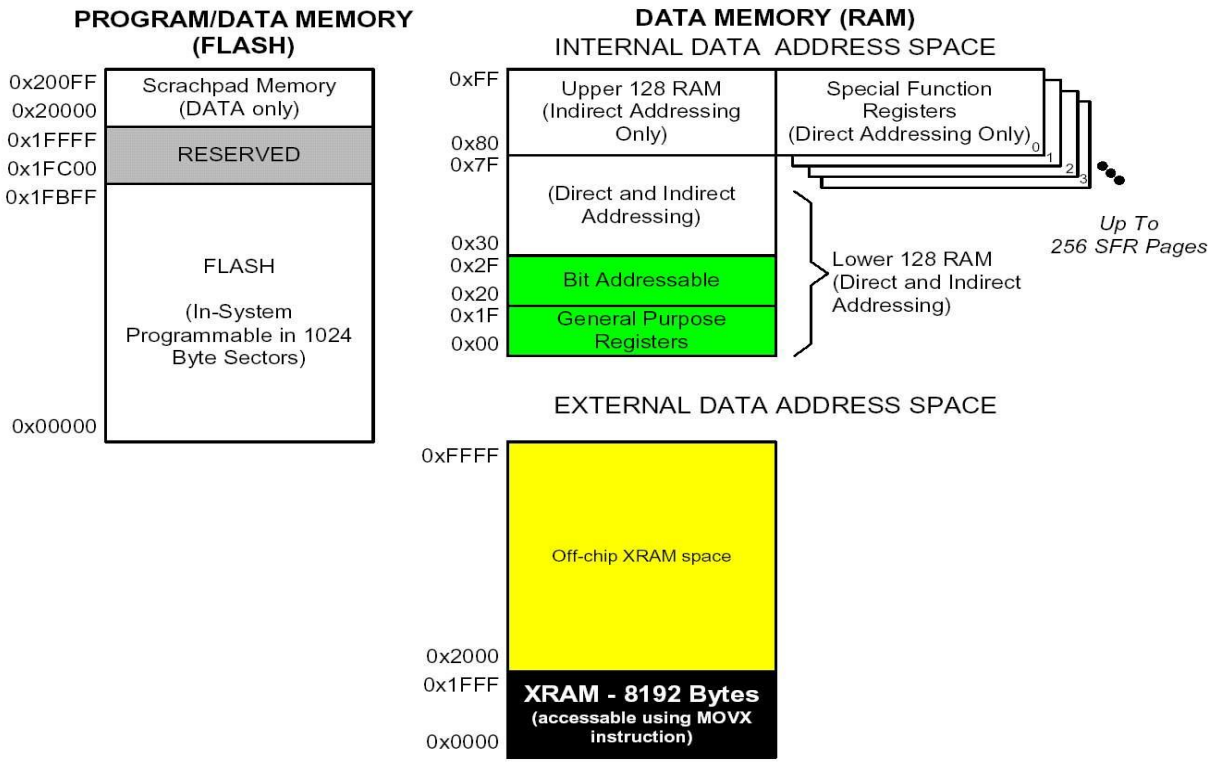

Рис.9.6. Карта памяти микроконтроллеров семейства C8051F12x

9.5. Подсистема регистров специальных функций SFR

Прямо адресуемое адресное пространство памяти данных 0x80-0xFF в стандартном 8051 микроконтроллере занято регистрами специальных функций (SFRs). С помощью этих регистров осуществляется управление и обмен данными между ресурсами ядра CIP-51 и периферией. Регистры специальных функций ядра CIP-51 с одной стороны соответствуют регистрам стандартного 8051, а с другой - дополнены возможностями конфигурирования и обмена данными с оригинальными подсистемами микроконтроллеров Cygnal.

Однако в семействе C8051F12x периферийных узлов так много, что регистров SFR, расположенных на одной стандартной странице с адресами пространства памяти данных 0x80-0xFF просто не хватает! В связи с этим, в семействах микроконтроллеров C8051F12x (также как и в C8051F04x) используется многостраничный доступ к SFR регистрам, так называемый "страничный режим" SFR (SFR paging).

Суть этого механизма заключается в том, что вместо одной стандартной страницы SFR регистров с адресами 0x80-0xFF ядро CIP-51 может поддерживать до 256 таких страниц. Переключение страниц возможно несколькими способами. "Ручной" режим переключения осуществляется через специальный SFR регистр, доступный по одному и тому же адресу на всех страницах - SFRPAGE (Special Function Registr Page Selection). В этот регистр можно в любой момент записать адрес требуемой страницы SFR регистров, при этом происходит "ручное" переключение набора SFR регистров. Кроме того, существует еще два регистра - SFRNEXT и SFRLAST, организованные в виде ***стека SFR страниц***. Предусмотрен автоматический режим переключения SFR страниц, заключающийся в том, что при возникновении ситуации прерывания, происходит автоматическое переключение SFR страниц так, что текущей становится страница, содержащая регистры управления, связанные с источником прерывания. При этом, текущая перед прерыванием страница автоматически сохраняется в регистре SFRNEXT, а содержимое этого регистра сохраняется в регистре SFRLAST. При завершении прерывания (выполнении инструкции IRET), происходит автоматическое восстановление значения SFRPAGE<-SFRNEXT и SFRNEXT<-SFRLAST. Кроме того, пользователь при желании может во время выполнения процедуры прерывания модифицировать значения регистров SFRNEXT и SFRLAST. Автоматическое сохранение и восстановление SFR страниц может быть отключено (включено) с помощью бита управления SFRAPCE (SFR Automatic Page Control Enable Bit) в регистре управления страниц SFRPGCN (SFR Page Control Register). После сброса автоматический режим переключения страниц включен.

Регистры SFR доступны для инструкций с прямой адресацией в пространстве адресов 0x80 to 0xFF. Регистры с адресами, оканчивающимися на 0x0 или 0x8 (например, P0, TCON, P1, SCON, IE и т.д.) являются и битадресуемыми и байтадресуемыми. Все остальные регистры SFR являются только байтадресуемыми. Неиспользуемые адреса в адресном пространстве SFR зарезервированы для развития. Использование этих адресов приводит к неопределенному результату и нежелательно. Описание каждого из регистров будет приведено ниже.

В таблице 9.5. приведена карта адресного пространства SFR регистров. Регистры, помеченные, как "All Pages" доступны на всех страницах SFR. В семействе микроконтроллеров C8051F12x используется всего пять страниц с номерами 0, 1, 2, 3 и F. После сброса активна 0 страница (SFRPAGE=0x00).

Таблица 9.5.

Карта адресов регистров специальных функций SFR семейства C8051F12x

ADDRESS	SFR PAGE	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
F8	0	SPI0CN	PCA0L	PCAOH	PCA0CPL0	PCA0CPH0	PCA0CPL1	PCA0CPH1	WDTCN (ALL PAGES)
	1								
	2								
	3								
	F	P7							
F0	0	B (ALL PAGES)						EIP1 (ALL PAGES)	EIP2 (ALL PAGES)
	1								
	2								
	3								
	F								
E8	0	ADC0CN	PCA0CPL2	PCA0CPH2	PCA0CPL3	PCA0CPH3	PCA0CPL4	PCA0CPH4	RSTSRC
	1								
	2	ADC2CN							
	3								
	F	P6							

E0	0	ACC **(ALL PAGES)**	PCAOCPL5	PCAOCPH5				EIE1 **(ALL PAGES)**	EIE2 **(ALL PAGES)**
	1								
	2								
	3								
	F		XBRO	XBR1	XBR2				
D8	0	PCA0CN	PCA0MD	PCA0CPM0	PCA0CPM1	PCA0CPM2	PCA0CPM3	PCA0CPM4	PCA0CPM5
	1								
	2								
	3								
	F	P5							
D0	0	PSW **(ALL PAGES)**	REFOCN	DACOL	DACOH	DACOCN			
	1			DAC1L	DAC1H	DAC1CN			
	2								
	3								
	F								
C8	0	TMR2CN	TMR2CF	RCAP2L	RCAP2H	TMR2L	TMR2H		SMBOCR
	1	TMR3CN	TMR3CF	RCAP3L	RCAP3H	TMR3L	TMR3H		
	2	TMR4CN	TMR4CF	RCAP4L	RCAP4H	TMR4L	TMR4H		
	3								
	F	P4							
C0	0	SMB0CN	SMB0STA	SMB0DAT	SMB0ADR	ADC0GTL	ADC0GTH	ADC0LTL	ADC0LTH
	1								
	2					ADC2GT		ADC2LT	
	3								
	F								
B8	0	IP **(ALL PAGES)**	SADENO0	AMX0CF	AMX0SL	ADC0CF	AMX0PRT	ADC0L	ADC0H
	1								
	2			AMX2CF	AMX2SL	ADC2CF		ADC2	
	3								
	F								
B0	0	P3 **(ALL PAGES)**	PSBANK **(ALL PAGES)**						FLASCL
	1								
	2								
	3								
	F								FLARDL
A8	0	IE **(ALL PAGES)**	SADDRO						
	1								
	2								
	3								
	F						P1MDIN		
A0	0	P2 **(ALL PAGES)**	EMI0TC	EMI0CN	EMI0CF				
	1								
	2								
	3								
	F		CCH0CN	CCH0TN	CCH0LC	P0MDOUT	P1MDOUT	P2MDOUT	P3MDOUT
98	0	SCON0	SBUF0	SPI0CFG	SPI0DAT		SPI0CKR		
	1	SCON1	SBUF1						
	2								
	3								
	F			CCH0MA		P4MDOUT	P5MDOUT	P6MDOUT	P7MDOUT
90	0	PI **(ALL PAGES)**	SSTA0						
	1								
	2								
	3								
	F					VDDMON		SFRPGCN	CLKSEL
88	0	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	PSCTL
	1	CPT0CN	CPT0MD						
	2	CPT1CN	CPT1MD						
	3								
	F	FLSTAT	PLL0CN	OSCICN	OSCICL	OSCXCN	PLL0DIV	PLL0MUL	PLL0FLT
80	0	P0 **(ALL PAGES)**	SP **(ALL PAGES)**	DPL **(ALL PAGES)**	DPH **(ALL PAGES)**	SERPAGE **(ALL PAGES)**	SFRNEXT **(ALL PAGES)**	SFRLAST **(ALL PAGES)**	PCON **(ALL PAGES)**
	1								
	2								
	3								
	F								
		0(8)	**1(9)**	**2(A)**	**3(B)**	**4(C)**	**5(D)**	**6(E)**	**7(F)**

В таблице 9.6. регистры приведены в алфавитном порядке. Пропущенные адреса зарезервированы.

Таблица 9.6

Таблица адресов регистров специальных функций в алфавитном порядке

Название регистра	Адрес регистра	SFR страница	Описание функционального назначения регистра	Раздел описания
ACC	0xE0	ALL	Аккумулятор	3.6.24
ADC0CF	0xBC	0	Конфигурация ADC0	6.6.6
ADC0CN	0xE8	0	Управление ADC 0	3.6.4
ADC0GTH	0xC5	0	Старший байт верхнего порога данных ADC0	3.6.7
ADC0GTL	0xC4	0	Младший байт верхнего порога данных ADC0	3.6.8
ADC0H	0xBF	0	Старший байт данных ADC0	3.6.5
ADC0L	0xBE	0	Младший байт данных ADC0	3.6.6
ADC0LTH	0xC7	0	Старший байт нижнего порога данных ADC0	3.6.9
ADC0LTL	0xC6	0	Младший байт нижнего порога данных ADC0	3.6.10
ADC2	0xBE	2	Регистр данных ADC2	6.6.11
ADC2CF	0xBC	2	Регистр конфигурации аналогового мультиплексора 2	6.6.7
ADC2CN	0xE8	2	Регистр управления ADC2	6.6.10
ADC2GT	0xC4	2	Верхний порог ADC2	6.6.12
ADC2LT	0xC6	2	Нижний порог ADC2	6.6.13
AMX0CF	0xBA	0	Конфигурация мультиплексора MUX ADC0	3.6.1
AMX0SL	0xBB	0	Выбор каналов мультиплексора MUX ADC0	3.6.2
AMX2CF	0xBA	2	Конфигурация мультиплексора MUX ADC0	6.6.9
AMX2SL	0xBB	2	Регистр выбора каналов аналогового мультиплексора 2	6.6.8
B	0xFO	ALL	Регистр B	3.6.25
CCH0CN	0xA1	F	Регистр управления кэш	9.6.15
CCH0LC	0xA3	F	Регистр запирания кэш	9.6.17
CCH0MA	0x9A	F	Кэш аккумулятор	9.6.18
CCH0TN	0xA2	F	Регистр настройки кэш	9.6.16
CKCON	0x8E	0	Регистр управления тактовой частотой таймеров	6.6.59
CLKSEL	0x97	F	Регистр выбора генератора	9.6.6.
CPT0CN	0x88	1	Управление компаратором 0	6.6.19
CPT1CN	0x88	2	Управление компаратором 1	6.6.19
CPT0MD	0x89	1	Выбор режима компаратора 0	6.6.20
CPT1MD	0x89	2	Выбор режима компаратора 1	6.6.20
DAC0CN	0xD4	0	Управление DAC0	6.6.14
DAC0H	0xD3	0	Старший байт данных DAC0	3.6.11
DAC0L	0xD2	0	Младший байт данных DAC0	3.6.12
DAC1CN	0xD4	1	Управление DAC1	6.6.17
DAC1H	0xD3	1	Старший байт данных DAC 1	6.6.15
DAC1L	0xD2	1	Младший байт данных DAC 1	6.6.16
DPH	0x83	ALL	Старший байт указателя данных	3.6.22
DPL	0x82	ALL	Младший байт указателя данных	3.6.21
EIE1	0xE6	ALL	Разрешение дополнительных прерываний 1	3.6.29
EIE2	0xE7	ALL	Разрешение дополнительных прерываний 2	9.6.4
EIP1	0xF6	ALL	Приоритеты дополнительных прерываний 1	3.6.31
EIP2	0xF7	ALL	Приоритеты дополнительных прерываний 2	9.6.5
EMI0CF	0xA3	0	Регистр конфигурации внешней памяти	5.6.17

EMI0CN	0xA2	0	Управление интерфейсом внешней памяти	6.6.38
EMI0TC	0xA1	0	Регистр временного контроля EMIF	5.6.18
FLACL	0xB7	F	Ограничение доступа Flash	6.6.36
FLSCL	0xB7	0	Управление временем доступа к Flash	9.6.13
FLSTAT	0x88	F	Flash статус	9.6.19
IE	0xA8	ALL	Разрешение прерываний	3.6.27
IP	0xB8	ALL	Управление приоритетами прерываний	3.6.28
OSCICL	0x8B	F	Калибровка встроенного генератора	6.6.32
OSCICN	0x8A	F	Управление внутренним генератором	6.6.33
OSCXCN	0x8C	F	Управление внешним генератором	6.6.35
P0	0x80	ALL	Выходной регистр Port 0	3.6.45
P0MDOUT	0xA4	F	Регистр режима вывода порта 0	6.6.44
P1	0x90	ALL	Выходной регистр Port 1	3.6.47
P1MDIN	0xAD	F	Регистр режима ввода порта 1	6.6.45
P1MDOUT	0xA5	F	Регистр режима вывода порта 1	6.6.44
P2	0xA0	ALL	Выходной регистр Port 2	3.6.50
P2MDOUT	0xA6	F	Регистр режима вывода порта 2	6.6.44
P3	0xB0	ALL	Выходной регистр Port 3	3.6.52
P3MDOUT	0xA7	F	Регистр режима вывода порта 3	6.6.44
P4	0xC8	F	Регистр порта 4	6.6.46
P4MDOUT	0x9C	F	Регистр режима вывода порта 4	6.6.44
P5	0xD8	F	Регистр порта 5	6.6.46
P5MDOUT	0x9D	F	Регистр режима вывода порта 5	6.6.44
P6	0xE8	F	Регистр порта 6	6.6.46
P6MDOUT	0x9E	F	Регистр режима вывода порта 6	6.6.44
P7	0xF8	F	Регистр порта 7	6.6.46
P7MDOUT	0x9F	F	Регистр режима вывода порта 7	6.6.44
PCA0CN	0xD8	0	Управление программируемым счетчиком-массивом 0 Control (PCA)	6.6.66
PCA0CPH0	0xFC	0	Старший байт модуля захвата 0 PCA	6.6.72
PCA0CPH1	0xFE	0	Старший байт модуля захвата 1 PCA	6.6.72
PCA0CPH2	0xFA	0	Старший байт модуля захвата 2 PCA	6.6.72
PCA0CPH3	0xEC	0	Старший байт модуля захвата 3 PCA	6.6.72
PCA0CPH4	0xEE	0	Старший байт модуля захвата 4 PCA	6.6.72
PCA0CPH5	0xE2	0	Старший байт модуля захвата 5 PCA	6.6.72
PCA0CPL0	0xFB	0	Младший байт модуля захвата 0 PCA	6.6.71
PCA0CPL1	0xFD	0	Младший байт модуля захвата 1 PCA	6.6.71
PCA0CPL2	0xE9	0	Младший байт модуля захвата 2 PCA	6.6.71
PCA0CPL3	0xEB	0	Младший байт модуля захвата 3 PCA	6.6.71
PCA0CPL4	0xED	0	Младший байт модуля захвата 4 PCA	6.6.71
PCA0CPL5	0xE1	0	Младший байт модуля захвата 5 PCA	6.6.71
PCA0CPM0	0xDA	0	PCA модуль захвата/сравнения 0	6.6.68
PCA0CPM1	0xDB	0	PCA модуль захвата/сравнения 1	6.6.68
PCA0CPM2	0xDC	0	PCA модуль захвата/сравнения 2	6.6.68
PCA0CPM3	0xDD	0	PCA модуль захвата/сравнения 3	6.6.68
PCA0CPM4	0xDE	0	PCA модуль захвата/сравнения 4	6.6.68
PCA0CPM5	0xDF	0	PCA модуль захвата/сравнения 5	6.6.68
PCA0H	0xFA	0	Старший байт данных PCA	6.6.70
PCA0L	0xF9	0	Младший байт данных PCA	6.6.69

PCA0MD	0xD9	0	Регистр управления режимом PCA	6.6.67
PCON	0x87	ALL	Управление питанием	6.6.31
PLL0CN	0x89	F	Управление PLL	9.6.8
PLL0DIV	0x8D	F	Делитель PLL	9.6.9
PLL0FLT	0x8F	F	Фильтр PLL	9.6.11
PLL0MUL	0x8E	F	Умножитель PLL	9.6.10
PSBANK	0xB1	ALL	Регистр управления Flash банками	9.6.2
PSCTL	0x87	0	Управление R/W к памяти программ	5.6.14
PSW	0xDO	ALL	Слово состояния программы	3.6.23
RCAP2H	0xCB	0	Старший байт таймера/счетчика 2	6.6.63
RCAP2L	0xCA	0	Младший байт таймера/счетчика 2	6.6.62
RCAP3H	0xCB	1	Старший байт таймера/счетчика 3	6.6.63
RCAP3L	0xCA	1	Младший байт таймера/счетчика 3	6.6.62
RCAP4H	0xE5	2	Старший байт таймера/счетчика 4	6.6.63
RCAP4L	0xE4	2	Младший байт таймера/счетчика 4	6.6.62
REF0CN	0xDl	0	Управление источником опорного напряжения	5.6.7
RSTSRC	0xEF	0	Управление источниками сброса	3.6.39
SADDR0	0xA9	0	Регистр адреса ведомого порта UART0	5.6.29
SADEN0	0xB9	0	Регистр разрешения адреса ведомого порта UART0	5.6.30
SBUF0	0x99	0	Буфер данных последовательного порта 0 (UART0)	6.6.57
SBUF1	0x99	1	Буфер данных последовательного порта 1 (UART1)	6.6.57
SCON0	0x98	0	Управление последовательным портом 0 (UART0)	3.6.64
SCON1	0x98	1	Управление последовательным портом 1 (UART1)	6.6.58
SFRLAST	0x86	ALL	Регистр доступа к предыдущей странице стека SFR	6.6.23
SFRNEXT	0x85	ALL	Регистр доступа к следующей странице стека SFR	6.6.22
SFRPAGE	0x84	ALL	Регистр страниц SFR	6.6.24
SFRPGCN	0x96	F	Регистр управления SFR	9.9.25
SMB0ADR	0xC3	0	Адреса SMBus 0	3.6.57
SMB0CN	0xC0	0	Управление SMBus 0	3.6.54
SMB0CR	0xCF	0	Управление скоростью SMBus 0	3.6.55
SMB0DAT	0xC2	0	Данные SMBus 0	3.6.56
SMB0STA	0xCl	0	Состояние SMBus 0	3.6.58
SP	0x81	ALL	Указатель стека	3.6.20
SPI0CFG	0x9A	0	Конфигурация последовательного периферийного интерфейса (SPI)	6.6.54
SPI0CKR	0x9D	0	Управление скоростью SPI	3.6.61
SPI0CN	0xF8	0	Управление шиной SPI	6.6.55
SPI0DAT	0x9B	0	Данные SPI	3.6.62
SSTA0	0x91	0	Статус UART0	6.6.56
TCON	0x88	0	Управление таймерами/счетчиками	3.6.65
TH0	0x8C	0	Старший байт данных таймера/счетчика 0	3.6.70
TH1	0x8D	0	Старший байт данных таймера/счетчика 1	3.6.71
TL0	0x8A	0	Младший байт данных таймера/счетчика 0	3.6.68
TL1	0x8B	0	Младший байт данных таймера/счетчика 1	3.6.69
TMOD	0x89	0	Режимы таймеров счетчиков	3.6.66
TMR2CF	0xC9	0	Регистр конфигурации таймера 2	6.6.61
TMR2CN	0xC8	0	Регистр управления таймера 2	6.6.60
TMR2H	0xCD	0	Старший байт таймера 2	6.6.65
TMR2L	0xCC	0	Младший байт таймера 2	6.6.64

TMR3CF	0xC9	1	Регистр конфигурации таймера 3	6.6.61
TMR3CN	0xC8	1	Регистр управления таймера 3	6.6.60
TMR3H	0xCD	1	Старший байт таймера 3	6.6.65
TMR3L	0xCC	1	Младший байт таймера 3	6.6.64
TMR4CF	0xC9	2	Регистр конфигурации таймера 4	6.6.61
TMR4CN	0xC8	2	Регистр управления таймера 4	6.6.60
TMR4H	0xCD	2	Старший байт таймера 4	6.6.65
TMR4L	0xCC	2	Младший байт таймера 4	6.6.64
WDTCN	0xFF	ALL	Управление охранным счетчиком (WDT)	3.6.38
XBR0	0xEl	F	Конфигурация коммутатора ресурсов (Crossbar) 0	6.6.40
XBR1	0xE2	F	Конфигурация коммутатора ресурсов (Crossbar) 1	6.6.41
XBR2	0xE3	F	Конфигурация коммутатора ресурсов (Crossbar) 2	9.6.21

9.6. Регистры SFR

Управление и обмен данными с всей аналоговой и цифровой периферией микроконтроллеры семейства C8051F04x осуществляют через регистры SFR. Как уже отмечалось выше, это семейство является расширенным и усовершенствованным вариантом четвертого семейства C8051F04x. Ниже приводится описание регистров только базового основного микроконтроллера C8051F120. Для регистров, описание которых полностью совпадает с описанием регистров других семейств, даются ссылки на соответствующие разделы в таблице 9.6. Кроме того, в этом разделе будут даны описания некоторых функциональных узлов, отличающихся от приведенных ранее.

9.6.1. Особенности организации Flash памяти программ/данных

Память программ содержит 128К Flash памяти, подразделяемой на четыре банка до 32К. Нулевой банк объемом 32К всегда доступен по адресам 0x0000 - 0x7FFF. Три остальных банка образуют страницы (по 32К), располагаемые по адресам 0x8000 - 0xFFFF. Выбор страницы осуществляется заданием ее кода в SFR регистр PSBANK. Биты IFBANK определяют страницы Flash памяти, используемые для хранения исполняемых кодов (программы), в биты COBANK выбирают страницы для хранения данных. Кроме того, в банке 3 выделено 1024 байта памяти (0x1FC00 - 0x1FFFF), зарезервированные и не доступные пользователю.

9.6.2. PSBANK - Регистр выбора страниц Flash памяти

Название регистра:	PSBANK - Program Space Bank Select Register		
SFR адрес / страница:	0xB1 / ALL	Значение после сброса:	00010001b (0x11)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	COBANK		-	-	IFBANK	
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-6 зарезервированы;
Биты 5-4: COBANK - Constant Operations Bank Select - биты выбора банка для хранения констант:
00 - Для операций записи констант выбран банк 0 (0x0000 - 0x7FFF);
01 - Для операций записи констант выбран банк 1 (0x8000 - 0xFFFF);
10 - Для операций записи констант выбран банк 2 (0x8000 - 0xFFFF);
11 - Для операций записи констант выбран банк 3 (0x8000 - 0xFFFF);
Биты 3-2 зарезервированы;
Биты 1-0: IFBANK - Instructions Fetch Operations Bank Select - биты выбора банка для хранения программ:

00 - Для хранения инструкций выбран банк 0 (0x0000 - 0x7FFF);
01 - Для хранения инструкций выбран банк 1 (0x8000 - 0xFFFF);
10 - Для хранения инструкций выбран банк 2 (0x8000 - 0xFFFF);
11 - Для хранения инструкций выбран банк 3 (0x8000 - 0xFFFF).

9.6.3. Таблица векторов прерываний

Поскольку семейство микроконтроллеров C8051F12x имеет отличный набор периферии от других семейств, оно также имеет отличный набор векторов прерываний, приведенный в таблице 9.7.

Таблица 9.7

Таблица векторов прерываний семейства C8051F12x

Источник прерывания	Вектор прерывания	Приоритет	Соответствующий флаг	Бит адресуемый?	Аппаратная очистка?	Разрешающий флаг	Управление приоритетом
Сброс	0x0000	Высший	Нег			Всегда разрешен	Всегда высший
Внешнее прерывание 0 (INT0/)	0x0003	0	IEO (TCON.1)	Y	Y	EX0 (IE.0)	PX0 (IP.0)
Переполнение таймера 0	0x000B	1	TFO (TCON.5)	Y	Y	ET0 (IE.1)	PT0 (IP.1)
Внешнее прерывание 1 (INT1/)	0x0013	2	IE1 (TCON.3)	Y	Y	EX1 (IE.2)	PX1 (IP.2)
Переполнение таймера 1	0x001B	3	TF1 (TCON.7)	Y	Y	ET1 (IE.3)	PT1 (IP.3)
Последовательный порт 0 UARTO	0x0023	4	RI0 (SCON0.0) TI0 (SCON0.l)	Y		ES0 (IE.4)	PS0 (IP.4)
Переполнение таймера 2 или вход EXF2	0x002B	5	TF2 (T2CON.7)	Y		ET2 (IE.5)	PT2 (IP.5)
Интерфейс SPI	0x0033	6	SPIF (SPIOCN.7)	Y		ESPI0 (EIE1.0)	PSPI0 (EIP1.0)
Интерфейс SMBus	0x003B	7	SI (SMBOCN.3)	Y		ESMB0 (EIE1.1)	PSMB0 (EIP1.1)
Компаратор «окна» ADC0	0x0043	8	AD0WINT (ADC0CN.2)	Y		EWADC0 (EIE1.2)	PWADC0 (EIP1.2)
Программируемый счетчик/массив PCA	0x004B	9	CF (PCA0CN.7) CCFn (PCA0CN.n)	Y		EPCA0 (EIE1.3)	PPCA0 (EIP1.3)
Задний фронт на выходе компаратора 0	0x0053	10	CP0FIF (CPT0CN.4)			ECP0F (EIE1.4)	PCP0F (EIP1.4)
Передний фронт на выходе компаратора 0	0x005B	11	CP0RIF (CPT0CN.5)			ECP0R (EIE1.5)	PCP0R (EIP1.5)
Задний фронт на выходе компаратора 1	0x0063	12	CP1FIF (CPT1CN.4)			ECP1F (EIE1.6)	PCP1F (EIP1.6)
Передний фронт на выходе компаратора 1	0x006B	13	CP1RIF (CPT1CN.5)			ECP1R (EIE1.7)	PCP1F (EIP1.7)
Переполнение таймера 3	0x0073	14	TF3 (TMR3CN.7)			ET3 (EIE2.0)	PT3 (EIP2.0)
Завершение преобразования ADC0	0x007B	15	AD0INT (ADC0CN.5)	Y		EADC0 (EIE2.1)	PADC0 (EIP2.1)
Переполнение таймера 4	0x0083	16	TF4 (T4CON.7)			ET4 (EIE2.2)	PT4 (EIP2.2)
Компаратор «окна» ADC2	0x008B	17	AD2WINT (ADC2CN.0)	Y		EWADC2 (EIE2.3)	PWADC2 (EIP2.3)
Завершение преобразования ADC2	0x0093	18	AD2INT (ADC1CN.5)	Y		EADC2 (EIE2.4)	PADC2 (EIP2.4)

Последовательный порт 1 UART1	0x00A3	20	RI1 (SCON1.0) TI1 (SCON1.1)	Y		ESI (EIE2.6)	PS1 (EIP2.6)

9.6.4. EIE2 - Дополнительный регистр разрешения прерываний 2

Название регистра:	EIE2 - Extended Interrupt Enable 2		
SFR адрес:	0xE7	Значение после сброса:	00000000b (0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	ES1	-	EADC2	EWADC2	ET4	EADC0	ET3
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Примечание: Установка любого из битов разрешает прерывание, обнуление - запрещает.

Бит 7: не используется, при чтении возвращает 0b, при записи значение игнорируется;
Бит 6: ES1 - Enable UART1 Interrupt - бит разрешения прерывания последовательного порта UART1;
Бит 5: не используется, при чтении возвращает 0b, при записи значение игнорируется;
Бит 4: EADC2 - Enable ADC1 End of Conversion Interrupt - бит разрешения прерывания завершения преобразования ADC1;
Бит 3: EWADC2 - Enable Windows Comparison ADC2 Interrupt - бит разрешения прерывания "оконной" функции сравнения ADC2.
Бит 2: ET4 - Enable Timer 4 Interrupt - бит разрешения прерывания от таймера 4.
Бит 1: EADC0 - Enable ADC0 End of Conversion Interrupt - бит разрешения прерывания по завершению преобразования от ADC0.
Бит 0: ET3 - Enable Timer 3 Interrupt - бит разрешения прерывания от таймера 3.

9.6.5. EIP2 - Дополнительный регистр приоритетов 2

Название регистра:	EIP2 - Extended Interrupt Priority 2		
SFR адрес / страница:	0xF7 /ALL	Значение после сброса:	00000000b (0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	PS1	-	PADC2	PWADC2	PT4	PADC0	PT3
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Примечание: Установка любого из битов означает присвоение высокого приоритета, обнуление - низкого приоритета.

Бит 7: не используется, при чтении возвращает 0b, при записи значение игнорируется;
Бит 6: PS1 - UART1 Interrupt Priority Control - бит определяет уровень приоритета UART1;
Бит 5: не используется, при чтении возвращает 0b, при записи значение игнорируется;
Бит 4: PADC2 - ADC2 End Of Conversion Interrupt Priority Control - бит определяет уровень приоритета прерывания 6 от внешнего входа;
Бит 3: PWADC2 - ADC2 Window Comparator Interrupt Priority Control - бит определяет уровень приоритета "окна" ADC2;
Бит 2: PT4 - Timer 4 Interrupt Priority Control - бит определяет уровень приоритета прерывания 4 от внешнего входа;
Бит 1: PADC0 - ADC0 End of Conversion Interrupt Priority Control - бит определяет уровень приоритета прерывания завершения преобразования ADC0;
Бит 0: PT3 - Timer 3 Interrupt Priority Control - бит определяет уровень приоритета прерывания от таймера 3.

9.6.6. CLKSEL - Регистр выбора тактового генератора

Название регистра:	CLKSEL - Oscillator Clock Selection Register		
SFR адрес / страница:	0x97 / F	Значение после сброса:	00000000b (0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	CLKDIV1	CLKDIV0	-	-	CLKSL1	CLKSL0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-6, 3-2 зарезервированы.

Биты 5-4: CLKDIV1-0 - Output SYSCLK Divide Factor - биты определения частоты выходного сигнала SYSCLK:

00 - на выходе SYSCLK будет системная частота;
01 - на выходе SYSCLK будет системная частота, деленная на 2;
10 - на выходе SYSCLK будет системная частота, деленная на 4;
11 - на выходе SYSCLK будет системная частота, деленная на 8;

Биты 1-0: CLKSL1-0 - System Clock Source Select Bits - бит выбора тактового генератора:

00 - включен внутренний тактовый генератор, его частота делится с учетом битов IFCN (OSCICN);
00 - включен внешний тактовый генератор;
00 - включена система PLL;
01 - зарезервировано.

9.6.7. Генератор в фазовой петлей обратной связи

В семействе микроконтроллеров C8051F12x впервые применяется генератор с фазовой петлей обратной связи PLL (Phase-Locked-Loop). Функциональное назначение этого узла - генерация высокой тактовой частоты из низкой входной. Реализованный механизм PLL позволяет из низкой входной частоты, находящейся в диапазоне 5-30MHz сформировать высокую выходную частоту в диапазоне от 25 до 100MHz с высокой стабильностью. Функциональная схема генератора приведена на рис.9.7.

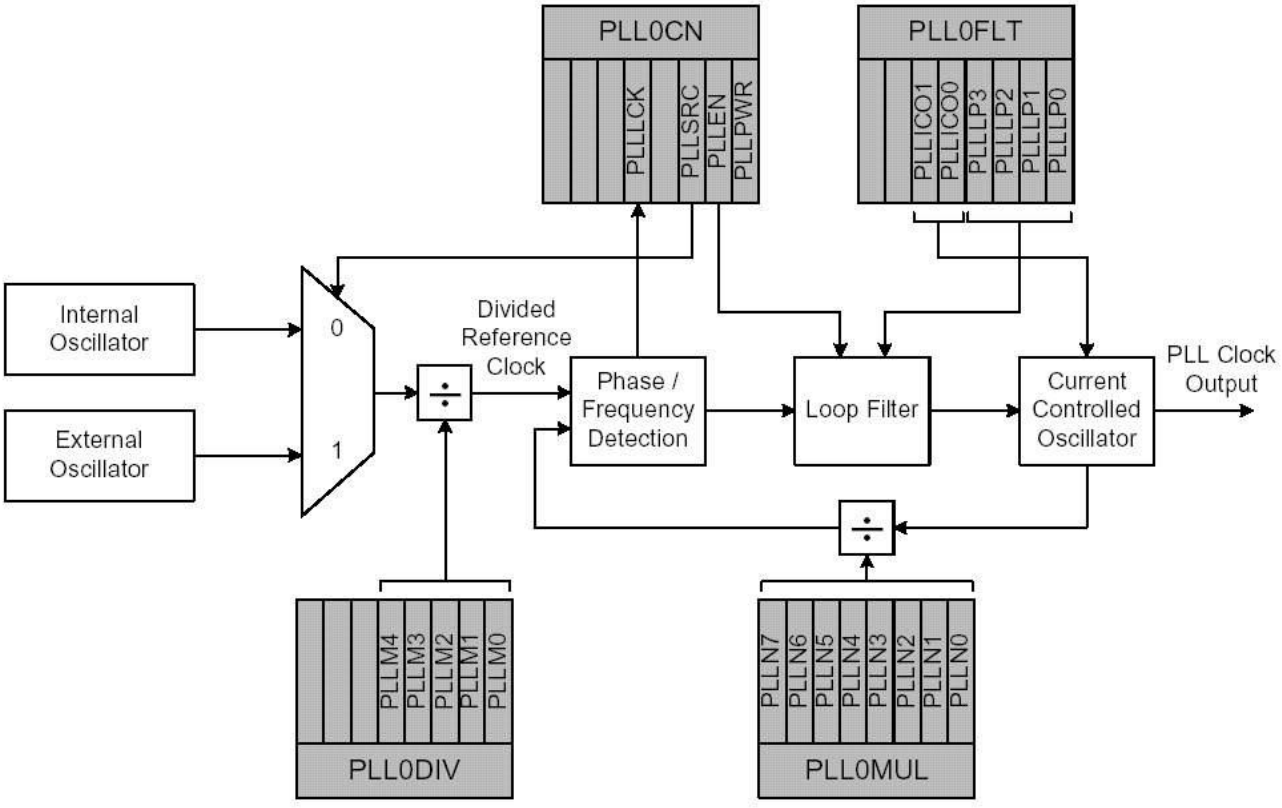

Рис. 9.7. Функциональная схема подсистемы PLL

Для настройки генератора PLL необходимо проделать следующие операции:

1. Убедиться, что выбранный внутренний или внешний генератор работает нормально;
2. Установить бит PLLSRC (PLL0CN.2) для выбора источника частоты для PLL генератора;
3. Настроить время чтения Flash памяти FLRT (FLSCL.5-4) под новую тактовую частоту;
4. Разрешить работу PLL установкой бита PLLPWR (PLL0CN.0);
5. Настроить регистры PLL0DIV, PLL0FLT и PLL0MUL;
6. Выдержать более 5 mkS;

7. Разрешить PLL установкой бита PLLEN (PLL0CN.1);
8. Опрашивать PLLLCK (PLL0CN.4) пока он не установится в 1;
9. Переключить источник тактирования на PLL в регистре CLKSEL.

9.6.8. PLL0CN - Регистр управления PLL

Название регистра:	PLL0CN - PLL Control Register		
SFR адрес / страница:	0x89 / F	Значение после сброса:	00000000b (0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	PLLLCK	0	PLLSRC	PLLEN	PLLPWR
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-5: не используются, при чтении возвращают 000b, при записи значение игнорируется;
Бит 4: PLLLCK - PLL Lock Flag - флаг-индикатор защиты PLL (1 - PLL заперт);
Бит 3: зарезервирован;
Бит 2: PLLSRC - PLL Reference Clock Select Bit - бит выбора источника входной частоты (0 - внутренний, 1 - внешний);
Бит 1: PLLEN - PLL Enable Bit - бит разрешения (1) работы PLL. Перед установкой бита PLLEN должен быть установлен бит PLLPWR.
Бит 0: PLLPWR - PLL Power Enable - бит включения (1) питания генератора PLL.

9.6.9. PLL0DIV - Регистр предварительного делителя PLL

Название регистра:	PLL0DIV - PLL Pre-divider Register		
SFR адрес / страница:	0x8D / F	Значение после сброса:	00000001b (0x01)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	PLLM4	PLLM3	PLLM2	PLLM1	PLLM0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-5: не используются, при чтении возвращают 000b, при записи значение игнорируется;
Биты 4-0: PLLM4-0 - PLL Reference Clock Pre-divider - биты задания делителя. При нулевом значение деление производится на 32, при остальных - на величину установленного кода.

9.6.10. PLL0MUL - Регистр умножителя PLL

Название регистра:	PLL0MUL - PLL Clock Scaler Register		
SFR адрес / страница:	0x8E / F	Значение после сброса:	00000001b (0x01)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PLLN7	PLLN6	PLLN5	PLLN4	PLLN3	PLLN2	PLLN1	PLLN0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

PLLN7-0 - PLL Multiplier - биты задания умножителя. При нулевом значение умножение производится на 256, при остальных - на величину установленного кода.

9.6.11. PLL0FLT - Регистр фильтра PLL

Название регистра:	PLL0FLT - PLL Filter Register		
SFR адрес / страница:	0x8F / F	Значение после сброса:	00110001b (0x31)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	PLLICO1	PLLICO0	PLLLP3	PLLLP2	PLLLP1	PLLLP0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-6: не используются, при чтении возвращают 00b, при записи значение игнорируется;

Биты 5-4: PLLICO1-0 - Current-Controlled Oscillator Control Bits - биты токового контроля генератора:

Выходная частота PLL	Биты - PLLICO1-0
65-100MHz	00
45-80MHz	01
30-60MHz	10
25-50MHz	11

Биты 3-0: PLLLP3-0 - PLL Loop Filter Control Bits - биты управления фильтром петли обратной связи PLL:

Входная опорная частота	PLLLP3-0
19-30MHz	0001
12.2-19.5MHz	0011
7.8-12.5MHz	0111
5-8MHz	1111

В качестве примера в таблице 9.8 приведены некоторые варианты настройки PLL.

Таблица 9.8

Варианты настройки PLL

Входная частота	Множитель (PLL0MUL)	Фильтр (PLL0FLT)	Примерная выходная частота	Примерное время запирания PLL, mkS
5 MHz	20	0x0F	100 MHz	202
	13	0x0F	65 MHz	115
	16	0xlF	80MHz	241
	9	0xlF	45 MHz	116
	12	0x2F	60 MHz	258
	6	0x2F	30 MHz	112
	10	0x3F	50 MHz	263
	5	0x3F	25 MHz	113
25 MHz	4	0x01	100 MHz	42
	2	0x01	50 MHz	33
	3	0x11	75 MHz	48
	2	0x11	50 MHz	17
	2	0x21	50 MHz	42
	1	0x21	25 MHz	33
	2	0x31	50 MHz	60
	1	0x31	25 MHz	25

9.6.12. Особенности организации Flash памяти

Flash память семейства микроконтроллеров C8051F12x состоит из 128K + 256 байт. Вся Flash память может быть запрограммирована внутрисистемно через интерфейс JTAG. Для полной уваранности в правильности функционирования памяти во время программной записи или стирания изготовитель настоятельно рекомендует использовать встроенный монитор питания. Дополнительные 256 байт разделены на 2 128-байтных сектора и предназначены для энергонезависимого хранения данных. Малый размер сектора делает более практичной операцию модификации данных. На рис.9.8 показаны адреса памяти для доступа к ней с помощью инструкций MOVC и MOVX.

SFLE = 0				SFLE = 1	Internal Address
COBANK = 0	COBANK = 1	COBANK = 2	COBANK = 3		
Bank 0	Bank 1	Bank 2	Bank 3	Undefined	0xFFFF 0x8000
Bank 0	Bank 0	Bank 0	Bank 0		0x7FFF
				Scratchpad Areas (2)	0x00FF 0x0000

Рис.9.8. Карта Flash памяти для операций MOVC и MOVX

Специалистами фирмы Cygnal рекомендована следующая процедура программного стирания страницы Flash памяти:

1. Запретить прерывания.
2. Если необходимо стереть страницу в банках 1, 2 или 3, установить биты COBANK (PSBANK.5-4) на соответствующий банк.
3. Если необходимо стирание страницы в защищенной области, установить бит SFLE (PSCTL.2).
4. Установить бит FLWE (FLSCL.0) для разрешения программных операций стирания/записи FLASH.
5. Установить бит PSEE (PSCTL.1) для разрешения стирания FLASH.
6. Установить бит PSWE (PSCTL.0) для разрешения инструкции MOVX производить запись во FLASH.
7. Пользуясь инструкцией MOVX записать байт данных в любую позицию страницы, которую необходимо стереть.
8. Очистить бит PSEE для запрещения стирания FLASH.
9. Очистить бит PSWE для запрещения доступа инструкции MOVX в XRAM адресах.
10. Очистить бит FLWE для запрещения операций записи/стирания FLASH.
11. Если стиралась страница защищенной памяти, очистить бит SFLE.
12. Разрешить прерывания.

Для записи единичного блока рекомендована следующая процедура:

1. Запретить прерывания.
2. Очистить бит CHBLKW (CCH0CN.0) для выбора однобайтного режима записи.
3. Если запись производится в банк 1, 2 или 3 установить биты COBANK (PSBANK.5-4).
4. При записи в защищенную область установить SFLE (PSCTL.2).
5. Установить бит FLWE (FLSCL.0) для разрешения программных операций стирания/записи FLASH.
6. Установить бит PSWE (PSCTL.0) для разрешения инструкции MOVX производить запись во FLASH.
7. Пользуясь инструкцией MOVX записать байт данных в необходимую позицию (повторять при необходимости).
8. Очистить бит PSWE для запрещения доступа инструкции MOVX в XRAM адресах.
9. Очистить бит FLWE для запрещения операций записи/стирания FLASH.
10. Если стиралась страница защищенной памяти, очистить бит SFLE.
11. Разрешить прерывания.

На рис.9.9. показана карта байтов защиты семейства C8051F12x.

Read and Write/Erase Security Bits.
(Bit 7 is MSB.)

Bit	Memory Block
7	0x1C000 - 0x1FBFD
6	0x18000 - 0x1BFFF
5	0x14000 - 0x17FFF
4	0x10000 - 0x13FFF
3	0x0C000 - 0x0FFFF
2	0x08000 - 0x0BFFF
1	0x04000 - 0x07FFF
0	0x00000 - 0x03FFF

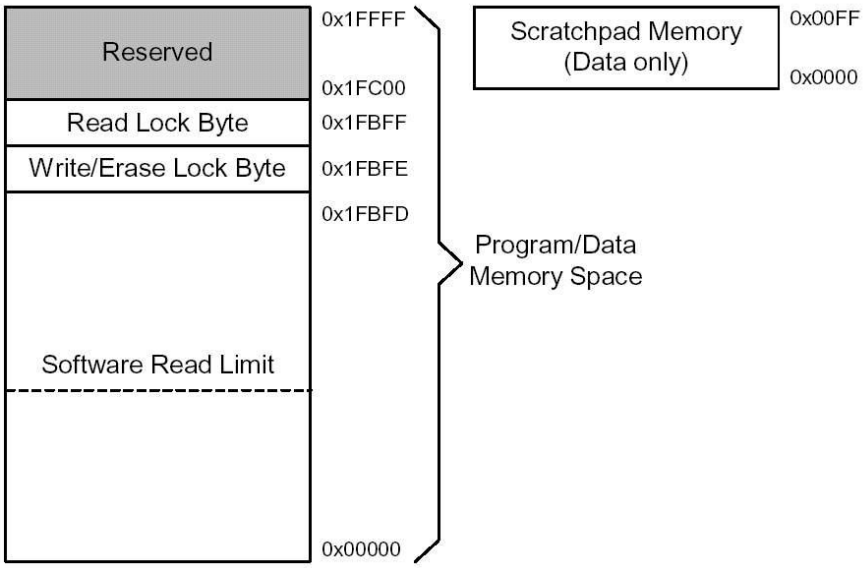

Рис.9.9. Карта байтов защиты семейства C8051F12x

9.6.13. FLSCL - Регистр временных параметров Flash памяти

Название регистра:	FLSCL - Flash Memory Timing Prescaler		
SFR адрес / страница:	0xB7 / 0	Значение после сброса:	10000000b (0x80)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	FLRT		-	-	-	FLWE
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-6 и 3-1 зарезервированы.
Биты 5-4: FLRT - Flash Read Time - биты времени чтения памяти Flash
00 - SYSCLK <= 25 MHz;
01 - SYSCLK <= 50 MHz;
10 - SYSCLK <= 75 MHz;
11 - SYSCLK <= 100 MHz;
Бит 0: FLWE - Flash Read / Write Enable - бит разрешения (1) чтения/записи Flash памяти.

9.6.14. Кэш память семейства C8051F12x

Как уже отмечалось выше, описываемое семейство микроконтроллеров может работать на частотах 100MHz (C8051F120-123) и 50MHz (C8051F124-127), при этом время выполнения одной короткой инструкции соответственно составляет 10nS и 20nS. Однако Flash память этих микроконтроллеров имеет предельное время доступа всего 40nS. Для согласования быстродействия высокопроизводительного ядра и Flash памяти программ/данных в описываемом семействе микроконтроллеров впервые применяется буферная кэш память CCH (Branch Target Cache), способная считывать из Flash памяти до 4 байт за обращение. Механизм этой памяти анализирует ветвление программы. Функциональная схема кэш памяти представлена на рис.9.10. Алгоритм функционирования кэш памяти подробно описан в [15].

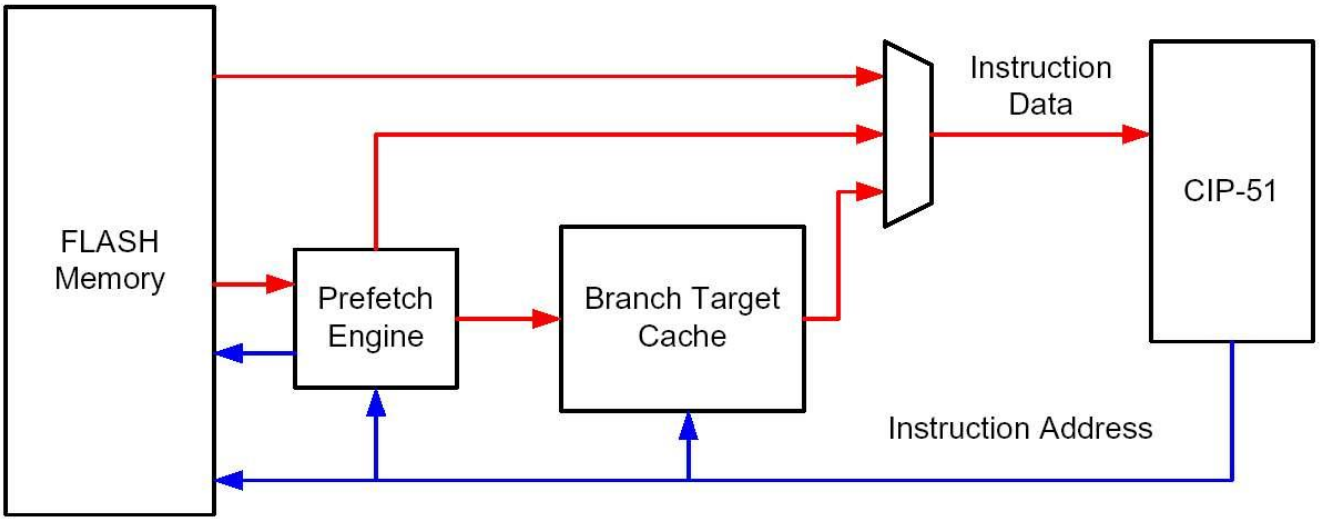

Рис.9.10. Функциональная схема кэш памяти

9.6.15. CCH0CN – Регистр управления CCH

Название регистра:	CCH0CN – Cache Control Register		
SFR адрес / страница:	0xA1 / F	Значение после сброса:	11100110b (0xE6)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CHWREN	CHRDEN	CHPFEN	CHFLSH	CHRETI	CHISR	CHMOVC	CHBLKW
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: CHWREN - Cache Write Enable – разрешение (1) записи в кэш;
Бит 6: CHRDEN - Cache Read Enable. – разрешение (1) чтения кэш;
Бит 5: CHPFEN - Cache Prefetch Enable – разрешение (1) предпросмотра кэш;
Бит 4: CHFLSH - Cache Flush – разрешение (1) «поточных» операций кэш;
Бит 3: CHRETI - Cache RETI Destination Enable – разрешение (1) операций возврата;
Бит 2: CHISR - Cache ISR Enable – разрешение (1) операций прерываний;
Бит 1: CHMOVC - Cache MOVC Enable – разрешение (1) операций MOVC;
Бит 0: CHBLKW - Block Write Enable – разрешение (1) операций блочной записи.

9.6.16. CCH0TN – Регистр настройки CCH

Название регистра:	CCH0TN – Cache Tuning Register		
SFR адрес / страница:	0xA2 / F	Значение после сброса:	00000100b (0x04)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CHMSCTL				CHALGM	CHFIXM	CHMSTH	
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-4: CHMSCTL – Cache Miss Penalty Accumulator (3-0 bits) – младшие четыре бита кэш аккумулятора;
Бит 3: CHALGM – Cache Algorithm Select – бит выбора алгоритма:
0 – выбран алгоритм «повторного осмотра»;
1 – выбран псевдослучайный алгоритм;
Бит 2: CHFIXM – Cache Fix MOVC Enable – бит разрешения (1) ускорения инструкции MOVC с использованием слота 0;
Биты 1-0: CHMSTH – Cache Miss Penalty Threshold – биты определения необходимости пропуска данных.

9.6.17. CCH0LC – Регистр управления замком CCH

Название регистра:	CCH0LC – Cache Lock Control Register		
SFR адрес / страница:	0xA3 / F	Значение после сброса:	00111110b (0x3E)

R/W	R/W	R	R	R	R	R	R
CHPUSH	CHPOP	CHSLOT					
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: CHPUSH - Cache Push Enable – бит разрешения (1) стековых операций сохранения;
Бит 6: CHPOP - Cache Pop Enable – бит разрешения (1) стековых операций извлечения;
Биты 5-0:
CHSLOT – Cache Slot Pointer – биты (только для чтения) указателя на слотовый стек кэш памяти.

9.6.18. CCH0MA – Регистр аккумулятора CCH

Название регистра:	CCH0LC – Cache Miss Accumulator		
SFR адрес / страница:	0x9A / F	Значение после сброса:	00000000b (0x00)

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CHMSOV	CHMSCTH						
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: CHMSOV – Cache Miss Penalty Overflow – бит-индикатор переполнения аккумулятора;
Биты 6-0: CHMSCTH – Cache Miss Penalty Accumulator (3-0 bits) – старшие семь битов кэш аккумулятора.

9.6.19. FLSTAT – Регистр статуса FLASH

Название регистра:	FLSTAT – Flash Status		
SFR адрес / страница:	0x88 / 1	Значение после сброса:	00000000b (0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	-	-	-	FLBUSY
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-1 зарезервированны;
Бит 0: FLBUSY – Flash Busy – бит занятости (1) Flash операциями записи/стирания.

9.6.20. Расширенный коммутатор ресурсов Crossbar семейства C8051F120

Семейство микроконтроллеров C8051f12x оснащено модернизированным расширенным коммутатором ресурсов Crossbar, способным коммутировать на только цифровые сигналы от периферийных узлов, но и интерфейс внешней памяти EMIF, и аналоговые входы второго аналого-цифрового преобразователя ADC2. Функциональная схема расширенного коммутатора ресурсов представлена на рис.9.11.

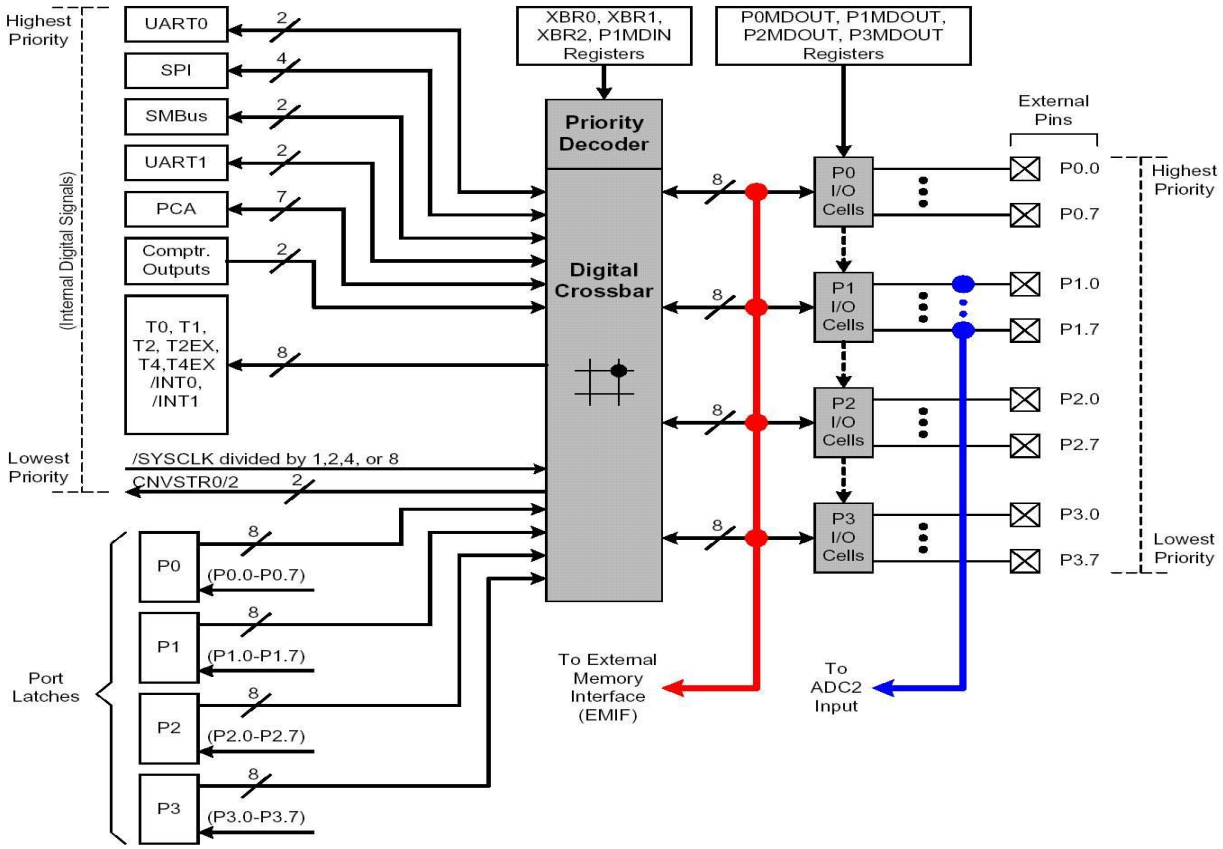

Рис.9.11. Расширенный модернизированный коммутатор ресурсов Crossbar семейства C8051F12x

Все цифровые периферийные узлы включаются через 3 SFR регистра XBR0-2. Приоритетная кодовая таблица Crossbar в случае, когда интерфейс внешней памяти не назначен на младшие порты P0-P3 показана на рис.9.12.

В случае, когда порт P1 используется в качестве аналоговых входов, соответствующие линии порта в регистре P1MDOUT должны быть установлены в логический 0, что соответствует режиму «открытого истока». В случае, если интерфейс внешней памяти назначен на младшие порты P0-P3, дешифратор Crossbar резервирует линии P0.5-P0.7 и часть линий портов P1-P3 в зависимости от используемого режима внешней шины (мультиплексированного или не мультиплексированного). В этом случае приоритетная кодовая таблица Crossbar выглядит, как показано на рис.9.13.

В случае использования немультиплексированного режима интерфейса внешней памяти, приоритетная кодовая таблица выглядит, как показано на рис.9.14.

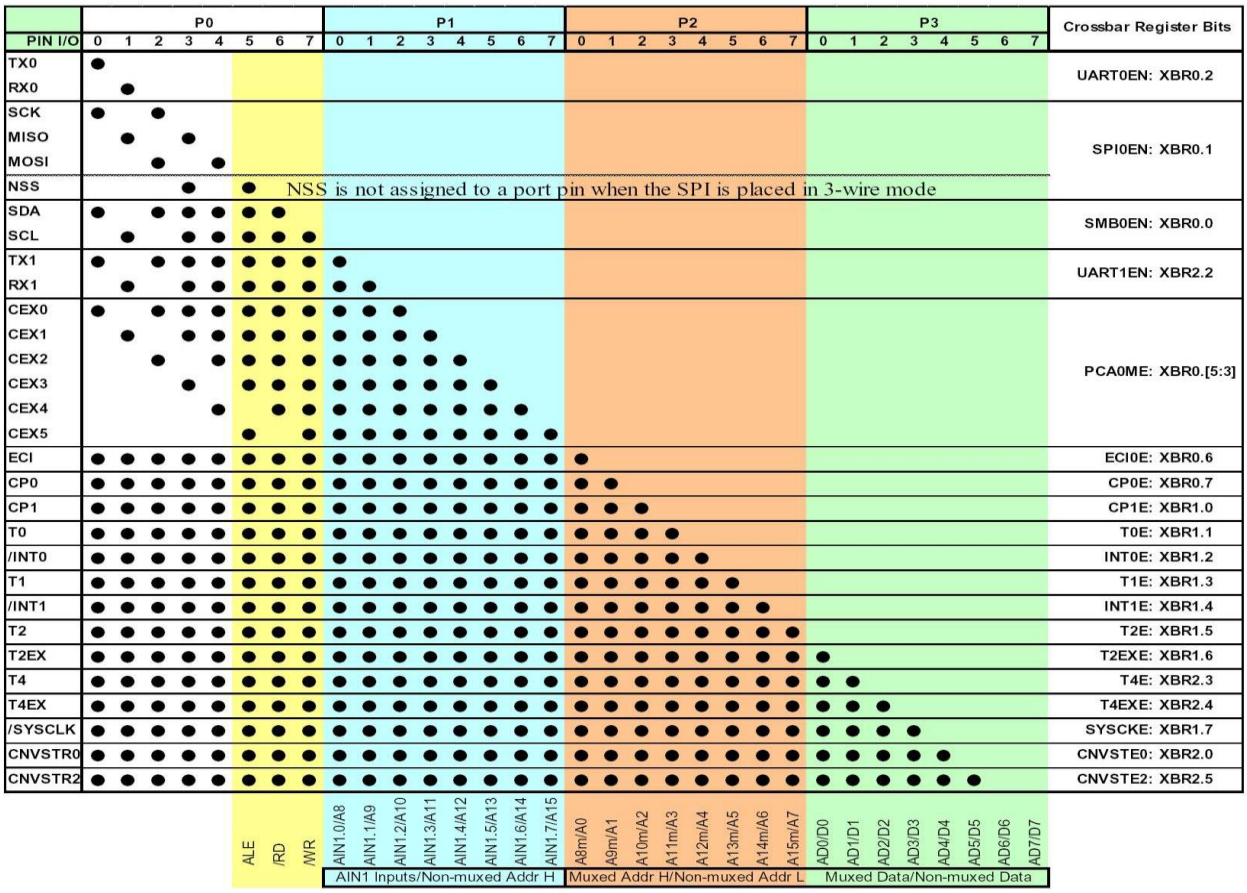

Рис.9.12. Приоритетная кодовая таблица Crossbar (EMIFLE=0; P1MDIN=0xFF)

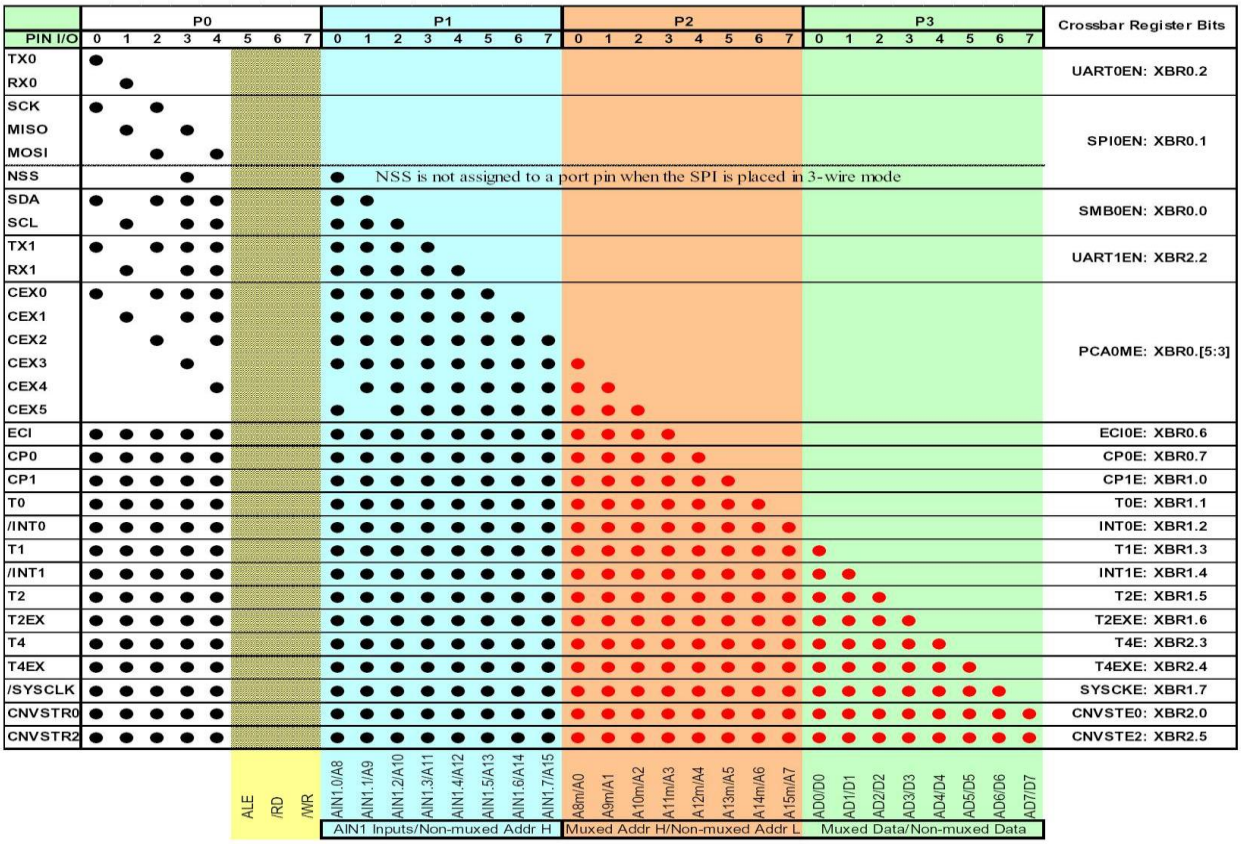

Рис.9.13. Приоритетная кодовая таблица Crossbar (EMIFLE=1; EMIF в мультиплексированном режиме; линии портов P2-P3 для цифровой периферии блокированы; P1MDIN=0xFF)

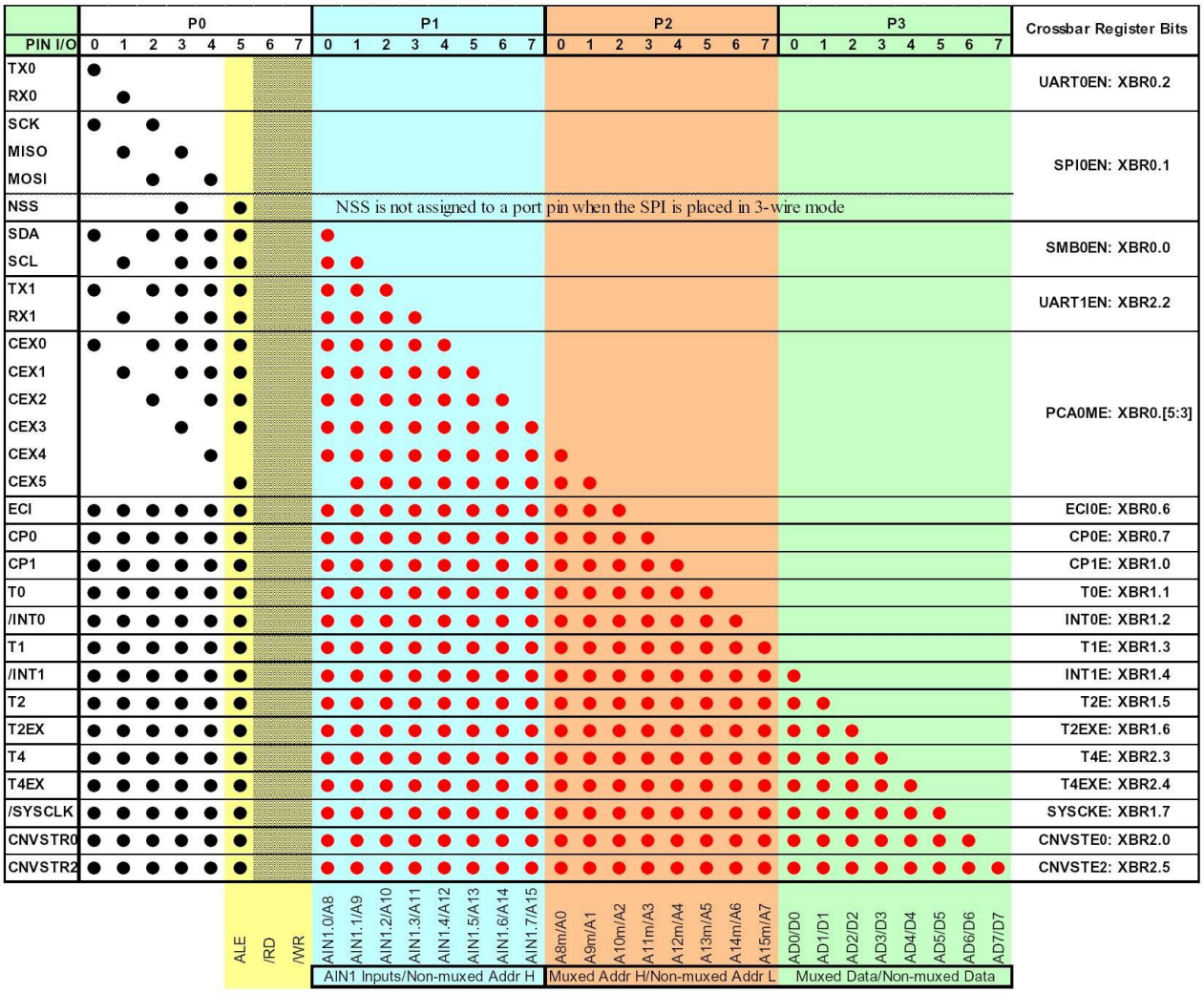

Рис.9.14. Приоритетная кодовая таблица Crossbar (EMIFLE=1; EMIF в немультиплексированном режиме; линии портов P0.6, P0.7, P1-P3 для цифровой периферии блокированы; P1MDIN=0xFF)

9.6.21. XBR2 - Регистр 2 коммутатора ресурсов CrossBar

Название регистра:	XBR2 - Port I/O CrossBar Register 2		
SFR адрес / страница:	0xE3 / F	Значение после сброса:	00000000b (0x00)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
WEAKPUD	XBARE	CNVST2E	T4EXE	T4E	UART1E	EMIFLE	CNVST0E
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: WEAKPUD - Port I/O Weak Pull-up Disable Bit - бит разрешения (0) / запрещения (1) подтяжки выводов (резисторов, соединенных с напряжением питания) за исключением линий ввода /вывода, сконфигурированных не с "открытым истоком");
Бит 6: XBARE - CrossBar Enable Bit - бит разрешения (1) коммутатора ресурсов Crossbar;
Бит 5: CNVST2E – ADC2 Convert Start Input Enable Bit - бит разрешения (1) входа запуска ADC2;
Бит 4: T4EXE – T4EX Input Enable Bit – бит разрешения (1) внешнего входа таймера 4;
Бит 3: T4E – T4 Input Enable Bit - бит разрешения (1) входа таймера 4;
Бит 2: UART1E – UART1 I/O Enable Bit – бит разрешения (1) выводов Tx и Rx последовательного порта UART1;
Бит 1: EMIFLE – External Memory Interface Low-Port Enable Bit – бит разрешения (1) интерфейса внешней памяти на младших портах;
Бит 0: CNVST0E – ADC0 Convert Start Input Enable Bit - бит разрешения (1) входа запуска ADC0.

9.7. Достоинства и недостатки семейства C8051F12x

Семейство микроконтроллеров C8051F12x насчитывает две идентичных группы по 4 микроконтроллера с высокопроизводительным усовершенствованным ядром CIP-51. Первая группа работает на частотах до 100MHz, обеспечивая при этом пиковую производительность, достигающую 100MIPS. Вторая группа работает на частотах до 50MHz, обеспечивая при этом пиковую производительность, достигающую 50MIPS. Семейство C8051F12x создано на базе семейств C8051F02x и C8051F04x, и, естественно, в него включены все лучшие архитектурные решения из этих семейств.

Аналоговая периферия семейства C8051F12x аналогична периферии семейства C8051F02x. Цифровая периферия, в отличие от семейства C8051F04x не содержит интерфейса CAN.

Семейство имеет увеличенный объем встроенной Flash памяти - 128K с постоянной первой страницей в 32K и меняющейся второй страницей. Объем оперативной памяти также увеличен до 256+8K. В семействе также используется страничная организация регистров специального назначения.

Повышение тактовой частоты привело к необходимости введения еще двух цифровых узлов. Впервые в микроконтроллер введена кеш память, сочетающая высокопроизводительное ядро (со временем выполнения инструкции до 10nS) с более медленной Flash памятью (со временем доступа 40nS). Также впервые введен генератор с фазовой петлей обратной связи, способный при подключении внешнего кварцевого резонатора в 25MHz умножать тактовую частоту микроконтроллера до 100MHz.

Стоимость микроконтроллеров семейства довольно высока и составляет от $27 до $37.

На сегодняшний день, это семейство является самым высокопроизводительным микроконтроллерным семейством, производительность которого соизмерима с производительностью микропроцессоров Pentium. С другой стороны, это семейство, несомненно, является самым сложным в освоение и настройке, а также самым дорогим. Применение такого дорогого, сложного и высокопроизводительного семейства оправдано только в особо ответственных изделиях, действительно требующих и очень высокой производительности, и большого объема встроенной Flash памяти.