

Глава 6. СЕМЕЙСТВО МИКРОКОНТРОЛЛЕРОВ C8051F04x

6.1. Обобщенная структура и состав семейства C8051F04x

Семейство C8051F04x состоит из 4 микроконтроллеров с номерами 040, 041, 042 и 043[11]. Состав семейства и его основные характеристики приведены в таблице 6.1.

Таблица 6.1.

Состав семейства C8051F04x

	MIPS (Peak)	Flash Memory	RAM, byte	SMBus (I2C)	SPI	UART	Timers (16 bit)	CAN ver. 2.0B	PCA	I/O Ports	ADC0 Resolution	ADC0 Inputs	ADC1 Resolution	ADC1 Inputs	DAC's 12 bit	Comparators	Vref	Temp. Sensor	Package TQFP
C8051F040	25	64k	4352	✓	✓	2	5	✓	✓	64	12	13	8	8	2	3	✓	✓	100
C8051F041	25	64k	4352	✓	✓	2	5	✓	✓	32	12	13	8	8	2	3	✓	✓	64
C8051F042	25	64k	4352	✓	✓	2	5	✓	✓	64	10	13	8	8	2	3	✓	✓	100
C8051F043	25	64k	4352	✓	✓	2	5	✓	✓	32	10	13	8	8	2	3	✓	✓	64

Обобщенная структура микроконтроллеров первого семейства C8051F04x, представленная на рис.6.1, состоит из трех функциональных групп: аналоговой периферии (Analog Peripherals), цифровой периферии (Digital Peripherals or Digital I/O) и высокопроизводительного контроллерного ядра (High-Speed Controller Core). Обобщенная структура семейства сильно напоминает структуру предыдущего семейства C8051F02x. Основными структурными отличиями этого семейства от предыдущего являются:

- Количество входов мультиплексора первого 12(10)-разрядного аналого-цифрового преобразователя увеличено с 8 до 13;
- Добавлен интерфейс CAN (Controller Area Network) версии 2.0B;
- Добавлен третий аналоговый компаратор.

Однако первое впечатление о том, что семейство микроконтроллеров C8051F04x лишь незначительно отличается от предыдущего семейства C8051F04x, не соответствует действительности. На самом деле, незначительные изменения в составе периферии привели к кардинальным изменениям в количестве и структуре SFR регистров, принципам работы с ними. Пожалуй, на сегодняшний день это семейство является самым насыщенным по объему периферии и самым сложным по управлению. Достаточно сказать только, что вместо одной стандартной SFR страницы регистров, в этом семействе микроконтроллеров имеется целых пять страниц!!! Но об этом мы поговорим позже.

Как и в других семействах, в этом семействе имеется основной микроконтроллер C8051F040 и три упрощенных варианта, которые отличаются от основного либо разрядностью первого аналого-цифрового преобразователя, либо количеством портов ввода/вывода.

В состав группы аналоговой периферии входят: первый аналого-цифровой преобразователь ADC0 с разрядностью 12 бит (C8051F040/041) или 10 бит (C8051F042/043); первый аналоговый входной мультиплексор AMUX0 на 13 входов, которые могут быть запрограммированы как однополярные или дифференциальные входы; первый программируемый входной предварительный усилитель PGA0, который может быть запрограммирован на один из шести коэффициентов усиления (16, 8, 4, 2, 1, 0.5); второй аналого-цифровой преобразователь ADC2 с разрядностью 8 бит; второй аналоговый входной мультиплексор AMUX2 на 8 входов; второй программируемый входной предварительный усилитель PGA2, который может быть запрограммирован на один из шести коэффициентов усиления (4, 2, 1, 0.5); источник опорного напряжения VREF на 2,4В (15 ppm/°C); встроенный датчик температуры с точностью ±3°C; два двенадцатиразрядных цифро-аналоговых преобразователя DAC0(1), два аналоговых компаратора с программируемым гистерезисом, конфигурируемые при прерывании или сбросе и прецизионный мониторинг питания.

Группа узлов цифровой периферии содержит: программируемый массив PCA с шестью режимами; интерфейсы: SMBus, SPI, два быстродействующих последовательных порта UART0 и UART1, CAN 2.0B; пять шестнадцатиразрядных таймера/счетчика общего назначения; восемь (C8051F040/042) или четыре (C8051F041/043) байтовых порта ввода/вывода, совместимых с внешней пяти-вольтовой логикой; мультиплексированный и не мультиплексированный интерфейсы внешней памяти про-

грамм/данных EMIF.

Функциональная группа ядра микроконтроллера содержит:

- высокоскоростное ядро, работающее при частотах до 25МГц, обеспечивающее пиковую производительность до 25MIPS;
- встроенный программируемый калибруемый генератор тактовой частоты (от 2 до 25 МГц); тактовый генератор с внешним кварцевым резонатором (RC - цепочкой, конденсатором или входом внешнего генератора);
- узел отладки - JTAG;
- 256 + 4096 байт оперативной памяти;
- 64К встроенной Flash памяти программ с внутрисистемным программированием ISP (In-System Programmable);
- охранный таймер WDT (Watchdog Timer);
- контроллер прерывания на 20 векторов.

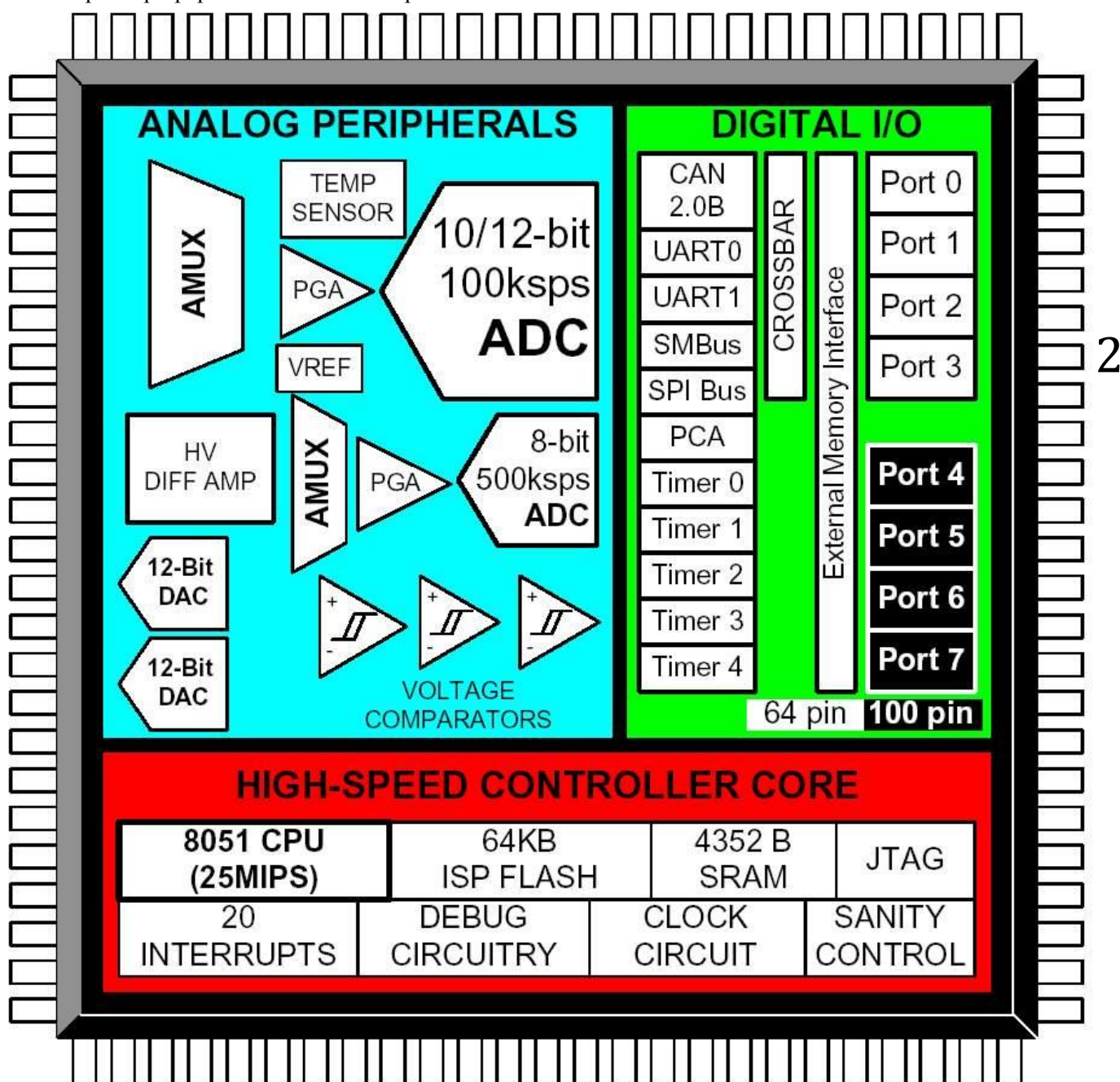


Рис.6.1. Обобщенная структура микроконтроллеров семейства C8051F04x

Все микроконтроллеры семейства работают при напряжении питания от 2,7В до 3,6В в промышленном диапазоне температур от -45 до +85С°. Линии портов ввода/вывода, сброса и JTAG работоспособны при питании 5В.

6.2. Функциональные схемы, типы корпусов и назначение выводов

Микроконтроллеры семейства C8051F04x имеют различное количество выводов (соответственно и корпус). Микроконтроллеры C8051F040/042 выпускаются в корпусе со 100 выводами - TQFP-100 (см. рис.6.2). Микроконтроллеры C8051F041/043 выпускаются в корпусе с 64 выводами - TQFP-64 (см. рис.6.3). Функциональные схемы всех микроконтроллеров показаны на рис.6.4 - 6.5. Назначение выводов микроконтроллеров семейства C8051F04x незначительно отличается от расположения выводов семейства C8051F02x и приведено в таблице 6.2.

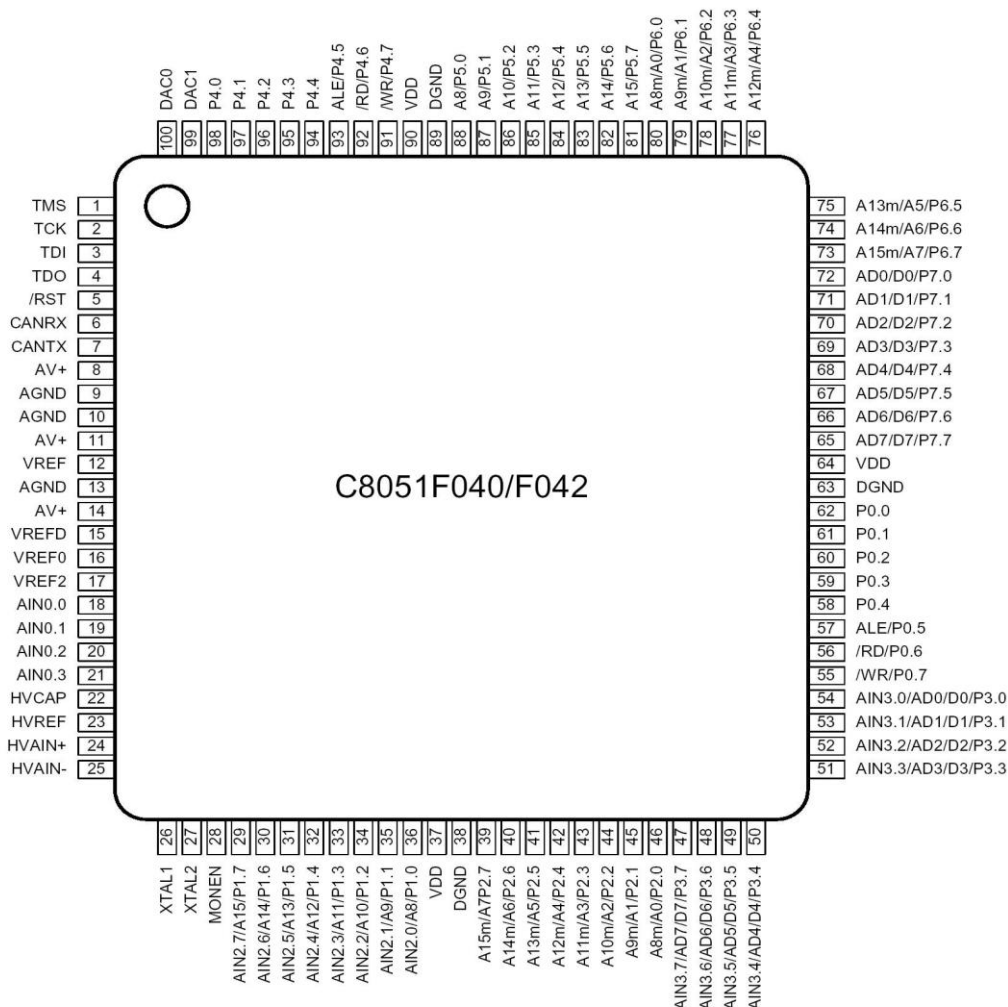


Рис.6.2. Расположение выводов микроконтроллеров C8051F020/022 в корпусе TQFP-100

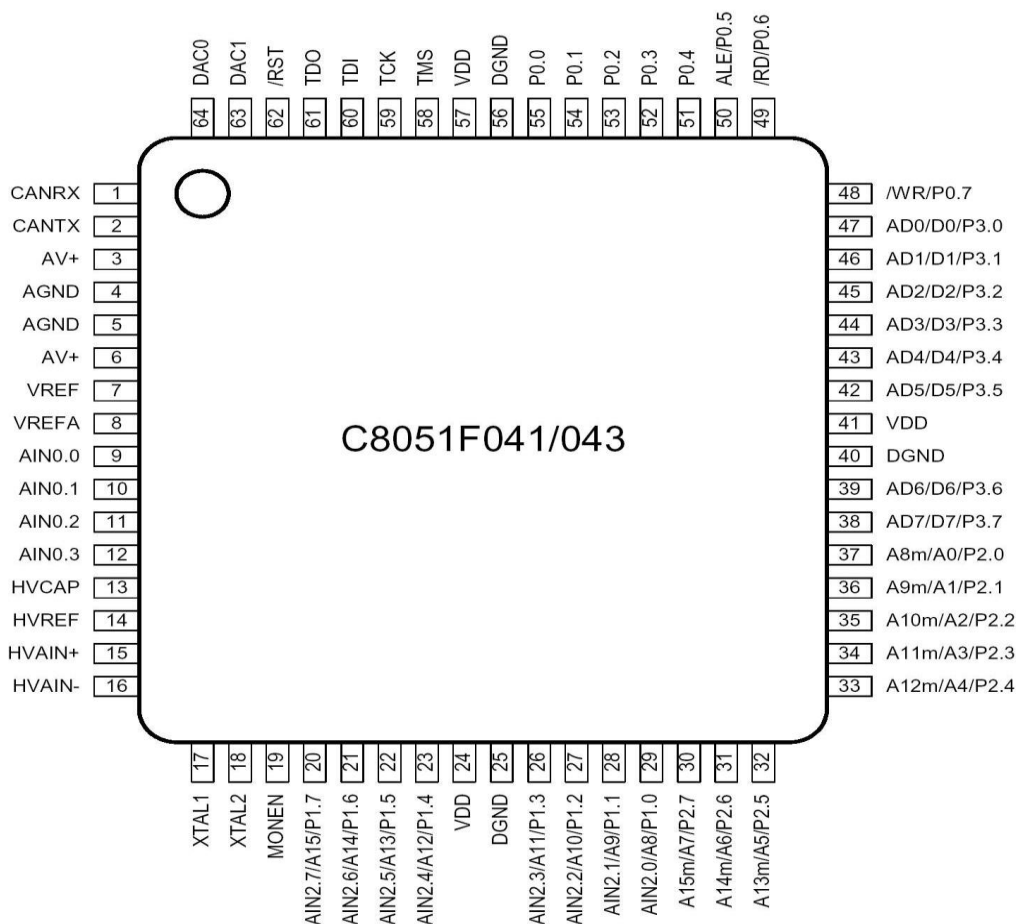


Рис.6.3. Расположение выводов микроконтроллеров C8051F021/023 в корпусе TQFP-64

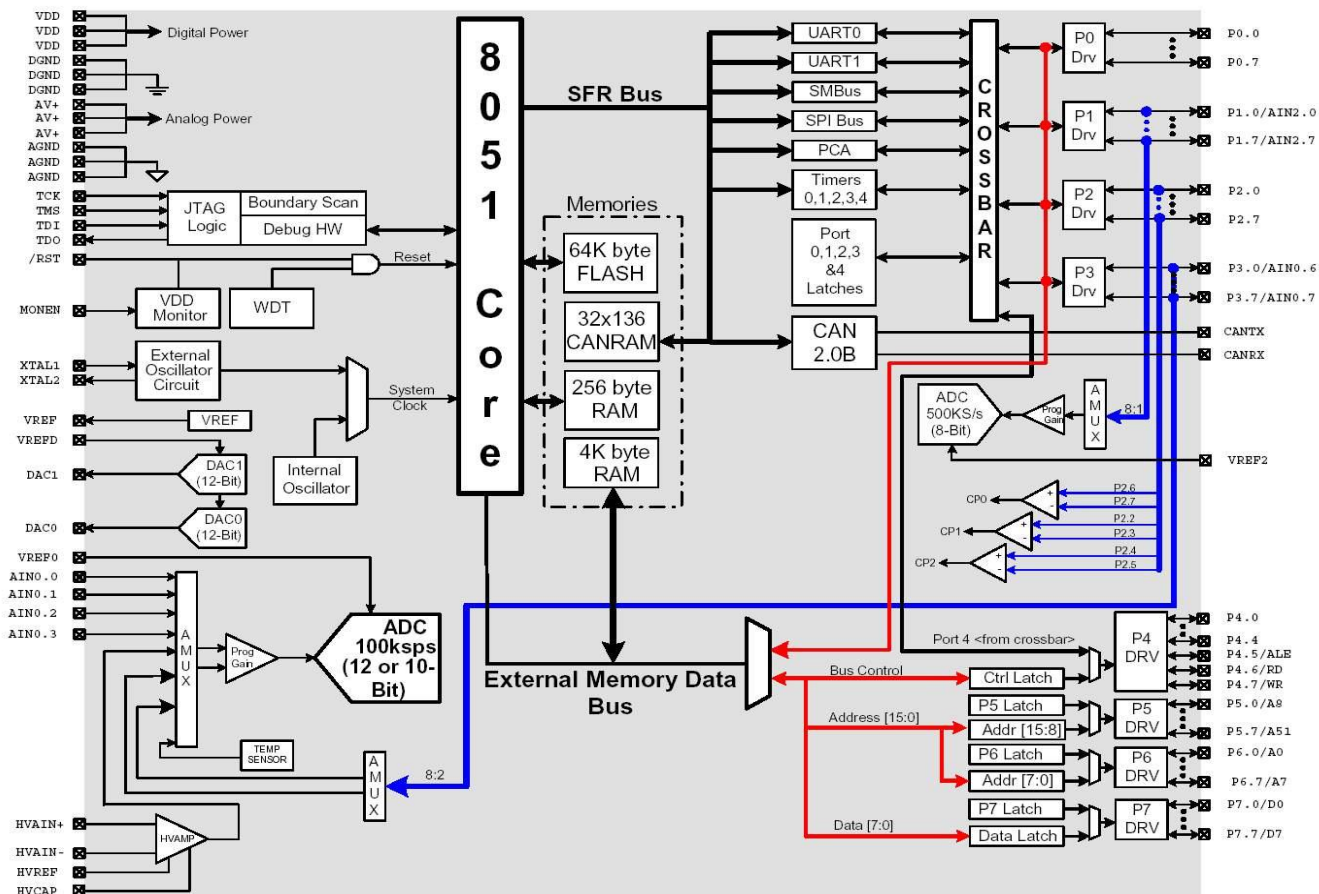


Рис.6.4. Функциональная схема микроконтроллеров C8051F040/042 в корпусе TQFP-100

VREFD	15		A In	Вход внешнего опорного напряжения для DAC
AIN0.0	18	9	A In	Аналоговый вход 0 мультиплексора ADC0
AIN0.1	19	10	A In	Аналоговый вход 1 мультиплексора ADC0
AIN0.2	20	11	A In	Аналоговый вход 2 мультиплексора ADC0
AIN0.3	21	12	A In	Аналоговый вход 3 мультиплексора ADC0
HVCAP	22	13	A In	Конденсатор высоковольтного дифференциального усилителя
HVREF	23	14	A In	Опорное напряжение для высоковольтного дифференциального усилителя
HVAIN+	24	15	A In	Неинвертирующий вход высоковольтного дифференциального усилителя
HVAIN-	25	16	A In	Инвертирующий вход высоковольтного дифференциального усилителя
CANTX	7	2	D Out	Выход передатчика CAN
CANRX	6	1	D In	Вход приемника CAN
DAC0	100	64	A Out	Аналоговый выход DAC0
DAC1	99	63	A Out	Аналоговый выход DAC1
P0.0	62	55	D I/O	Линия ввода/вывода Port 0.0
P0.1	61	54	D I/O	Линия ввода/вывода Port 0.1
P0.2	60	53	D I/O	Линия ввода/вывода Port 0.2
P0.3	59	52	D I/O	Линия ввода/вывода Port 0.3
P0.4	58	51	D I/O	Линия ввода/вывода Port 0.4
P0.5/ALE	57	50	D I/O	Линия ввода/вывода Port 0.5 или строб записи адреса внешней памяти в мультиплексированном режиме
P0.6/RD/	56	49	D I/O	Линия ввода/вывода Port 0.6 или строб чтения RD/ внешней памяти
P0.7/WR/	55	48	D I/O	Линия ввода/вывода Port 0.7 или строб записи WR/ внешней памяти
AIN2.0/A8/P1.0	36	29	A In D I/O	Линия ввода/вывода Port 1.0 или Аналоговый вход 0 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
AIN2.1/A9/P1.1	35	28	A In D I/O	Линия ввода/вывода Port 1.1 или Аналоговый вход 1 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
AIN2.2/A10/P1.2	34	27	A In D I/O	Линия ввода/вывода Port 1.2 или Аналоговый вход 2 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
AIN2.3/A11/P1.3	33	26	A In D I/O	Линия ввода/вывода Port 1.3 или Аналоговый вход 3 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
AIN2.4/A12/P1.4	32	23	A In D I/O	Линия ввода/вывода Port 1.4 или Аналоговый вход 4 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
AIN2.5/A13/P1.5	31	22	A In D I/O	Линия ввода/вывода Port 1.5 или Аналоговый вход 5 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
AIN2.6/A14/P1.6	30	21	A In D I/O	Линия ввода/вывода Port 1.6 или Аналоговый вход 6 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
AIN2.7/A15/P1.7	29	20	A In D I/O	Линия ввода/вывода Port 1.7 или Аналоговый вход 7 мультиплексора ADC1 или Линия адреса в немультимплексированном режиме доступа к внешней памяти
A8m/A0/P2.0	46	37	D I/O	Линия ввода/вывода Port 2.0 или линии адреса в мультиплексированном и немультимплексированном режимах доступа к внешней памяти
A9m/A1/P2.1	45	36	D I/O	Линия ввода/вывода Port 2.1
A10m/A2/P2.2	44	35	D I/O	Линия ввода/вывода Port 2.2
A11m/A3/P2.3	43	34	D I/O	Линия ввода/вывода Port 2.3
A12m/A4/P2.4	42	33	D I/O	Линия ввода/вывода Port 2.4
A13m/A5/P2.5	41	32	D I/O	Линия ввода/вывода Port 2.5
A14m/A6/P2.6	40	31	D I/O	Линия ввода/вывода Port 2.6
A15m/A7/P2.7	39	30	D I/O	Линия ввода/вывода Port 2.7

ADC0./AD0/D0/P3.0	54	47	D I/O	Линия ввода/вывода Port 3.0 или линия адреса/данных в мультиплексированном режиме или линия данных в немultipлексированном режиме доступа к внешней памяти или аналоговый вход ADC0
ADC0./AD1/D1/P3.1	53	46	D I/O	Линия ввода/вывода Port 3.1
ADC0./AD2/D2/P3.2	52	45	D I/O	Линия ввода/вывода Port 3.2
ADC0./AD3/D3/P3.3	51	44	D I/O	Линия ввода/вывода Port 3.3
ADC0./AD4/D4/P3.4	50	43	D I/O	Линия ввода/вывода Port 3.4
ADC0./AD5/D5/P3.5	49	42	D I/O	Линия ввода/вывода Port 3.5
ADC0./AD6/D6/P3.6	48	39	D I/O	Линия ввода/вывода Port 3.6
ADC0./AD7/D7/P3.7	47	38	D I/O	Линия ввода/вывода Port 3.7
P4.0	98		D I/O	Линия ввода/вывода Port 4.0
P4.1	97		D I/O	Линия ввода/вывода Port 4.1
P4.2	96		D I/O	Линия ввода/вывода Port 4.2
P4.3	95		D I/O	Линия ввода/вывода Port 4.3
P4.4	94		D I/O	Линия ввода/вывода Port 4.4
ALE/P4.5	93		D I/O	Линия ввода/вывода Port 4.5 или строб записи адреса внешней памяти в мультиплексированном режиме
/RD/P4.6	92		D I/O	Линия ввода/вывода Port 4.6 или строб чтения RD/ внешней памяти
/WR/P4.7	91		D I/O	Линия ввода/вывода Port 4.7 или строб записи WR/ внешней памяти
A8/P5.0	88		D I/O	Линия ввода/вывода Port 5.0 или линия адреса в немultipлексированном режиме доступа к внешней памяти
A9/P5.1	87		D I/O	Линия ввода/вывода Port 5.1
A10/P5.2	86		D I/O	Линия ввода/вывода Port 5.2
A11/P5.3	85		D I/O	Линия ввода/вывода Port 5.3
A12/P5.4	84		D I/O	Линия ввода/вывода Port 5.4
A13/P5.5	83		D I/O	Линия ввода/вывода Port 5.5
A14/P5.6	82		D I/O	Линия ввода/вывода Port 5.6
A15/P5.7	81		D I/O	Линия ввода/вывода Port 5.7
A8m/A0/P6.0	80		D I/O	Линия ввода/вывода Port 6.0 или линии адреса в мультиплексированном и немultipлексированном режимах доступа к внешней памяти.
A9m/A1/P6.1	79		D I/O	Линия ввода/вывода Port 6.1
A10m/A2/P6.2	78		D I/O	Линия ввода/вывода Port 6.2
A11m/A3/P6.3	77		D I/O	Линия ввода/вывода Port 6.3
A12m/A4/P6.4	76		D I/O	Линия ввода/вывода Port 6.4
A13m/A5/P6.5	75		D I/O	Линия ввода/вывода Port 6.5
A14m/A6/P6.6	74		D I/O	Линия ввода/вывода Port 6.6
A15m/A7/P6.7	73		D I/O	Линия ввода/вывода Port 6.7
AD0/D0/P7.0	72		D I/O	Линия ввода/вывода Port 7.0 или линия адреса/данных в мультиплексированном режиме или линия данных в немultipлексированном режиме доступа к внешней памяти
AD1/D1/P7.1	71		D I/O	Линия ввода/вывода Port 7.1
AD2/D2/P7.2	70		D I/O	Линия ввода/вывода Port 7.2
AD3/D3/P7.3	69		D I/O	Линия ввода/вывода Port 7.3
AD4/D4/P7.4	68		D I/O	Линия ввода/вывода Port 7.4
AD5/D5/P7.5	67		D I/O	Линия ввода/вывода Port 7.5
AD6/D6/P7.6	66		D I/O	Линия ввода/вывода Port 7.6
AD7/D7/P7.7	65		D I/O	Линия ввода/вывода Port 7.7

6.3. Электрические параметры и предельные режимы эксплуатации

Общие электрические характеристики семейства приведены в таблице 6.3.

Таблица 6.3.

Общие электрические характеристики семейства C8051F04x

Параметр	Условия	MIN	НОРМА	MAX
Напряжение питания аналоговой части, V	Напряжение питания аналоговой части должно быть больше 1V для работы супервизора питания	2.7	3.0	3.6
Ток потребления аналоговой части, mA	VREF, ADC, DACs и компараторы включены		1,7	2
Ток потребления при выключенной аналоговой части, μ A	VREF, ADC, DACs, компараторы и генератор выключены		5	20
Допустимая разница напряжений питания аналоговой и цифровой частей, V	$ VDD - VA+ $			0.5
Напряжение питания цифровой части, V		2.7	3.0	3.6
Ток потребления цифровой части в активном режиме, mA	VDD = 2.7V, Clock=25MHz VDD = 2.7V, Clock=1MHz VDD = 2.7V, Clock=32kHz		10 0.5 10 μ A	
Ток потребления цифровой части в пассивном режиме, μ A	Генератор выключен		5	
Напряжения сохранения данных в RAM, V			1.5	
Рабочий температурный диапазон, °C		-40		+85

Предельные режимы эксплуатации приведены в таблице 6.4.

Таблица 6.4.

Предельные параметры семейства C8051F04x

Предельная температура корпуса	-55 - 125°C
Предельная температура хранения	-65 - 150°C
Предельные напряжения на всех выводах кроме VDD и Port I/O по отношению к DGND	-0.3V - (VDD + 0.3V)
Предельные напряжения на всех выводах Port I/O и RST/ по отношению к DGND	-0.3V - 5.8V
Предельное напряжение на вывода VDD по отношению к DGND	-0.3V - 4.2V
Максимальный общий ток через VDD, AV+, DGND и AGND	800mA
Максимальный выходной ток через любой вывод Port I/O	100mA
Максимальный выходной ток через любой другой вывод	25mA

Превышение параметров, указанных в таблице, может привести к повреждению изделия. Не рекомендуется эксплуатация изделия в предельных режимах, т.к. это приводит к снижению надежности и ресурса.

6.4. Подсистемы семейства C8051F04x

Микроконтроллеры семейства C8051F04x имеют типовое ядро CIP-51 фирмы Cygnal с подсистемой отладки и программирования JTAG и набором инструкций, описанные в разделах 2.1-2.3. Особенности ядра данного семейства является наличие у всех микроконтроллеров семейства пяти шестнадцатиразрядных таймеров/счетчиков и различное количество портов ввода/вывода (8 или 4) у микроконтроллеров, выполненных в различных корпусах. Микроконтроллеры семейства C8051F04x также имеют развитый интерфейс внешней памяти программ и данных, который может работать в мультиплексированном и немultipлексированном режимах. Причем этот интерфейс может работать как на основных портах P1-P3, так и на дополнительных портах P5-P7 в зависимости от настройки, аналогично семейству C8051F02x. Ядро CIP-51 имеет стандартное адресное пространство - 64K и стандартную конфигурацию адресов программ и данных.

Ядро оснащено встроенной памятью данных с произвольным доступом (RAM) объемом 256 байт (0x00-0xFF).

Младшие 128 байт (0x00-0x7F) доступны инструкциям с прямой и косвенной адресацией, регистры специальных функций SFR доступны только инструкциям с прямой адресацией, а старшие 128 байт (0x80-0xFF) - только инструкциям с косвенной адресацией. Первые 32 байта (0x00-0x1F) адресуются как четыре банка регистров общего назначения, а следующие 16 байт (0x20-0x2F) - имеют битовую адресацию.

Кроме этого, микроконтроллеры дополнительно имеют 4096 байта оперативной памяти во внешнем адресном пространстве памяти данных. Этот 4К блок может быть доступен с помощью инструкции MOVX. Карта памяти семейства микроконтроллеров C8051F04x такая же, как и у семейства C8051F02x (см. рис.5.8).

6.5. Подсистема регистров специальных функций SFR

Прямо адресуемое адресное пространство памяти данных 0x80-0xFF в стандартном 8051 микроконтроллере занято регистрами специальных функций (SFRs). С помощью этих регистров осуществляется управление и обмен данными между ресурсами ядра CIP-51 и периферией. Регистры специальных функций ядра CIP-51 с одной стороны соответствуют регистрам стандартного 8051, а с другой - дополнены возможностями конфигурирования и обмена данными с оригинальными подсистемами микроконтроллеров Cygnal.

*Однако в семействе C8051F04x периферийных узлов так много, что регистров SFR, расположенных на одной стандартной странице с адресами пространства памяти данных 0x80-0xFF просто не хватает! В связи с этим, в семействе микроконтроллеров C8051F04x впервые вводится многостраничный доступ к SFR регистрам, так называемый режим **SFR paging**.*

Суть этого механизма заключается в том, что вместо одной стандартной страницы SFR регистров с адресами 0x80-0xFF ядро CIP-51 может поддерживать до 256 таких страниц. Переключение страниц возможно несколькими способами. "Ручной" режим переключения осуществляется через специальный SFR регистр, доступный по одному и тому же адресу на всех страницах - SFRPAGE (Special Function Register Page Selection). В этот регистр можно в любой момент записать адрес требуемой страницы SFR регистров, при этом происходит "ручное" переключение набора SFR регистров. Кроме того, существует еще два регистра - SFRNEXT и SFRLAST, организованные в виде *стека SFR страниц*. Предусмотрен автоматический режим переключения SFR страниц, заключающийся в том, что при возникновении ситуации прерывания, происходит автоматическое переключение SFR страниц так, что текущей становится страница, содержащая регистры управления, связанные с источником прерывания. При этом, текущая перед прерыванием страница автоматически сохраняется в регистре SFRNEXT, а содержимое этого регистра сохраняется в регистре SFRLAST. При завершении прерывания (выполнении инструкции IRET), происходит автоматическое восстановление значения SFRPAGE<-SFRNEXT и SFRNEXT<-SFRLAST. Кроме того, пользователь при желании может во время выполнения процедуры прерывания модифицировать значения регистров SFRNEXT и SFRLAST. Автоматическое сохранение и восстановление SFR страниц может быть отключено (включено) с помощью бита управления SFRAPCE (SFR Automatic Page Control Enable Bit) в регистре управления страниц SFRPGCN (SFR Page Control Register). После сброса автоматический режим переключения страниц включен.

Регистры SFR доступны для инструкций с прямой адресацией в пространстве адресов 0x80 to 0xFF. Регистры с адресами, оканчивающимися на 0x0 или 0x8 (например, P0, TCON, P1, SCON, IE и т.д.) являются и битадресуемыми и байтадресуемыми. Все остальные регистры SFR являются только байтадресуемыми. Неиспользуемые адреса в адресном пространстве SFR зарезервированы для развития. Использование этих адресов приводит к неопределенному результату и нежелательно. Описание каждого из регистров будет приведено ниже. В таблице 6.5. приведена карта адресного пространства SFR регистров. Регистры, помеченные, как "All Pages" доступны на всех страницах SFR. В семействе микроконтроллеров C8051F04x используется всего пять страниц с номерами 0, 1, 2, 3 и F. После сброса активна 0 страница (SFRPAGE=0x00).

Таблица 6.5.

Карта адресов регистров специальных функций SFR семейства C8051F04x

ADDRESS	SFR PAGE	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
F8	0	SPI0CN	PCA0L	PCAOH	PCA0CPL0	PCA0CPH0	PCA0CPL1	PCA0CPH1	WDTCN (ALL PAGES)
	1	CAN0CN							
	2								
	3								
	F	P7							
F0	0	B (ALL PAGES)						EIP1 (ALL PAGES)	EIP2 (ALL PAGES)
	1								
	2								
	3								
	F								
E8	0	ADC0CN	PCA0CPL2	PCA0CPH2	PCA0CPL3	PCA0CPH3	PCA0CPL4	PCA0CPH4	RSTSRC
	1	ADC2CN							
	2								
	3								
	F	P6							
E0	0	ACC (ALL PAGES)	PCA0CPL5	PCA0CPH5				EIE1 (ALL PAGES)	EIE2 (ALL PAGES)
	1								
	2								
	3								
	F		XBRO	XBR1	XBR2	XBR3			
D8	0	PCA0CN	PCA0MD	PCA0CPM0	PCA0CPM1	PCA0CPM2	PCA0CPM3	PCA0CPM4	PCA0CPM5
	1	CAN0DATL	CAN0DATH	CAN0ADR	CAN0TST				
	2								
	3								
	F	P5							
D0	0	PSW (ALL PAGES)	REFOCN	DACOL	DACOH	DACOCN		HVAOCN	
	1			DAC1L	DAC1H	DAC1CN			
	2								
	3								
	F								
C8	0	TMR2CN	TMR2CF	RCAP2L	RCAP2H	TMR2L	TMR2H		SMBOCR
	1	TMR3CN	TMR3CF	RCAP3L	RCAP3H	TMR3L	TMR3H		
	2	TMR4CN	TMR4CF	RCAP4L	RCAP4H	TMR4L	TMR4H		
	3								
	F	P4							
C0	0	SMB0CN	SMB0STA	SMB0DAT	SMB0ADR	ADC0GTL	ADC0GTH	ADC0LTL	ADC0LTH
	1	CAN0STA							
	2					ADC2GT		ADC2LT	
	3								
	F								
B8	0	IP (ALL PAGES)	SADENO0	AMX0CF	AMX0SL	ADC0CF	AMX0PRT	ADC0L	ADC0H
	1								
	2			AMX2CF	AMX2SL	ADC2CF		ADC2	
	3								
	F								
B0	0	P3 (ALL PAGES)							FLASCL
	1								
	2								
	3								
	F								FLARDL
A8	0	IE (ALL PAGES)	SADDRO						
	1								
	2								
	3								
	F						P1MDIN	P2MDIN	P3MDIN
A0	0	P2 (ALL PAGES)	EMI0TC	EMI0CN	EMI0CF				
	1								
	2								
	3								
	F					P0MDOUT	P1MDOUT	P2MDOUT	P3MDOUT
98	0	SCON0	SBUF0	SPI0CFG	SPI0DAT		SPI0CKR		
	1	SCON1	SBUF1						

	2								
	3								
	F					P4MDOUT	P5MDOUT	P6MDOUT	P7MDOUT
90	0	PI (ALL PAGES)	SSTA0						
	1								
	2								
	3								
	F							SFRPGCN	CLKSEL
88	0	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	PSCTL
	1	CPT0CN	CPT0MD						
	2	CPT1CN	CPT1MD						
	3	CPT2CN	CPT2MD						
	F			OSCICN	OSCICL	OSCXCN			
80	0	P0 (ALL PAGES)	SP (ALL PAGES)	DPL (ALL PAGES)	DPH (ALL PAGES)	SERPAGE (ALL PAGES)	SFRNEXT (ALL PAGES)	SFRLAST (ALL PAGES)	PCON (ALL PAGES)
	1								
	2								
	3								
	F								
		0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)

В таблице 6.6. регистры приведены в алфавитном порядке. Пропущенные адреса зарезервированы.

Таблица 6.6.

Таблица адресов регистров специальных функций в алфавитном порядке

Название регистра	Адрес регистра	SFR страница	Описание функционального назначения регистра	Раздел описания
ACC	0xE0	ALL	Аккумулятор	3.6.24
ADC0CF	0xBC	0	Конфигурация ADC0	6.6.6
ADC0CN	0xE8	0	Управление ADC 0	3.6.4
ADC0GTH	0xC5	0	Старший байт верхнего порога данных ADC0	3.6.7
ADC0GTL	0xC4	0	Младший байт верхнего порога данных ADC0	3.6.8
ADC0H	0xBF	0	Старший байт данных ADC0	3.6.5
ADC0L	0xBE	0	Младший байт данных ADC0	3.6.6
ADC0LTH	0xC7	0	Старший байт нижнего порога данных ADC0	3.6.9
ADC0LTL	0xC6	0	Младший байт нижнего порога данных ADC0	3.6.10
ADC2	0xBE	2	Регистр данных ADC2	6.6.11
ADC2CF	0xBC	2	Регистр конфигурации аналогового мультиплексора 2	6.6.7
ADC2CN	0xE8	2	Регистр управления ADC2	6.6.10
ADC2GT	0xC4	1	Верхний порог ADC2	6.6.12
ADC2LT	0xC6	1	Нижний порог ADC2	6.6.13
AMX0CF	0xBA	0	Конфигурация мультиплексора MUX ADC0	6.6.2
AMX0PRT	0xBD	0	Выбор выводов порта P3 для ADC0	6.6.4
AMX0SL	0xBB	0	Выбор каналов мультиплексора MUX ADC0	6.6.3
AMX2CF	0xBA	2	Конфигурация мультиплексора MUX ADC0	6.6.9
AMX2SL	0xBB	2	Регистр выбора каналов аналогового мультиплексора 2	6.6.8
B	0xFO	ALL	Регистр B	3.6.25
CAN0ADR	0xDA	1	Регистр адреса CAN	6.6.50
CAN0CN	0xF8	1	Регистр управления CAN	6.6.51
CAN0DATH	0xD9	1	Регистр старшего байта данных CAN	6.6.48
CAN0DATL	0xD8	1	Регистр младшего байта данных CAN	6.6.49
CAN0STA	0xC0	1	Регистр статуса CAN	6.6.53
CAN0TST	0xDB	1	Регистр теста CAN	6.6.52
CKCON	0x8E	0	Регистр управления тактовой частотой таймеров	6.6.59
CLKSEL	0x97	F	Регистр выбора генератора	6.6.34

CPT0CN	0x88	1	Управление компаратором 0	6.6.19
CPT1CN	0x88	2	Управление компаратором 1	6.6.19
CPT2CN	0x88	3	Управление компаратором 2	6.6.19
CPT0MD	0x89	1	Выбор режима компаратора 0	6.6.20
CPT1MD	0x89	2	Выбор режима компаратора 1	6.6.20
CPT2MD	0x89	3	Выбор режима компаратора 2	6.6.20
DAC0CN	0xD4	0	Управление DAC0	6.6.14
DAC0H	0xD3	0	Старший байт данных DAC0	3.6.11
DAC0L	0xD2	0	Младший байт данных DAC0	3.6.12
DAC1CN	0xD4	1	Управление DAC1	6.6.17
DAC1H	0xD3	1	Старший байт данных DAC 1	6.6.15
DAC1L	0xD2	1	Младший байт данных DAC 1	6.6.16
DPH	0x83	ALL	Старший байт указателя данных	3.6.22
DPL	0x82	ALL	Младший байт указателя данных	3.6.21
EIE1	0xE6	ALL	Разрешение дополнительных прерываний 1	6.6.27
EIE2	0xE7	ALL	Разрешение дополнительных прерываний 2	6.6.28
EIP1	0xF6	ALL	Приоритеты дополнительных прерываний 1	6.6.29
EIP2	0xF7	ALL	Приоритеты дополнительных прерываний 2	6.6.30
EMI0CF	0xA3	0	Регистр конфигурации внешней памяти	5.6.17
EMI0CN	0xA2	0	Управление интерфейсом внешней памяти	6.6.38
EMI0TC	0xA1	0	Регистр временного контроля EMIF	5.6.18
FLACL	0xB7	F	Ограничение доступа Flash	6.6.36
FLSCL	0xB7	0	Управление временем доступа к Flash	6.6.37
HVA0CN	0xD6	0	Управление высоковольтным операционным усилителем	6.6.5
IE	0xA8	ALL	Разрешение прерываний	3.6.27
IP	0xB8	ALL	Управление приоритетами прерываний	3.6.28
OSCI CL	0xB3	F	Калибровка встроенного генератора	6.6.32
OSCICN	0x8A	F	Управление внутренним генератором	6.6.33
OSCXCN	0x8C	F	Управление внешним генератором	6.6.35
P0	0x80	ALL	Выходной регистр Port 0	3.6.45
P0MDOUT	0xA4	F	Регистр режима вывода порта 0	6.6.44
P1	0x90	ALL	Выходной регистр Port 1	3.6.47
P1MDIN	0xAD	F	Регистр режима ввода порта 1	6.6.45
P1MDOUT	0xA5	F	Регистр режима вывода порта 1	6.6.44
P2	0xA0	ALL	Выходной регистр Port 2	3.6.50
P2MDIN	0xAE	F	Регистр режима ввода порта 2	6.6.45
P2MDOUT	0xA6	F	Регистр режима вывода порта 2	6.6.44
P3	0xB0	ALL	Выходной регистр Port 3	3.6.52
P3MDIN	0xAF	F	Регистр режима ввода порта 3	6.6.45
P3MDOUT	0xA7	F	Регистр режима вывода порта 3	6.6.44
P4	0xC8	F	Регистр порта 4	6.6.46
P4MDOUT	0x9C	F	Регистр режима вывода порта 4	6.6.44
P5	0xD8	F	Регистр порта 5	6.6.46
P5MDOUT	0x9D	F	Регистр режима вывода порта 5	6.6.44
P6	0xE8	F	Регистр порта 6	6.6.46
P6MDOUT	0x9E	F	Регистр режима вывода порта 6	6.6.44
P7	0xF8	F	Регистр порта 7	6.6.46
P7MDOUT	0x9F	F	Регистр режима вывода порта 7	6.6.44

PCA0CN	0xD8	0	Управление программируемым счетчиком-массивом 0 Control (PCA)	6.6.66
PCA0CPH0	0xFC	0	Старший байт модуля захвата 0 PCA	6.6.72
PCA0CPH1	0xFE	0	Старший байт модуля захвата 1 PCA	6.6.72
PCA0CPH2	0xFA	0	Старший байт модуля захвата 2 PCA	6.6.72
PCA0CPH3	0xEC	0	Старший байт модуля захвата 3 PCA	6.6.72
PCA0CPH4	0xEE	0	Старший байт модуля захвата 4 PCA	6.6.72
PCA0CPH5	0xE2	0	Старший байт модуля захвата 5 PCA	6.6.72
PCA0CPL0	0xFB	0	Младший байт модуля захвата 0 PCA	6.6.71
PCA0CPL1	0xFD	0	Младший байт модуля захвата 1 PCA	6.6.71
PCA0CPL2	0xE9	0	Младший байт модуля захвата 2 PCA	6.6.71
PCA0CPL3	0xEB	0	Младший байт модуля захвата 3 PCA	6.6.71
PCA0CPL4	0xED	0	Младший байт модуля захвата 4 PCA	6.6.71
PCA0CPL5	0xE1	0	Младший байт модуля захвата 5 PCA	6.6.71
PCA0CPM0	0xDA	0	PCA модуль захвата/сравнения 0	6.6.68
PCA0CPM1	0xDB	0	PCA модуль захвата/сравнения 1	6.6.68
PCA0CPM2	0xDC	0	PCA модуль захвата/сравнения 2	6.6.68
PCA0CPM3	0xDD	0	PCA модуль захвата/сравнения 3	6.6.68
PCA0CPM4	0xDE	0	PCA модуль захвата/сравнения 4	6.6.68
PCA0CPM5	0xDF	0	PCA модуль захвата/сравнения 5	6.6.68
PCA0H	0xFA	0	Старший байт данных PCA	6.6.70
PCA0L	0xF9	0	Младший байт данных PCA	6.6.69
PCA0MD	0xD9	0	Регистр управления режимом PCA	6.6.67
PCON	0x87	ALL	Управление питанием	6.6.31
PSCTL	0x87	0	Управление R/W к памяти программ	5.6.14
PSW	0xDO	ALL	Слово состояния программы	3.6.23
RCAP2H	0xCB	0	Старший байт таймера/счетчика 2	6.6.63
RCAP2L	0xCA	0	Младший байт таймера/счетчика 2	6.6.62
RCAP3H	0xCB	1	Старший байт таймера/счетчика 3	6.6.63
RCAP3L	0xCA	1	Младший байт таймера/счетчика 3	6.6.62
RCAP4H	0xE5	2	Старший байт таймера/счетчика 4	6.6.63
RCAP4L	0xE4	2	Младший байт таймера/счетчика 4	6.6.62
REF0CN	0xDI	0	Управление источником опорного напряжения	5.6.7
RSTSRC	0xEF	0	Управление источниками сброса	3.6.39
SADDR0	0xA9	0	Регистр адреса ведомого порта UART0	5.6.29
SADEN0	0xB9	0	Регистр разрешения адреса ведомого порта UART0	5.6.30
SBUF0	0x99	0	Буфер данных последовательного порта 0 (UART0)	6.6.57
SBUF1	0x99	1	Буфер данных последовательного порта 1 (UART1)	6.6.57
SCON0	0x98	0	Управление последовательным портом 0 (UART0)	3.6.64
SCON1	0x98	1	Управление последовательным портом 1 (UART1)	6.6.58
SFRLAST	0x86	ALL	Регистр доступа к предыдущей странице стека SFR	6.6.25
SFRNEXT	0x85	ALL	Регистр доступа к следующей странице стека SFR	6.6.24
SFRPAGE	0x84	ALL	Регистр страниц SFR	6.6.23
SFRPGCN	0x96	F	Регистр управления SFR	6.6.22
SMB0ADR	0xC3	0	Адреса SMBus 0	3.6.57
SMB0CN	0xC0	0	Управление SMBus 0	3.6.54
SMB0CR	0xCF	0	Управление скоростью SMBus 0	3.6.55
SMB0DAT	0xC2	0	Данные SMBus 0	3.6.56
SMB0STA	0xC1	0	Состояние SMBus 0	3.6.58

SP	0x81	ALL	Указатель стека	3.6.20
SPI0CFG	0x9A	0	Конфигурация последовательного периферийного интерфейса (SPI)	6.6.54
SPI0CKR	0x9D	0	Управление скоростью SPI	3.6.61
SPI0CN	0xF8	0	Управление шиной SPI	6.6.55
SPI0DAT	0x9B	0	Данные SPI	3.6.62
SSTA0	0x91	0	Статус UART0	6.6.56
TCON	0x88	0	Управление таймерами/счетчиками	3.6.65
TH0	0x8C	0	Старший байт данных таймера/счетчика 0	3.6.70
TH1	0x8D	0	Старший байт данных таймера/счетчика 1	3.6.71
TL0	0x8A	0	Младший байт данных таймера/счетчика 0	3.6.68
TL1	0x8B	0	Младший байт данных таймера/счетчика 1	3.6.69
TMOD	0x89	0	Режимы таймеров счетчиков	3.6.66
TMR2CF	0xC9	0	Регистр конфигурации таймера 2	6.6.61
TMR2CN	0xC8	0	Регистр управления таймера 2	6.6.60
TMR2H	0xCD	0	Старший байт таймера 2	6.6.65
TMR2L	0xCC	0	Младший байт таймера 2	6.6.64
TMR3CF	0xC9	1	Регистр конфигурации таймера 3	6.6.61
TMR3CN	0xC8	1	Регистр управления таймера 3	6.6.60
TMR3H	0xCD	1	Старший байт таймера 3	6.6.65
TMR3L	0xCC	1	Младший байт таймера 3	6.6.64
TMR4CF	0xC9	2	Регистр конфигурации таймера 4	6.6.61
TMR4CN	0xC8	2	Регистр управления таймера 4	6.6.60
TMR4H	0xCD	2	Старший байт таймера 4	6.6.65
TMR4L	0xCC	2	Младший байт таймера 4	6.6.64
WDTCN	0xFF	ALL	Управление охранном счетчиком (WDT)	3.6.38
XBR0	0xE1	F	Конфигурация коммутатора ресурсов (Crossbar) 0	6.6.40
XBR1	0xE2	F	Конфигурация коммутатора ресурсов (Crossbar) 1	6.6.41
XBR2	0xE3	F	Конфигурация коммутатора ресурсов (Crossbar) 2	6.6.42
XBR3	0xE0	F	Конфигурация коммутатора ресурсов (Crossbar) 3	6.6.43

6.6. Регистры SFR

Управление и обмен данными с всей аналоговой и цифровой периферией микроконтроллеры семейства C8051F04x осуществляют через регистры SFR. Как уже отмечалось выше, это четвертое семейство является расширенным вариантом третьего семейства C8051F02x. Ниже приводится описание регистров только базового основного микроконтроллера C8051F040 (некоторые регистры, связанные с ADC0 и ADC2 управлением опорным источником микроконтроллеров 041-043 даже этого семейства имеют незначительные отличия). Для регистров, описание которых полностью совпадает с описанием регистров других семейств, даются ссылки на соответствующие разделы в таблице 6.6 (при этом подразумевается, что эти регистры находятся на 0 SFR странице). Кроме того, в этом разделе будут даны описания некоторых функциональных узлов, отличающихся от приведенных в главе 2 или отсутствующих в ней.

6.6.1. Модифицированный первый аналого-цифровой преобразователь ADC0

Семейство микроконтроллеров C8051F04x оснащено модифицированным узлом первого аналого-цифрового преобразователя. Функциональная схема подсистемы ADC0 приведена на рис.6.6.

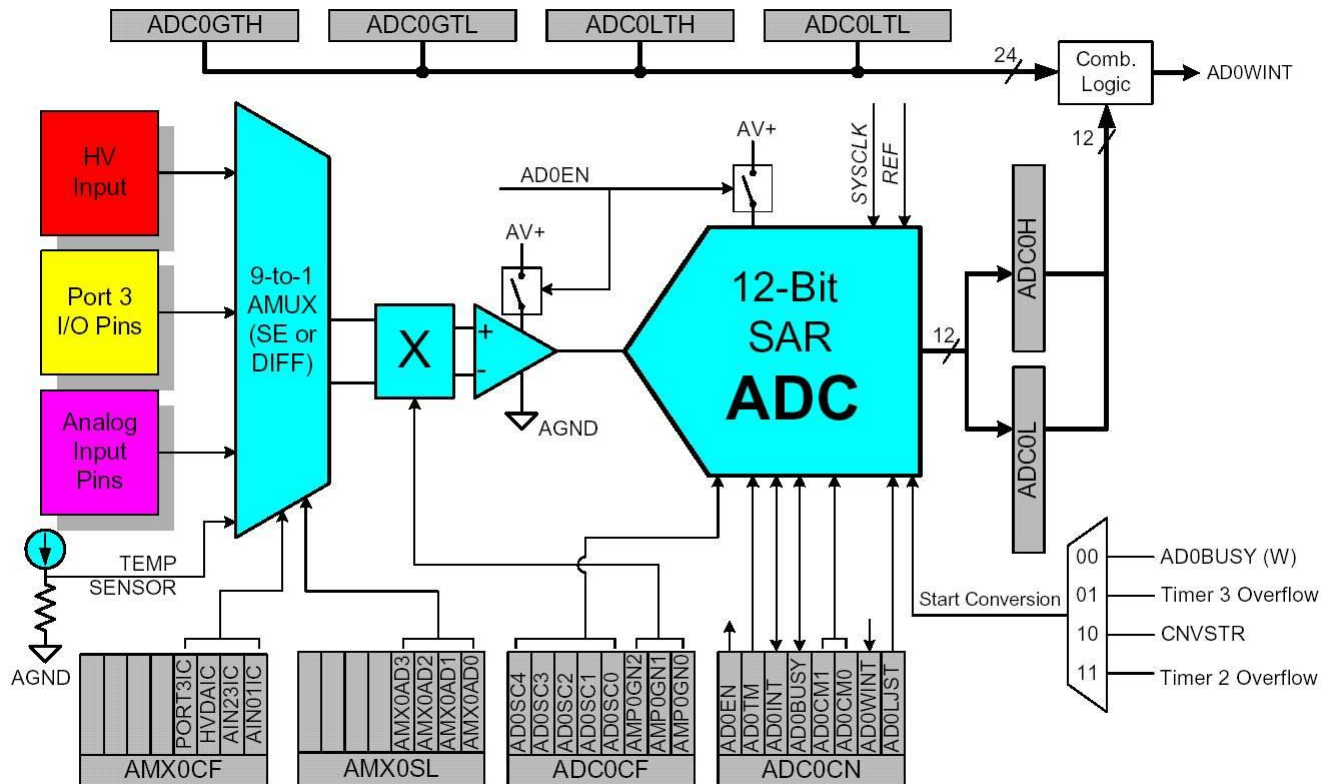


Рис.6.6. Функциональная схема подсистемы ADC0

Также как и в предыдущих семействах перед аналого-цифровым преобразователем ADC0 и программируемым предварительным усилителем PGA0 включен девятиканальный аналоговый мультиплексор AMUX0, однако, не все его выходы соединены непосредственно со входами (см. рис.6.7).

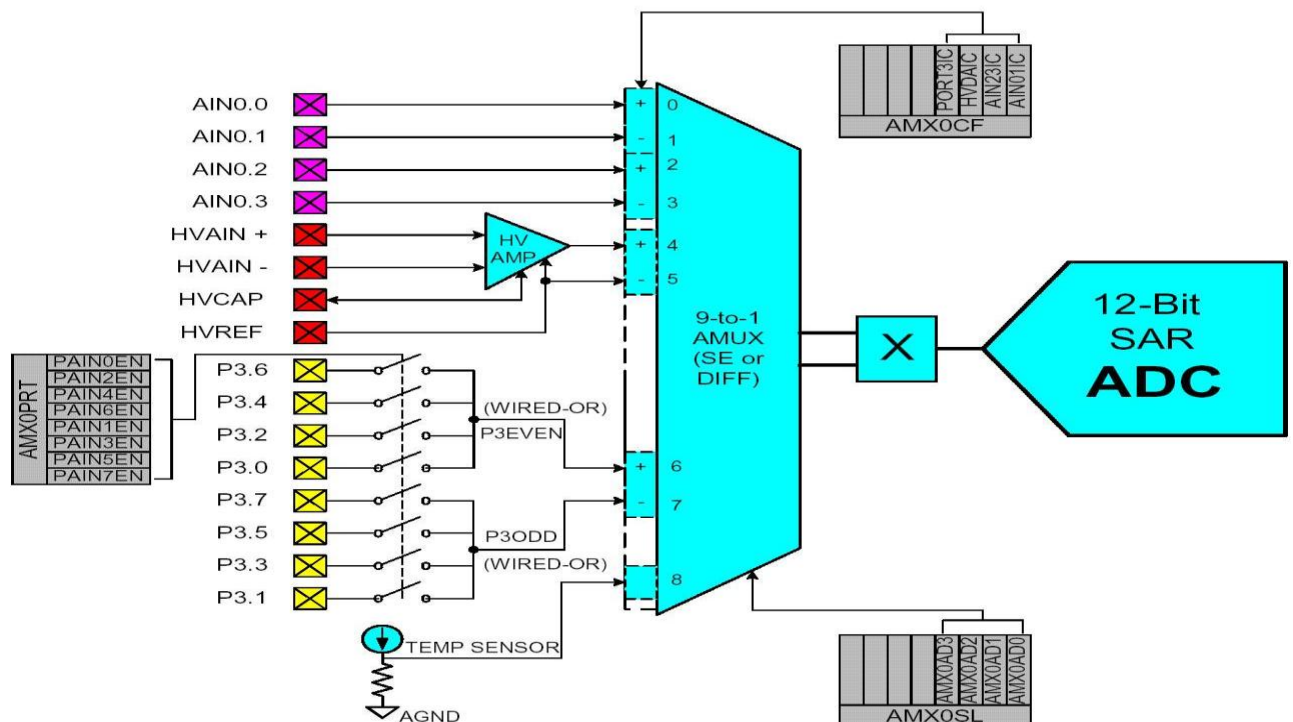


Рис.6.7. Функциональная схема аналогового мультиплексора AMUX0

Первые четыре вывода (0-3) соединены с индивидуальными выводами и могут работать как 4 однополярные или два дифференциальных входа. На следующие два входа (4-5) подсоединен новый узел - высоковольтного дифференциального усилителя HVDA (дифференциальное напряжение до

60V), прямой и инверсный входы которого также имеют свои индивидуальные выводы. Следующие два входа (6-7) с помощью регистра AMUX0PRT могут "на лету" переключаться на две тетрады порта P3. Последний девятый вывод (8) подключен к встроенному датчику температуры. За счет такой схемы подключения выводов ADC0 может обслуживать 13 однополярных источников сигнала: первые 4 входа, высоковольтный усилитель и 8 входов порта P3. На рис.6.8 показана функциональная схема высоковольтного усилителя HVAMP.

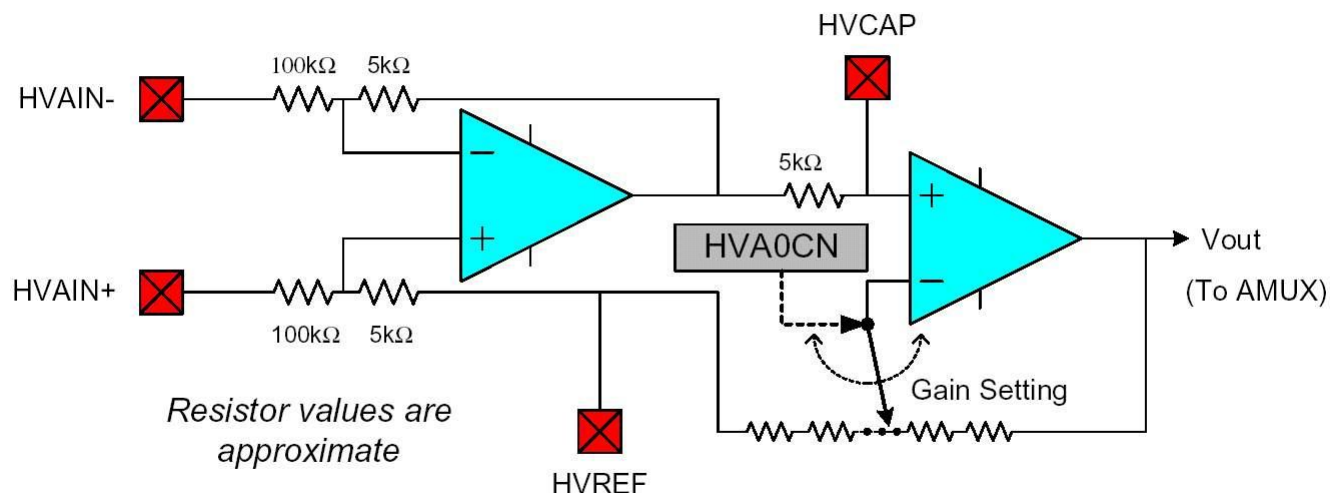


Рис.6.8. Функциональная схема высоковольтного усилителя

6.6.2. AMX0CF - Регистр конфигурации аналогового мультимплектора

Название регистра:	AMX0CF - AMUX0 Configuration Register						
SFR адрес / страница:	0xBA / 0		Значение после сброса:				
	R	R	R	R	R/W	R/W	R/W
	-	-	-	-	PORT3IC	HVDA2C	AIN23IC
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1
							AIN01IC
							Bit 0

Биты 7-4 не используются, при чтении возвращают 0000b, при записи значение игнорируется

Бит 3: PORT3IC - Port 3 Even/Odd Pin Input Pair Configuration Bit - бит конфигурации аналоговых входов порта 3: 0 - входы независимые однополярные; 1 - входы парные дифференциальные.

Бит 2: HVDA2C - HVDA 2's Compliment Bit - бит режима выхода HV усилителя: 0 - однополярный выход; 1 - выход дифференциальной пары.

Бит 1: AIN23IC - AIN0.2, AIN0.3 Input Pair Configuration Bit - бит конфигурации пары входов 2-3: 0 - независимые однополярные выходы; 1 - дифференциальная пара;

Бит 0: AIN01IC - AIN0.0, AIN0.1 Input Pair Configuration Bit - бит конфигурации пары входов 0-1: 0 - независимые однополярные выходы; 1 - дифференциальная пара.

6.6.3. AMX0SL - Регистр выбора каналов мультимплектора

Название регистра:	AMX0SL - AMUX0 Channel Select Register						
SFR адрес / страница:	0xBB / 0		Значение после сброса:		00000000b (0x00)		
	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	-	-	-	-	AMX0AD3	AMX0AD2	AMX0AD1
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1
							AMX0AD0
							Bit 0

Биты 7:4 не используются, при чтении возвращают 0000b, при записи значение игнорируются.

Биты 3:0 представляют собой двоичный адрес от 0000b до 1111b.

В таблице 6.7. представлены различные возможные комбинации входов в зависимости от значений битов AMX0AD3:0 и AMX0CF3:0.

Таблица 6.7.

Комбинации входов AMUX0 в зависимости от значений битов AMX0AD3:0 и AMX0CF3:0

		AMX0AD3:0								
		0000	0001	0010	0011	0100	0101	0110	0111	1xxx
AMX0CF3:0	0000	AIN0.0	AIN0.1	AIN0.2	AIN0.3	HVDA	AGND	P3EVEN	P3ODD	TEMP SENSOR
	0001	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	HVDA	AGND	P3EVEN	P3ODD	TEMP SENSOR
	0010	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		HVDA	AGND	P3EVEN	P3ODD	TEMP SENSOR
	0011	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		HVDA	AGND	P3EVEN	P3ODD	TEMP SENSOR
	0100	AIN0.0	AIN0.1	AIN0.2	AIN0.3			P3EVEN	P3ODD	TEMP SENSOR
	0101	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3			P3EVEN	P3ODD	TEMP SENSOR
	0110	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)				P3EVEN	P3ODD	TEMP SENSOR
	0111	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)				P3EVEN	P3ODD	TEMP SENSOR
	1000	AIN0.0	AIN0.1	AIN0.2	AIN0.3	HVDA	AGND	+ P3EVEN - P3ODD		TEMP SENSOR
	1001	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	HVDA	AGND	+ P3EVEN - P3ODD		TEMP SENSOR
	1010	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		HVDA	AGND	+ P3EVEN - P3ODD		TEMP SENSOR
	1011	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		HVDA	AGND	+ P3EVEN - P3ODD		TEMP SENSOR
	1100	AIN0.0	AIN0.1	AIN0.2	AIN0.3			+ P3EVEN - P3ODD		TEMP SENSOR
	1101	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3			+ P3EVEN - P3ODD		TEMP SENSOR
	1110	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)				+ P3EVEN - P3ODD		TEMP SENSOR
	1111	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)				+ P3EVEN - P3ODD		TEMP SENSOR

17

6.6.4. AMX0PRT - Регистр выбора выводов порта 3

Название регистра:	AMX0PRT - Port 3 Pin Selection Register						
SFR адрес / страница:	0xBD / 0		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PAIN7EN	PAIN6EN	PAIN5EN	PAIN4EN	PAIN3EN	PAIN2EN	PAIN1EN	PAIN0EN
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Установка любых битов разрешает использование соответствующих битов порта 3 в качестве аналоговых входов.

6.6.5. HVA0CN - Регистр управления высоковольтного дифференциального усилителя

Название регистра:	HVA0CN - High Voltage Difference Amplifier Control Register						
SFR адрес / страница:	0xD6 / 0		Значение после сброса:	00000000b (0x00)			
R/W	R	R	R	R/W	R/W	R/W	R/W
HVDAEN	-	-	-	HVGAIN3	HVGAIN2	HVGAIN1	HVGAIN0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: HVDAEN - High Voltage Difference Amplifier (HVDA) Enable Bit - бит разрешения (1) HVDA;

Биты 6-4 зарезервированы;

Биты 3-0: HVGAIN3-0 - Gain Control Bits - биты задания коэффициента усиления:

HVGAIN3-0	Коэффициент усиления
0000	0.05
0001	0.1
0010	0.125
0011	0.2

0100	0.25
0101	0.4
0110	0.5
0111	0.8

AMPGN2	AMPGN1	AMPGN0	Коэффициент усиления входного усилителя
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	X	16
1	1	X	0.5

1000	1.0
1001	1.6
1010	2.0
1011	3.2
1100	4.0
1101	6.2
1110	7.6
1111	14

6.6.6. ADC0CF - Регистр конфигурации аналого-цифрового преобразователя 0

Название регистра:	ADC0CF - ADC0 Configuration Register						
SFR адрес / страница:	0xBC / 0		Значение после сброса:	11111000b (0xF8)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
AD0SC4	AD0SC3	AD0SC2	AD0SC1	AD0SC0	AMPGN2	AMPGN1	AMPGN0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты AD0SC4:0 определяют входную частоту для ADC, т.е. косвенно определяют время преобразования. Код, устанавливаемый в этих битах, задает коэффициент деления делителя, на вход которого поступает системная тактовая частота.

$$AD0SC = (SYSCLK / CLK_{ADC0}) - 1$$

Биты 2:0 определяют коэффициент усиления входного усилителя:

6.6.7. AMX2CF - Регистр конфигурации аналогового мультимплексора 2

Название регистра:	AMX2CF - AMUX2 Configuration Register						
SFR адрес / страница:	0xBA / 2		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	PIN67IC	PIN45IC	PIN23IC	PIN01IC
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7:4 не используются, при чтении из них возвращаются нулевые значения, при записи их значения игнорируются. Остальные четыре бита определяют конфигурацию пар входов, например, AIN67IC определяет пару аналоговых входов P2.6 и P2.7. Если бит равен 1 (установлен), входы используются как независимые однополярные. Если бит равен 0 (обнулен), пара выводов работает как дифференциальные входы, причем вход с меньшим номером является неинвертирующим, а вход с большим номером является инвертирующим. Например, для PIN67IC вход P2.6 - прямой (неинвертирующий), а вход P2.7 - инверсный (инвертирующий).

6.6.8 AMX2SL - Регистр выбора каналов аналогового мультиплексора 2

Название регистра:	AMX2SL - AMUX2 Channel Select Register						
SFR адрес / страница:	0xBB / 2		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	-	AMX2AD2	AMX2AD1	AMX2AD0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-3 не используются, при записи читаются 00000b, при записи значение игнорируется
 Биты 2-0: AMX2 Address Bits -адресные биты аналогового мультиплексора 2.

В таблице 6.8. представлены различные возможные комбинации входов в зависимости от значений битов AMX2AD3-0 и AMX2CF2-0.

Таблица 6.8.

Комбинации входов AMUX2 в зависимости от значений битов AMX2AD3:0 и AMX2CF2:0

		AMX2AD2-0							
		000	001	010	011	100	101	110	111
AMX2CF Bits 3-0	0000	P2.0	P2.1	P2.2	P2.3	P2.4	P2.5	P2.6	P2.7
	0001	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	P2.2	P2.3	P2.4	P2.5	P2.6	P2.7
	0010	P2.0	P2.1	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	P2.4	P2.5	P2.6	P2.7
	0011	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	P2.4	P2.5	P2.6	P2.7
	0100	P2.0	P2.1	P2.2	P2.3	+(P2.4) -(P2.5)	-(P2.4) +(P2.5)	P2.6	P2.7
	0101	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	P2.2	P2.3	+(P2.4) -(P2.5)	-(P2.4) +(P2.5)	P2.6	P2.7
	0110	P2.0	P2.1	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	+(P2.4) -(P2.5)	-(P2.4) +(P2.5)	P2.6	P2.7
	0111	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	+(P2.4) -(P2.5)	-(P2.4) +CP2.5	P2.6	P2.7
	1000	P2.0	P2.1	P2.2	P2.3	P2.4	P2.5	+CP2.6 -(P2.7)	-(P2.6) +(P2.7)
	1001	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	P2.2	P2.3	P2.4	P2.5	+(P2.6) -(P2.7)	-(P2.6) +(P2.7)
	1010	P2.0	P2.1	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	P2.4	P2.5	+(P2.6) -(P2.7)	-(P2.6) +CP2.7
	1011	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	P2.4	P2.5	+(P2.6) -(P2.7)	-(P2.6) +(P2.7)
	1100	P2.0	P2.1	P2.2	P2.3	+(P2.4) -(P2.5)	-(P2.4) +(P2.5)	+(P2.6) -(P2.7)	-(P2.6) +(P2.7)
	1101	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	P2.2	P2.3	+(P2.4) -(P2.5)	-(P2.4) +(P2.5)	+(P2.6) -(P2.7)	-(P2.6) +(P2.7)
	1110	P2.0	P2.1	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	+(P2.4) -(P2.5)	-(P2.4) +(P2.5)	+(P2.6) -(P2.7)	-(P2.6) +(P2.7)
	1111	+(P2.0) -(P2.1)	-(P2.0) +(P2.1)	+(P2.2) -(P2.3)	-(P2.2) +(P2.3)	+(P2.4) -(P2.5)	-(P2.4) +(P2.5)	+CP2.6 -(P2.7)	-(P2.6) +(P2.7)

6.6.9 ADC2CF - Регистр конфигурации аналого-цифрового преобразователя ADC2

Название регистра:	ADC2CF - ADC2 Configuration Register						
SFR адрес / страница:	0xBC / 2		Значение после сброса:	11111000b (0xF8)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
AD2SC4	AD2SC3	AD2SC2	AD2SC1	AD2SC0	-	AM2GN1	AM2GN0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты AD2SC4:0 определяют входную частоту для ADC, т.е. косвенно определяют время преобразования. Код, устанавливаемый в этих битах, задает коэффициент деления делителя, на вход которого поступает системная тактовая частота.

$$AD2SC = (SYSCLK / CLK_{ADC2}) - 1$$

Биты 2:0 определяют коэффициент усиления входного усилителя PGA2:

00 - 0.5

01 - 1

10 - 2

11 - 4

6.6.10. ADC2CN - Регистр управления ADC2

Название регистра:	ADC0CN - ADC Control Register						
SFR адрес / страница:	0xE8 / 2		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
AD2EN	AD2TM	AD2INT	AD2BUSY	AD2CM2	AD2CM1	AD2CM0	AD2WINT
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: AD2EN - Бит разрешения работы ADC2 (0 - выключен; 1 - включен);

Бит 6: AD2TM - Бит режима слежения: (0 - слежение выключено до начала преобразования; 1 - режим слежения задается битами AD2CM2-0:

Бит 5: AD2INT - Флаг прерывания завершения преобразования, устанавливается в 1 после завершения преобразования;

Бит 4: AD2BUSY - Бит занятости:

При чтении:

0 - Преобразование завершено или после сброса не было преобразований. Перепад уровней с высокого в низкий генерирует прерывание, если оно разрешено;

1 - ADC занят преобразованием;

При записи:

0 - Игнорируется;

1 - Запускает преобразование, если ADSTM1-0 = 00b;

Биты 3-1:

AD2CM2-0 - режимы задания запуска преобразования;

При AD2TM=0:

000 - Преобразование ADC2 начинается при каждой установке бита AD2BUSY;

001 - Преобразование ADC2 начинается при переполнении таймера 3;

010 - Преобразование ADC2 начинается по перепаду уровней с низкого в высокий;

011- Преобразование ADC2 начинается при переполнении таймера 2.

1xx - Преобразование ADC2 начинается при каждой установке бита AD0BUSY.

При AD2TM=1:

000 - Слежение ADC2 начинается при каждой установке бита AD2BUSY и длится 3 цикла;

001 - Слежение ADC2 начинается при переполнении таймера 3 и длится 3 цикла;

010 - Слежение ADC2 начинается по перепаду уровней с низкого в высокий и длится 3 цикла;

011- Слежение ADC2 начинается при переполнении таймера 2 и длится 3 цикла.

1xx - Слежение ADC2 начинается при каждой установке бита AD0BUSY и длится 3 цикла.

Бит 0: AD2WINT - флаг прерывания сравнения окна ADC, аппаратно устанавливается в 1 при сравнении, стирание флага должно производиться программно;

6.6.11. ADC2 - Байт выходных данных ADC2

Название регистра:	ADC2 - ADC2 Data Word Register						
SFR адрес / страница:	0xBE / 2		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

6.6.12. ADC2GT - Байт верхнего порога окна ADC2

Название регистра:	ADC2GT - ADC2 Greater-Then Data Register						
SFR адрес / страница:	0xC4 / 2		Значение после сброса:	11111111b (0xFF)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

6.6.13. ADC2LT - Байт нижнего порога окна ADC2

Название регистра:	ADC2LT - ADC2 Less-Then Data Register						
SFR адрес / страница:	0xC6 / 2		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

6.6.14. DAC0CN - Регистр управления DAC0

Название регистра:	DAC0CN - DAC0 Control Register						
SFR адрес / страница:	0xD4 / 0		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
DAC0EN	-	-	DAC0MD1	DAC0MD0	DAC0DF2	DAC0DF1	DAC0DF0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: DAC0EN - бит разрешения работы DAC0 (1 - включено; 0 - выключено);

Биты 6-5 не используются, при чтении возвращают 0000b, при записи значение игнорируется.

Биты 4-3: DAC0MD1-0 - биты режима:

00 - обновление выхода при записи в DAC0H;

01 - обновление выхода при переполнении таймера 3;

10 - обновление выхода при переполнении таймера 4;

11 - обновление выхода при переполнении таймера 2;

Биты 2-0:

Биты DAC0DF2-0 - определяют формат (сдвиг) данных DAC0. Если код в описываемых битах равен нулю (000b), данные выводятся без сдвига. Если код = 001b - данные записываются со сдвигом на 1 разряд влево (в сторону старших разрядов). Если код = 010b - сдвиг составляет 2 разряда, если код = 011b - сдвиг составляет 3 разряда, во всех остальных случаях - сдвиг составляет 4 разряда.

6.6.15. DAC1H - Старший байт данных DAC1

Название регистра:	DAC1H - DAC1 High Byte Register						
SFR адрес / страница:	0xD3 / 1		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

6.6.16. DAC1L - Младший байт данных DAC1

Название регистра:	DAC1L - DAC1 Low Byte Register																														
SFR адрес / страница:	0xD2 / 1		Значение после сброса:		00000000b (0x00)																										
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Пара регистров DAC1H:DAC1L определяют выходное напряжение DAC1 (цифро-аналогового преобразователя 1).

6.6.17. DAC1CN - Регистр управления DAC0

Название регистра:	DAC1CN - DAC1 Control Register						
SFR адрес / страница:	0xD4 / 1		Значение после сброса:		00000000b (0x00)		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
DAC1EN	-	-	DAC1MD1	DAC1MD0	DAC1DF2	DAC1DF1	DAC1DF0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: DAC1EN - бит разрешения работы DAC1 (1 - включено; 0 - выключено);

Биты 6-5 не используются, при чтении возвращают 0000b, при записи значение игнорируется.

Биты 4-3: DAC1MD1-0 - биты режима:

00 - обновление выхода при записи в DAC1H;

01 - обновление выхода при переполнении таймера 3;

10 - обновление выхода при переполнении таймера 4;

11 - обновление выхода при переполнении таймера 2;

Биты 2-0:

Биты DAC1DF2-0 - определяют формат (сдвиг) данных DAC1. Если код в описываемых битах равен нулю (000b), данные выводятся без сдвига. Если код = 001b - данные записываются со сдвигом на 1 разряд влево (в сторону старших разрядов). Если код = 010b - сдвиг составляет 2 разряда, если код = 011b - сдвиг составляет 3 разряда, во всех остальных случаях - сдвиг составляет 4 разряда.

6.6.18. Подсистема опорного напряжения

Подсистема опорного напряжения имеет незначительные отличия от аналогичной подсистемы первого семейства. Функциональная схема подсистемы опорного напряжения приведена на рис.6.9.

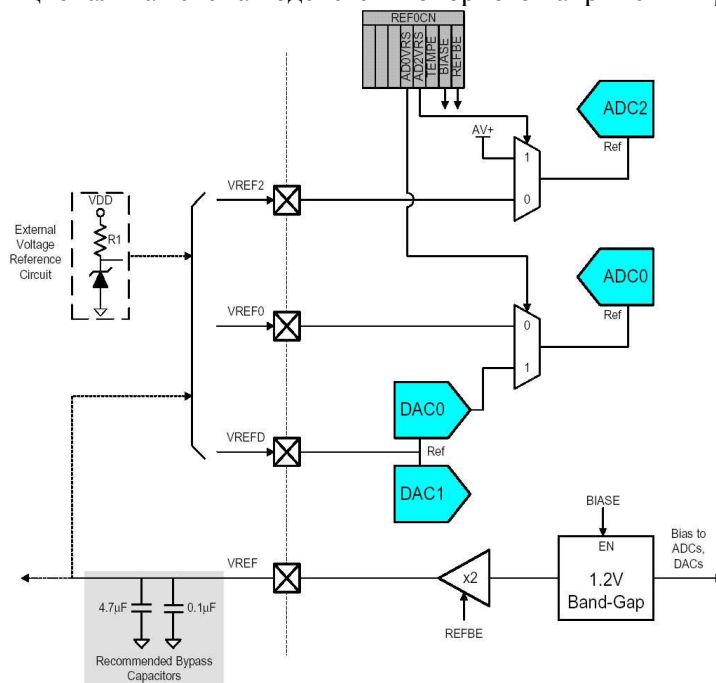


Рис.6.9. Подсистема опорного напряжения

Отличия подсистемы опорного напряжения заключаются в наличии отдельных входов опорного напряжения различных подсистем, которые необходимо объединять извне. При необходимости, на эти входы можно подавать внешние опорные напряжения.

6.6.19. CPTnCN - Регистры управления компараторами 0, 1 и 2

Компараторы 0, 1 и 2 расположены по одному адресу, на в разных SFR страницах: 1, 2 и 3 соответственно.

Название регистра:	CPTnCN - Comparator n (n=0,1,2) Control Register						
SFR адрес / страница:	0x88 / 1,2,3		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CPnEN	CPnOUT	CPnRIF	CPnFIF	CPnHYP1	CPnHYP0	CPnHYN1	CPnHYN0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: CPnEN - бит разрешения компаратора n (1 - включен; 0 - выключен);

Бит 6: CPnOUT - флаг состояния выхода компаратора. Если $CP0+ < CP0-$, флаг равен 0, иначе 1.

Бит 5: CPnRIF - флаг разрешения прерывания по переднему фронту входного импульса (1 - разрешено)

Бит 4: CPnFIF - флаг разрешения прерывания по заднему фронту входного импульса (1 - разрешено)

Биты 3-2:

CPnHYP1-0 - биты установки положительного гистерезиса:

00 - положительный гистерезис запрещен;

01 - положительный гистерезис = 5 мВ;

10 - положительный гистерезис = 10 мВ;

11 - положительный гистерезис = 20 мВ;

Биты 1-0:

CPnHYN1-0 - биты установки отрицательного гистерезиса:

00 - отрицательный гистерезис запрещен;

01 - отрицательный гистерезис = 5 мВ;

10 - отрицательный гистерезис = 10 мВ;

11 - отрицательный гистерезис = 20 мВ;

6.6.20. CPTnMD - Регистр выбора режима компаратора 0, 1 и 2

Название регистра:	CPTnMD - Comparator Mode Selection Register						
SFR адрес / страница:	0x89 / 1,2,3		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	CPnRIE	CPnFIE	-	-	CPnMD1	CPnMD0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-6 не используются, при чтении возвращают 00b, при записи значение игнорируется;

Бит 5: CPnRIE - Comparator Rising-Edge Interrupt Enable Bit - бит разрешения (0) прерывания по переднему фронту на выходе компаратора n;

Бит 4: CPnFIE - Comparator Falling-Edge Interrupt Enable Bit - бит разрешения (0) прерывания по заднему фронту на выходе компаратора n;

Биты 3-2 не используются, при чтении возвращают 00b, при записи значение игнорируется;

Биты 1-0: CPnMD1-0 - Comparator Mode Select - биты задания времени срабатывания компараторов:

Режим	CPnMD1	CPnMD0	Время срабатывания
0	0	0	100 nS
1	0	1	500 nS
2	1	0	1 mkS
3	1	1	4 mkS

6.6.21. Карта памяти микроконтроллеров семейства C8051F04x

Микроконтроллеры семейства C8051F04x имеют карту памяти, аналогичную карте памяти предыдущего семейства C8051F02x. Отличие заключается лишь в многостраничной организации SFR регистров (см. разделы 5.4., 6.5 и рисунок 5.8).

6.6.22. SFRPGCN - регистр управления переключением страниц SFR

Название регистра:		SFRPGCN - SFR Page Control Register					
SFR адрес / страница:		0x96 / F		Значение после сброса:		00000001b (0x01)	
R	R	R	R	R	R	R	R/W
-	-	-	-	-	-	-	SFRPGEN
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-1 зарезервированы;

Бит 0: SFRPGEN - SFR Automatic Page Control Enable - бит разрешения (1) автоматического переключения страниц.

6.6.23. SFRPAGE - Регистр текущей страницы SFR

Название регистра:	SFRPAGE - SFR -Page Register																														
SFR адрес / страница:	0x84 / ALL			Значение после сброса:		00000000b (0x00)																									
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Байт этого регистра содержит номер текущей страницы. Одновременно этот байт является вер-
хушкой SFR стека, состоящего из 3 регистров.

6.6.24. SFRNEXT - Регистр следующей страницы SFR

Название регистра:		SFENEXT - SFR Next Register					
SFR адрес / страница:		0x85 / ALL		Значение после сброса:		00000000b (0x00)	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Байт этого регистра содержит номер следующей страницы стека SFR.

6.6.25. SFRLAST - Регистр последней страницы SFR

Название регистра:		SFRLAST - SFR Last Register					
SFR адрес / страница:		0x86 / ALL		Значение после сброса:		00000000b (0x00)	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Байт этого регистра содержит номер последней страницы стека SFR.

6.6.26. Таблица векторов прерываний

Поскольку семейство микроконтроллеров C8051F04x имеет отличный набор периферии от других семейств, оно также имеет отличный набор векторов прерываний, приведенный в таблице 6.9.

Таблица 6.9.

Таблица векторов прерываний семейства C8051F04х

Источник прерывания	Вектор прерывания	Приоритет	Соответствующий флаг	Бит адресуемый?	Аппаратная очистка?	Разрешающий флаг	Управление приоритетом
Сброс	0x0000	Высший	Нег			Всегда разрешен	Всегда высший
Внешнее прерывание 0 (INT0/)	0x0003	0	IE0 (TCON.1)	Y	Y	EX0 (IE.0)	PX0 (IP.0)
Переполнение таймера 0	0x000B	1	TFO (TCON.5)	Y	Y	ET0 (IE.1)	PT0 (IP.1)
Внешнее прерывание 1 (INT1/)	0x0013	2	IE1 (TCON.3)	Y	Y	EX1 (IE.2)	PX1 (IP.2)
Переполнение таймера 1	0x001B	3	TF1 (TCON.7)	Y	Y	ET1 (IE.3)	PT1 (IP.3)
Последовательный порт 0 UART0	0x0023	4	RI0 (SCON0.0) TI0 (SCON0.1)	Y		ES0 (IE.4)	PS0 (IP.4)
Переполнение таймера 2 или вход EXF2	0x002B	5	TF2 (T2CON.7)	Y		ET2 (IE.5)	PT2 (IP.5)
Интерфейс SPI	0x0033	6	SPIF (SPIOCN.7)	Y		ESPI0 (IE1.0)	PSPI0 (EIP1.0)
Интерфейс SMBus	0x003B	7	SI (SMBOCN.3)	Y		ESMB0 (IE1.1)	PSMB0 (EIP1.1)
Компаратор «окна» ADC0	0x0043	8	AD0WINT (ADC0CN.2)	Y		EWADC0 (IE1.2)	PWADC0 (EIP1.2)
Программируемый счетчик/массив PCA	0x004B	9	CF (PCA0CN.7) CCFn (PCA0CN.n)	Y		EPCA0 (IE1.3)	PPCA0 (EIP1.3)
Прерывание компаратора 0	0x0053	10	CP0FIF/CP0RIF (CPT0CN.4/.5)			CP01E (IE1.4)	PCP0 (EIP1.4)
Прерывание компаратора 1	0x005B	11	CP0RIF/CP1RIF (CPT0CN.4/.5)			CP11E (IE1.5)	PCP1 (EIP1.5)
Прерывание компаратора 2	0x0063	12	CP2FIF/CP2RIF (CPT1CN.4/.5)			CP21E (IE1.6)	PCP2 (EIP1.6)
Переполнение таймера 3	0x0073	14	TF3 (TMR3CN.7)			ET3 (IE2.0)	PT3 (EIP2.0)
Завершение преобразования ADC0	0x007B	15	AD0INT (ADC0CN.5)	Y		EADC0 (IE2.1)	PADC0 (EIP2.1)
Переполнение таймера 4	0x0083	16	TF4 (T4CON.7)			ET4 (IE2.2)	PT4 (EIP2.2)
Компаратор «окна» ADC2	0x0093	17	AD2WINT (ADC2CN.0)			EWADC2 (IE2.3)	PWADC2 (EIP2.3)
Завершение преобразования ADC2	0x008B	18	AD12INT (ADC1CN.5)			EADC1 (IE2.3)	PADC1 (EIP2.3)
Прерывание CAN	0x009B	19	CAN0CN.7		Y	ECAN0 (IE2.5)	PCAN0 (EIP2.5)
Внешнее прерывание 7	0x009B	19	IE7 (PRT3IF.6)			EX7 (IE2.5)	PX7 (EIP2.5)
Последовательный порт 1 UART1	0x00A3	20	RI1 (SCON1.0) TI1 (SCON1.1)			ESI	PS1

6.6.27. EIE1 - Дополнительный регистр разрешения прерываний 1

Название регистра:	EIE1 - Extended Interrupt Enable 1						
SFR адрес / страница:	0xE6 / ALL		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	CP2IE	CP1IE	CP0IE	EPCA0	EWADC0	ESMB0	ESPIO
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Примечание: Установка любого из битов разрешает прерывание, обнуление - запрещает.

Бит 7 не используется, читается как 0, при записи значение игнорируется;

Бит 6-4: CP2(1,0)IF - Enable Interrupt REquests of Comparator 2(1,0) - бит разрешения прерывания при перепаде на выходе компараторов 2(1,0).

Бит 3: EPCA0 - Enable Programmable Counter Array (PCA0) Interrupt - бит разрешения прерывания от программируемого массива-счетчика 0.

Бит 2: EWADC0 - Enable Window Comparison ADC0 Interrupt - бит разрешения прерывания от "окна" аналого-цифрового преобразователя 0.

Бит 1: ESMB0 - Enable SMBus 0 Interrupt - бит разрешения прерывания от интерфейса SMBus.

Бит 0: ESPIO - Enable Serial Peripheral Interface 0 Interrupt - бит разрешения прерывания от интерфейса SPI.

6.6.28. EIE2 - Дополнительный регистр разрешения прерываний 2

Название регистра:	EIE2 - Extended Interrupt Enable 2						
SFR адрес / страница:	0xE7 / ALL		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	ES1	ECAN0	EADC2	EWADC2	EX4	EADC0	ET3
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

26

Примечание: Установка любого из битов разрешает прерывание, обнуление - запрещает.

Бит 7: Зарезервирован. **Записывать только 0!** Читается как 0.

Бит 6: ES1 - Enable UART1 Interrupt - бит разрешения прерывания от второго последовательного порта UART2.

Бит 5: ECAN0 - Enable CAN Controller Interrupt - бит разрешения прерывания от CAN контроллера.

Бит 4: EADC2 - Enable ADC2 End of Conversion Interrupt - бит разрешения прерывания окончания преобразования ADC2.

Бит 3: EWADC2 - Enable Window Comparison ADC2 Interrupt - бит разрешения прерывания компаратора окна ADC2.

Бит 2: EX4 - Enable External Interrupt 4 - бит разрешения прерывания внешнего входа 4.

Бит 1: EADC0 - Enable ADC0 End of Conversion Interrupt - бит разрешения прерывания по завершению преобразования от ADC0.

Бит 0: ET3 - Enable Timer 3 Interrupt - бит разрешения прерывания от таймера 3.

6.6.29. EIP1 - Дополнительный регистр приоритетов 1

Название регистра:	EIP1 - Extended Interrupt Priority 1						
SFR адрес / страница:	0xF6 / ALL		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	PCP2	PCP1	PCP0	PPCA0	PWADC0	PSMB0	PSPIO
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Примечание: Установка любого из битов означает присвоение высокого приоритета, обнуление - низкого приоритета.

Бит 7: Зарезервирован. *Записывать только 0!* Читается как 0.

Бит 6: PCP2 - Comparator 2 (CP2) Interrupt Priority Control - бит определяет уровень приоритета компаратора 2.

Бит 5: PCP1 - Comparator 1 (CP1) Interrupt Priority Control - бит определяет уровень приоритета компаратора 1.

Бит 4: PCP0 - Comparator 0 (CP0) Interrupt Priority Control - бит определяет уровень приоритета компаратора 0.

Бит 3: PPCA0 - Programmable Counter Array (PCA0) Interrupt Priority Control - бит определяет уровень приоритета программируемого массива-счетчика 0.

Бит 2: PWADC0 - ADC0 Window Comparator Interrupt Priority Control - бит определяет уровень приоритета функции "окна" аналого-цифрового преобразователя ADC0.

Бит 1: PSMB0 - SMBus 0 Interrupt Priority Control - бит определяет уровень приоритета интерфейса SMBus.

Бит 0: PSPI0 - Serial Peripheral Interface 0 Interrupt Priority Control - бит определяет уровень приоритета интерфейса SPI.

6.6.30. EIP2 - Дополнительный регистр приоритетов 2

Название регистра:	EIP2 - Extended Interrupt Priority 2						
SFR адрес / страница:	0xF7 / ALL		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	EP1	PX7	PADC2	PWADC2	PT4	PADC0	PT3
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

27

Примечание: Установка любого из битов означает присвоение высокого приоритета, обнуление - низкого приоритета.

Бит 7: Зарезервирован. *Записывать только 0!* Читается как 0.

Бит 6: EP1 - UART1 Interrupt Priority Control - бит определяет уровень приоритета UART1.

Бит 5: PCAN0 - CAN Interrupt Priority Control - бит определяет уровень приоритета CAN интерфейса.

Бит 4: PADC2 - ADC2 End Of Conversion Interrupt Priority Control - бит определяет уровень приоритета прерывания 6 от внешнего входа.

Бит 3: PWADC2 - ADC2 Window Comparator Interrupt Priority Control - бит определяет уровень приоритета "окна" ADC2.

Бит 2: PT4 - Timer 4 Interrupt Priority Control - бит определяет уровень приоритета прерывания 4 от внешнего входа.

Бит 1: PADC0 - ADC0 End of Conversion Interrupt Priority Control - бит определяет уровень приоритета прерывания завершения преобразования ADC0.

Бит 0: PT3 - Timer 3 Interrupt Priority Control - бит определяет уровень приоритета прерывания от таймера 3.

6.6.31. PCON - Регистр контроля питания

Название регистра:	PCON - Power Control Register						
SFR адрес / страница:	0x87 / ALL		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	-	-	STOP	IDLE
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-2 Зарезервированы. **Записывать только 00000b!** Читается как 000000b.

Бит 1: STOP - Stop Mode Select - режим энергосбережения с остановленным генератором (1) / нормальный режим (0).

Бит 0: IDLE - Idle Mode Select - режим энергосбережения с остановленным процессором, но работающими таймерами, прерываниями, последовательным портом и аналоговой периферией (1) / нормальный режим (0).

6.6.32. OSCICL - Регистр калибровки внутреннего генератора

После сброса величина, записанная в этом регистре, является фактором заводской калибровки внутреннего генератора, имеющего частоту 24.5 MHz $\pm 2\%$. **Следует учитывать, что эта величина может изменяться от прибора к прибору!** Пользователю следует прочитать и откорректировать эту величину для получения требуемой частоты внутреннего генератора.

Рассмотрим процесс подгонки частоты на следующем примере:

1. Пусть после сброса тактовая частота будет равна f_{BASE} ;
2. Этой частоте соответствует период T_{BASE} ;
3. Пусть требуемая частота равна f_{DES} ;
4. Требуемой частоте соответствует период T_{DES} ;
5. $f_{BASE} = 24\,500\,000\text{ Hz}$; $f_{DES} = 20\,000\,000\text{ Hz}$;
6. $\Delta T_{DES} = 1/f_{DES} - 1/f_{BASE} = 0.005 \times 1/f_{BASE} \times \Delta OSCICL$;
7. $\Delta OSCICL = (f_{BASE} - f_{DES}) / (0.005 \times f_{DES}) = (24\,500\,000 - 20\,000\,000) / 20\,000\,000 / 0.005 = 45$

Название регистра:	OSCICL - Internal Oscillator Calibration Register						
SFR адрес / страница:	0x8B / F		Значение после сброса:	Variable			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Регистр содержит калибровочное число для внутреннего генератора.

6.6.33. OSCICN - Регистр управления внутренним тактовым генератором

Название регистра:	OSCICN - Internal Oscillator Control Register						
SFR адрес / страница:	0xBA / F		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
IOSCEN	IFRDY	-	-	-	-	IFCN1	IFCN0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: IOSCEN - Internal Oscillator Enable Bit - бит разрешения внутреннего генератора (1 - разрешен).

Бит 6: IFRDY - Internal Oscillator Frequency Ready Flag - флаг готовности внутреннего генератора, устанавливается в 1 после нормального запуска внутреннего генератора на частоте, установленной IFCN битами.

Биты 5-2 зарезервированы.

Биты 1-0: IFCN - Internal Oscillator Frequency Control Bits - биты установки частоты внутреннего генератора:

- 00 - Системная тактовая частота определяется делением частоты внутреннего генератора на 8;
- 01 - Системная тактовая частота определяется делением частоты внутреннего генератора на 4;
- 10 - Системная тактовая частота определяется делением частоты внутреннего генератора на 2;
- 11 - Системная тактовая частота определяется делением частоты внутреннего генератора на 1.

6.6.34. CLKSEL - Регистр выбора тактового генератора

Название регистра:	CLKSEL - Oscillator Clock Selection Register
--------------------	--

SFR адрес / страница:	0x97 / F	Значение после сброса:	00000000b (0x00)				
R	R	R	R	R	R	R	R/W
-	-	-	-	-	-	-	CLKSL
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-1 зарезервированы.

Бит 0: CLKSL - System Clock Source Select Bit - бит выбора тактового генератора:

0 - включен внутренний тактовый генератор;

1 - включен внешний тактовый генератор.

6.6.35. OSCXCN - Регистр управления внешним тактовым генератором

Название регистра:	OSCXCN - External Oscillator Control Register						
SFR адрес / страница:	0x8C / F	Значение после сброса:	00000000b (0x00)				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
XTLVLD	XOSCND2	XOSCND1	XOSCND0	-	XFCN2	XFCN1	XFCN0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: XTLVLD - Cristal Oscillator Valid Flag - флаг готовности кварцевого генератора (только если XOSCND=1xx). При выходе генератора на нормальный режим устанавливается логическая 1.

Биты 6-4: XOSCND2-0 - External Oscillator Mode Bits - биты установки режима внутреннего генератора:

00x - выключен;

010 - внешний генератор, подключенный на вывод XLAT1;

011 - внешний генератор, подключенный на вывод XLAT1 с делением на 2;

10x - RC/C генератор с делением на 2;

110 - кварцевый резонатор;

111 - кварцевый резонатор с делением на 2.

Бит 3: зарезервирован.

Биты 2-0: XFCN - External Oscillator Frequency Control Bits - код установки частоты в соответствии с таблицей 6.10.

Таблица 6.10.

Коды установки частоты

XFCN	Кварцевый резонатор (XOSCND=11x)	RC цепочка (XOSCND=10x)	Конденсатор C (XOSCND=10x)
000	f < 32kHz	f < 25kHz	K Factor = 0.87
001	32 kHz <f < 84 kHz	25kHz <f < 50kHz	K Factor = 2.6
010	84 kHz <f < 225 kHz	50kHz <f < 100kHz	K Factor = 7.7
011	225 kHz <f < 590kHz	100kHz <f < 200kHz	K Factor = 22
100	590 kHz <f < 1.5 MHz	200kHz <f < 400kHz	K Factor = 65
101	1.5 MHz <f < 4.0 MHz	400kHz <f < 800kHz	K Factor = 180
110	4.0 MHz <f < 10 MHz	800kHz <f < 1.6MHz	K Factor = 664
111	10 MHz <f	1.6MHz <f < 3.2MHz	K Factor = 1590

В режиме работы от кварцевого или керамического резонатора значение XFCN выбирается из таблицы.

В режиме работы от RC цепочки значение частоты рассчитывается по формуле:

$$F = 1.23(10^3)/(R \cdot C),$$

где F - частота в MHz;

R - подтягивающий резистор а kOm;

C - величина конденсатора в pF.

В режиме работы от конденсатора значение частоты рассчитывается по формуле:

$$F = KF/(C \cdot VDD),$$

где F - частота в MHz;

C - величина конденсатора между XLAT1 и XLAT2 выводами в pF.

6.6.36. FLACL - Регистр доступа к Flash памяти

Название регистра:	FLACL -Flash Access Limit																														
SFR адрес / страница:	0xB7 / F			Значение после сброса:		00000000b (0x00)																									
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

В регистр защиты FLACL записывается старший байт 16-битного адреса, ниже которого память программ не может быть прочитана инструкциями MOVX и MOVC. Попытка чтения возвращает 0 значение. *Этот регистр доступен для записи только один раз после сброса. Остальные попытки записи игнорируются до следующего сброса.*

6.6.37. FLSCL - Регистр временных параметров Flash памяти

Название регистра:		FLSCL - Flash Memory Timing Prescaler					
SFR адрес / страница:		0xB7 / 0		Значение после сброса:		10000000b (0x80)	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
FOSE	FRAE	-	-	-	-	-	FLWE
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: FOSE - Flash One-Shot Timer Enable - бит разрешения 1 / запрещения 0 одномоментного таймера.

Бит 6: FRAE - Flash Read Always Enable - бит режима чтения Flash

0 - Flash читается по одномоментному таймеру.

1 - Flash всегда в режиме чтения.

Биты 5-1 не используются, читаются как 00000b, при записи значение игнорируется.

Бит 0: FLWE - Flash Read / Write Enable - бит разрешения чтения/записи Flash памяти.

6.6.38. EMIOCN - Регистр управления интерфейсом внешней памяти

Название регистра:	EMIOCN - External Memory Interface Control																														
SFR адрес / страница:	0xA2 / 0			Значение после сброса:		00000000b (0x00)																									
<table><tr><td>R</td><td>R</td><td>R</td><td>R</td><td>R</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td>PGSEL7</td><td>PGSEL6</td><td>PGSEL5</td><td>PGSEL4</td><td>PGSEL3</td><td>PGSEL2</td><td>PGSEL1</td><td>PGSEL0</td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R	R	R	R	R	R/W	R/W	R/W	PGSEL7	PGSEL6	PGSEL5	PGSEL4	PGSEL3	PGSEL2	PGSEL1	PGSEL0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R	R	R	R	R	R/W	R/W	R/W																								
PGSEL7	PGSEL6	PGSEL5	PGSEL4	PGSEL3	PGSEL2	PGSEL1	PGSEL0																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Биты 7-0: PGSEL - XRAM Page Select Bits - биты выбора 256 битной страницы. Биты выбирают страницу памяти при использовании 8-битной команды MOVX.

0x00: 0x0000-0x00FF

0x01: 0x0100-0x01FF

.....

0xFE: 0xFE00-0xFEFF

0xFF: 0xFF00-0xFFFF

6.6.39. Расширенный коммутатор ресурсов Crossbar семейства C8051F04x

Семейство микроконтроллеров C8051f04x оснащено модернизированным расширенным коммутатором ресурсов Crossbar, способным коммутировать не только цифровые сигналы от периферийных узлов, но и интерфейс внешней памяти EMIF, и аналоговые входы второго аналого-цифрового преобразователя ADC2. Функциональная схема расширенного коммутатора ресурсов представлена на рис.6.10.



31

Рис.6.11. Приоритетная кодовая таблица Crossbar (EMIFLE=0; P1MDIN=0xFF)

В случае, когда порт P1 используется в качестве аналоговых входов, соответствующие линии порта в регистре P1MDOUT должны быть установлены в логический 0, что соответствует режиму «открытого истока». В случае, если интерфейс внешней памяти назначен на младшие порты P0-P3, деширатор Crossbar резервирует линии P0.5-P0.7 и часть линий портов P1-P3 в зависимости от используемого режима внешней шины (мультиплексированного или не мультиплексированного). В этом случае приоритетная кодовая таблица Crossbar выглядит, как показано на рис.6.12.

	P0								P1								P2								P3								Crossbar Register Bits																		
PIN I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7																			
TX0	•																																	UART0EN: XBR0.2																	
RX0		•																																																	
SCK	•		•																																																
MISO		•		•																																															
MOSI			•		•			•																																											
NSS				•					NSS is not assigned to a port pin when the SPI is placed in 3-wire mode																																										SPI0EN: XBR0.1
SDA	•		•		•					•																																									
SCL		•		•					•																											SMB0EN: XBR0.0															
TX1	•		•		•				•																										UART1EN: XBR2.2																
RX1		•		•					•																																										
CEX0	•		•		•				•																										PCA0ME: XBR0.[5:3]																
CEX1		•		•					•																																										
CEX2			•		•				•																																										
CEX3				•					•																																										
CEX4					•				•																																										
CEX5						•			•																																										
ECI	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	ECI0E: XBR0.6																	
CP0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CP0E: XBR0.7																	
CP1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CP1E: XBR1.0																	
CP2	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CP2E: XBR3.3																	
T0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T0E: XBR1.1																	
/INT0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	INT0E: XBR1.2																	
T1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T1E: XBR1.3																	
/INT1	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	INT1E: XBR1.4																	
T2	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T2E: XBR1.5																	
T2EX	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T2EXE: XBR1.6																	
T3	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T3E: XBR3.0																	
T3EX	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T3EXE: XBR3.1																	
T4	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T4E: XBR2.3																	
T4EX	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	T4EXE: XBR2.4																	
/SYSCLK	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	SYSCKE: XBR1.7																
CNVSTR0	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CNVSTE0: XBR2.0																
CNVSTR2	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	•	CNVSTE2: XBR3.2																
									ALE																																										
									RD																																										
									NR																																										
										AIN0/A0																																									
										AIN1/A0																																									
										AIN2/A0																																									
										AIN3/A1																																									
										AIN4/A2																																									
										AIN5/A13																																									
										AIN6/A14																																									
										AIN7/A15																																									
											A8m/A0																																								
											A9m/A1																																								
											A10m/A2																																								
											A11m/A3																																								
											A12m/A4																																								
											A13m/A5																																								
											A14m/A6																																								
											A15m/A7																																								
											A00/D0																																								
											A01/D1																																								
											A02/D2																																								
											A03/D3																																								
											A04/D4																																								
											A05/D5																																								
											A06/D6																																								
											A07/D7																																								
												Mixed Addr H/Non-mixed Addr L											Mixed Data/Non-mixed Data																												

Рис.6.12. Приоритетная кодовая таблица Crossbar (EMIFLE=1; EMIF в мультиплексированном режиме; линии портов P2-P3 для цифровой периферии блокированы; P1MDIN=0xFF)

В случае использования немultipлексированного режима интерфейса внешней памяти, приоритетная кодовая таблица выглядит, как показано на рис.6.13.

	P0								P1								P2								P3								Crossbar Register Bits		
PIN I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7			
TX0	●																																UART0EN: XBR0.2		
RX0		●																																	
SCK	●		●																																
MISO		●		●																															
MOSI			●		●																														
NSS				●		●			NSS is not assigned to a port pin when the SPI is placed in 3-wire mode																										
SDA	●		●		●				●																										
SCL		●		●		●				●																							SMB0EN: XBR0.0		
TX1	●		●		●				●		●																						UART1EN: XBR2.2		
RX1		●		●		●				●		●																							
CEX0	●		●		●				●		●																								
CEX1		●		●		●				●		●																							
CEX2			●		●		●				●		●																						
CEX3				●		●		●				●		●																					
CEX4					●		●					●		●																					
CEX5						●		●					●		●																				
ECI	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	ECI0E: XBR0.6		
CP0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	CP0E: XBR0.7		
CP1	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	CP1E: XBR1.0		
CP2	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	CP2E: XBR3.3		
T0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T0E: XBR1.1		
/INT0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	INT0E: XBR1.2		
T1	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T1E: XBR1.3		
/INT1	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	INT1E: XBR1.4		
T2	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T2E: XBR1.5		
T2EX	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T2EXE: XBR1.6		
T3	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T3E: XBR3.0		
T3EX	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T3EXE: XBR3.1		
T4	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T4E: XBR2.3		
T4EX	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	T4EXE: XBR2.4		
/SYSCLK	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	SYSCKE: XBR1.7		
CNVSTR0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	CNVSTE0: XBR2.0		
CNVSTR2	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	CNVSTE2: XBR3.2		
									AIN1.0/A8	AIN1.1/A9	AIN1.2/A10	AIN1.3/A11	AIN1.4/A12	AIN1.5/A13	AIN1.6/A14	AIN1.7/A15	A8m/A0	A9m/A1	A10m/A2	A11m/A3	A12m/A4	A13m/A5	A14m/A6	A15m/A7	AD0/D0	AD1/D1	AD2/D2	AD3/D3	AD4/D4	AD5/D5	AD6/D6	AD7/D7			
									AIN1 Inputs/Non-muxed Addr H								Muxed Addr H/Non-muxed Addr L								Muxed Data/Non-muxed Data										

Рис.6.13. Приоритетная кодовая таблица Crossbar (EMIFLE=1; EMIF в немультимплексированном режиме; линии портов P0.6, P0.7, P1-P3 для цифровой периферии заблокированы; P1MDIN=0xFF)

33

6.6.40. XBR0 - Регистр 0 коммутатора ресурсов CrossBar

Название регистра:	XBR0 - Port I/O CrossBar Register 0						
SFR адрес / страница:	0xE1 / F		Значение после сброса:		00000000b (0x00)		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CP0EN	ECI0E	PCA0ME			UART0EN	SPI0OEN	SMB0EN
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- Бит 7: CP0EN - Comparator 0 Output Enable Bit - бит разрешения соединения выхода компаратора 0 на внешний вывод (1 - разрешено).
- Бит 6: ECI0E - PCA0 Counter Input Enable Bit - бит разрешения соединения входа программируемого массива-счетчика 0 на внешний вывод (1 - разрешено).
- Биты 5-3: PCA0ME - PCA0 Module I/O Enables Bits - биты разрешения соединения выходов модулей PCA на внешний вывод:
- 000 - запрещены все;
 - 001 - только один первый;
 - 010 - только два первых;
 - 011 - только три первых;
 - 100 - только четыре первых;
 - 101 - все пять модулей разрешены.
- Бит 2: UARTEN - UART I/O Enable Bit - бит разрешения интерфейса UART.
- Бит 1: SPI0OEN - SPI Bus I/O Enable Bit - бит разрешения интерфейса SPI.
- Бит 0: SMB0OEN - SMBus I/O Enable Bit - бит разрешения интерфейса SMBus.

6.6.41. XBR1 - Регистр 1 коммутатора ресурсов CrossBar

Название регистра:	XBR1 - Port I/O CrossBar Register 1						
SFR адрес / страница:	0xE2 / F		Значение после сброса:	00000000b (0x00)			

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
SYSCKE	T2EXE	T2E	INT1E	T1E	INT0E	T0E	CP1OEN
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- Бит 7: SYSCCLK Output Enable Bit - бит разрешения выхода SYSCCLK.
 Бит 6: T2EXE - Timer 2 EX Enable Bit - бит разрешения входа таймера 2.
 Бит 5: T2E - Timer 2 Enable Bit - бит разрешения выхода таймера 2.
 Бит 4: INT1E - INT1/ Enable Bit - бит разрешения входа INT1/.
 Бит 3: T1E - Timer 1 Enable Bit - бит разрешения выхода таймера 1.
 Бит 2: INT0E - INT0/ Enable Bit - бит разрешения входа INT0/.
 Бит 1: T0E - Timer 0 Enable Bit - бит разрешения выхода таймера 0
 Бит 0: CP1OEN - Comparator 1 Output Enable Bit - бит разрешения выхода компаратора 1.

Установка любого из битов разрешает соответствующий ресурс, обнуление - запрещает.

6.6.42. XBR2 - Регистр 2 коммутатора ресурсов CrossBar

Название регистра:	XBR2 - Port I/O CrossBar Register 2						
SFR адрес / страница:	0xE3 / F		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
WEAKPUD	XBARE	-	T4EXE	T4E	UART1E	EMIFLE	CNVSTE
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- Бит 7: WEAKPUD - Port I/O Weak Pull-up Disable Bit - бит разрешения (0) / запрещения (1) подтяжки выводов (резисторов, соединенных с напряжением питания) за исключением линий ввода /вывода, сконфигурированных не с "открытым истоком").
- Бит 6: XBARE - CrossBar Enable Bit - бит разрешения (1) коммутатора ресурсов CrossBar.
- Бит 5 не используется, читается как 0b, при записи значения игнорируются.
- Бит 4: T4EXE – T4EX Input Enable Bit – бит разрешения (1) внешнего входа таймера 4.
- Бит 3: T4E – T4 Input Enable Bit - бит разрешения (1) входа таймера 4.
- Бит 2: UART1E – UART1 I/O Enable Bit – бит разрешения (1) выводов Tx и Rx последовательного порта UART1.
- Бит 1: EMIFLE – External Memory Interface Low-Port Enable Bit – бит разрешения (1) интерфейса внешней памяти на младших портах.
- Бит 0: CNVSTE - ADC Convert Start Input Enable Bit - бит разрешения (1) входа запуска ADC.

6.6.43. XBR3 - Регистр 3 коммутатора ресурсов CrossBar

Название регистра:	XBR3 - Port I/O Crossbar Register						
SFR адрес / страница:	0xE4 / F		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CTXOUT	-	-	-	CP2E	CNVST2E	T3EXE	T3E
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- Бит 7: CTXOUT - CAN Transmit Pin (CTX) Output Mode - бит режима выхода CTX (0 - "открытый исток" / 1 - ключевой режим);
- Биты 6-4 зарезервированы;
- Бит 3: CP2E - CP2 Output Enable Bit - разрешение (1) вывода CP2;
- Бит 2: CNVST2E - ADC2 External Convert Start Input Enable Bit - бит разрешения (1) стартового входа ADC2;
- Бит 1: T3EXE - T3EX Input Enable Bit - бит разрешения (1) входа таймера T3EXE;
- Бит 0: T3E - T3 Input Enable Bit - бит разрешения (1) входа таймера T3E.

6.6.44. PnMDOUT - Регистр выходного режима порта n (0, 1, 2, 3, 4, 5, 6, 7)

Название регистра:	PnMDOUT - Port n Output Mode Register																														
SFR адрес / страница:	Port 0 - 0xA4 / F Port 1 - 0xA5 / F Port 2 - 0xA6 / F Port 3 - 0xA7 / F Port 4 - 0x9C / F Port 5 - 0x9D / F Port 6 - 0x9E / F Port 7 - 0x9F / F	Значение после сброса:		00000000b (0x00)																											
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Биты 7-0: PnMDOUT7-0 - Port 0 (1, 2, 3, 4, 5, 6 и 7) Output Mode Bits - биты этого регистра определяют режим выхода соответствующих битов порта 0. Если бит = 0 - соответствующий бит порта 0 работает в режиме "открытого истока", если бит = 1, соответствующий бит порта 0 работает в ключевом режиме.

Примечание: Следует помнить, выводы цифровой периферии SDA, SCL, RX0 (UART0 в режиме 0) и RX1 (UART1 в режиме 0) всегда конфигурируются в режим с "открытым истоком" при их настройке на определенные линии ввода/вывода порта (для портов 0-3).

6.6.45. PnMDIN - Регистр входного режима порта n (1, 2, 3)

Название регистра:		P1MDIN - Port 1 Input Mode Register																													
SFR адрес / страница:		Port 1 - 0xAD / F Port 2 - 0xAE / F Port 3 - 0xAF / F		Значение после сброса:		11111111b (0xFF)																									
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Биты 7-0: PnMDIN7-0 - Port n=1 (2, 3) Input Mode Bits - биты этого регистра определяют режим ввода соответствующих битов порта n.

0 - вывода порта работает в режиме аналогового входа. Подтяжка уровней выключена.

1 - вывода порта работает в режиме цифрового ввода. Подтяжка уровней определяется состоянием бита WEAKUP (XBR2.7).

6.6.46. P4-P7 - Регистр данных порта (4, 5, 6, 7)

Название регистра:	P4(5,6,7) - Port 4(5,6,7) Data Register																														
SFR адрес / страница:	Port 4 - 0xC8 / F Port 5 - 0xD8 / F Port 6 - 0xE8 / F Port 7 - 0xF8 / F			Значение после сброса:		11111111b (0xFF)																									
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Биты 7-0: Pn[4-7].[7-0]

При записи:

0 - логический низкий уровень.

1 - логический высокий уровень или высокоимпеданное состояние, если соответствующий бит в регистре PnMDOUT.n равен 0.

При чтении:

0 - если соответствующий вывод установлен в логический 0.

1 - если соответствующий вывод установлен в логическую 1.

6.6.47. Интерфейс CAN

Микроконтроллеры семейства C8051F04x оснащены интерфейсом последовательной связи, использующей протокол CAN (Controller Area Network). Встроенный интерфейс CAN поддерживает спецификации Bosch 2.0A (базовый CAN) и 2.0B (полный CAN). Интерфейс состоит из ядра (CAN Core), памяти сообщений (Message RAM), обработчика сообщений (Message Handler State Machine) и регистров управления. Функциональная схема интерфейса CAN приведена на рис.6.14. Типовая схема конфигурации сети CAN приведена на рис.6.15.

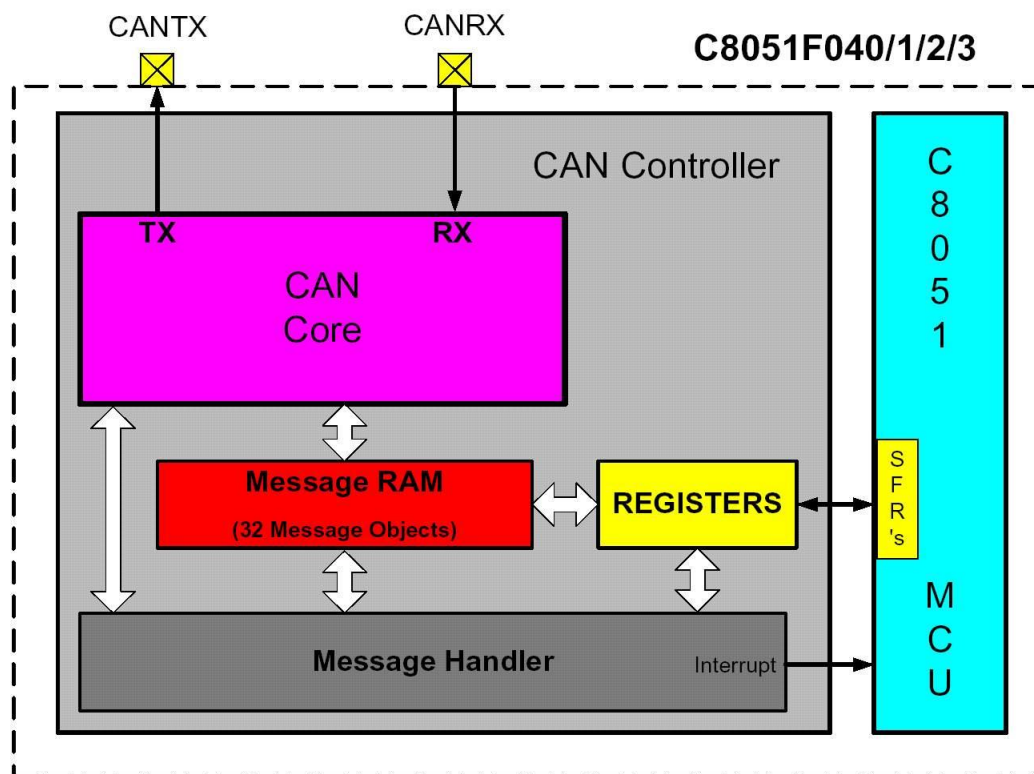


Рис. 6.14. Функциональная схема интерфейса CAN

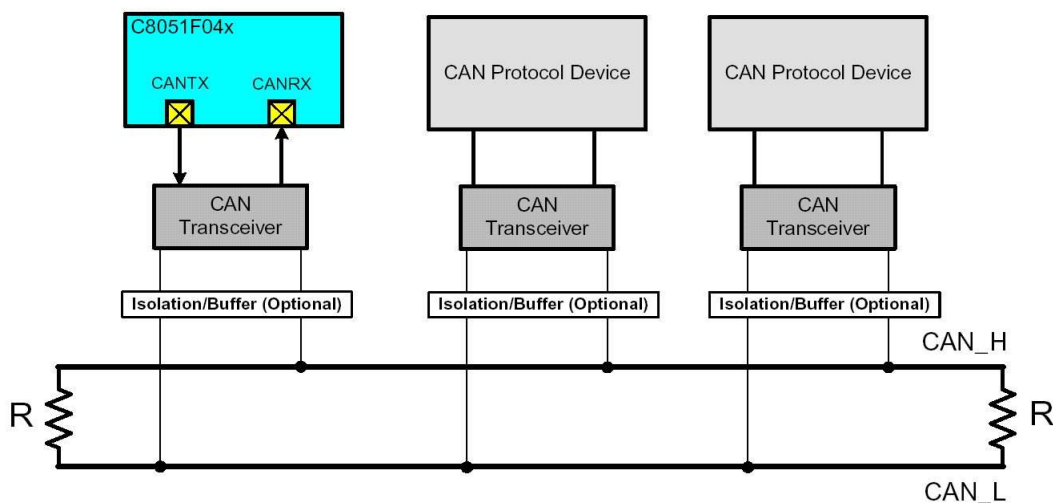


Рис. 6.15. Типовая схема конфигурации сети CAN

Все управление интерфейсом CAN осуществляется через соответствующие SFR регистры. Более подробно с вопросами использования интерфейса CAN можно ознакомиться в [12].

Различают следующие CAN регистры:

1. Регистры CAN протокола (CAN Controller Protocol Registers): управления интерфейсом CAN, прерываниями, ошибочными ситуациями, состоянием сети, тестовыми режимами.
2. Регистры объектов сообщений (Message Object Interface Registers): используются для конфигурации 32 объектов сообщений, передачи и приема данных в и из объектов сообщений. Ядро CIP-51 имеет доступ к памяти объектов сообщений через специальные интерфейсные регистры. При записи номера объекта в специальные интерфейсные регистры IF1 или IF2 происходит передача в или из CAN RAM.
3. Регистры заголовков (Message Handler Registers) являются доступными только для чтения регистрами, служащими для получения ядром CIP-51 информации о объектах сообщений: флагах MSGVLD, флагах приема и передачи, новых данных, причинах прерываний.
4. Регистры CAN SFR. Существует следующие регистры:
 - Регистр управления CAN - CAN0CN (CAN Control Register) с прямым доступом через SFR;
 - Регистр статуса (состояния) CAN - CAN0STA (CAN Status Register) с прямым доступом через SFR;
 - Регистр теста CAN - CAN0TST (CAN Test Register) с прямым доступом через SFR;
 - Регистр счетчика ошибок (Error Counter Register);
 - Регистры настройки скорости: Bit Timing Register и Baud Rate Prescaler (BRP) Extension Register.

Регистры CAN0STA, CAN0CN и CAN0TST прямо доступны через SFR область. Остальные регистры CAN доступны с помощью косвенной адресации через регистры через SFR регистры: CAN0ADR (CAN Address Register), CAN0DATH и CAN0DATL (High & Low CAN Data Registers). Существует два набора регистров объектов сообщений, используемых для выбора 32 объектов передачи и приема данных по CAN шине (сети). Для доступа к регистру CAN контроллера каждый из его регистров имеет индекс. Количество адресов - 128 слов (256 байт). Регистры CAN контроллера доступны через пару регистров SFR (CAN0DATH и CAN0DATL), когда регистр адреса CAN0ADR (CAN Address Register) содержит индекс. Кроме того, для облегчения формирования объекта сообщения, регистр адреса CAN0ADR авто инкрементируется в диапазоне индексов от 0x08 до 0x12 (Interface Registers 1) и от 0x20 до 0x2A (Interface Registers 2). В таблице 6.11 приведены индексы регистров CAN.

Таблица 6.11.

Индексы регистров CAN

Индексы CAN регистров	Наименование регистра	Значение после сброса	Примечание
0x00	CAN Control Register	0x0001	Доступен через SFR
0x01	Status Register	0x0000	Доступен через SFR
0x02	Error Register	0x0000	Read Only
0x03	Bit Timing Register	0x2301	Запись разрешена битом CCE в CAN0CN
0x04	Interrupt Register	0x0000	Read Only
0x05	Test Register	0x0000	Бит 7 (RX), определенный шиной CAN
0x06	BRP Extension Register	0x0000	Запись разрешена битом TEST в CAN0CN
0x08	IF1 Command Request	0x0001	CAN0ADR авто инкремент в пространстве IF1 (0x08 - 0x12) при записи в CAN0DATL
0x09	IF1 Command Mask	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x0A	IF1 Mask 1	0xFFFF	CAN0ADR авто инкремент при записи в CAN0DATL
0x0B	IF 1 Mask 2	0xFFFF	CAN0ADR авто инкремент при записи в CAN0DATL
0x0C	IF1 Arbitration 1	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x0D	IF1 Arbitration 2	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x0E	IF1 Message Control	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x0F	IF1 Data A1	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x10	IF1 Data A2	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x11	IF1 Data B1	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL

0x12	IF1 Data B2	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x20	IF2 Command Request	0x0001	CAN0ADR авто инкремент в пространстве IF1 (0x08 - 0x12) при записи в CAN0DATL
0x21	IF2 Command Mask	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x22	IF2 Mask 1	0xFFFF	CAN0ADR авто инкремент при записи в CAN0DATL
0x23	IF2 Mask 2	0xFFFF	CAN0ADR авто инкремент при записи в CAN0DATL
0x24	IF2 Arbitration 1	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x25	IF2 Arbitration 2	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x26	IF2 Message Control	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x27	IF2 Data A1	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x28	IF2 Data A2	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x29	IF2 Data B1	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x2A	IF2 Data B2	0x0000	CAN0ADR авто инкремент при записи в CAN0DATL
0x40	Transmission Request 1	0x0000	Флаг запроса передачи сообщения (read only)
0x41	Transmission Request 2	0x0000	Флаг запроса передачи сообщения (read only)
0x48	New Data 1	0x0000	Флаг новых данных (read only)
0x49	New Data 2	0x0000	Флаг новых данных (read only)
0x50	Interrupt Pending 1	0x0000	Флаг прерывания (read only)
0x51	Interrupt Pending 2	0x0000	Флаг прерывания (read only)
0x58	Message Valid 1	0x0000	Сообщение достоверно (read only)
0x59	Message Valid 2	0x0000	Сообщение достоверно (read only)

6.6.48. CAN0DATH - Регистр старшего байта доступа к CAN данным

Название регистра:	CAN0DATH - CAN Data Access Register High Byte																														
SFR адрес / страница:	0xD9 / 1			Значение после сброса:		00000000b (0x00)																									
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

38

6.6.49. CAN0DATL - Регистр младшего байта доступа к CAN данным

Название регистра:		CAN0DATH - CAN Data Access Register Low Byte					
SFR адрес / страница:		0xD8 / 1		Значение после сброса:		00000000b (0x00)	
R/W		R/W	R/W	R/W	R/W	R/W	R/W
Bit 7		Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1
							Bit 0

6.6.50. CAN0ADR - Регистр младшего байта доступа к CAN данным

Название регистра:	CAN0ADR - CAN Address Index Register																														
SFR адрес / страница:	0xDA / 1			Значение после сброса:	00000000b (0x00)																										
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

6.6.51. CAN0CN - Регистр управления CAN

Название регистра:		CAN0ADR - CAN Control Register					
SFR адрес / страница:		0xF8 / 1		Значение после сброса:			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
*	*	*	CABIF	*	*	*	*
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 4: CANIF - CAN Interrupt Flag. Запись игнорируется.

0 - прерывания не обнаружено;

1 - прерывание обнаружено.

* - Подробное описание состояний приведено в [12].

6.6.52. CAN0TST - Регистр теста CAN

Название регистра:	CAN0ADR - CAN Control Register						
SFR адрес / страница:	0xDB / 1		Значение после сброса:				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Подробное описание состояний приведено в [12]							
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

6.6.53. CAN0STA - Регистр статуса CAN

Название регистра:	CAN0ADR - CAN Control Register						
SFR адрес / страница:	0xC0 / 1		Значение после сброса:				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Подробное описание состояний приведено в [12]							
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

6.6.54. SPI0CFG - Регистр конфигурации интерфейса SPI

Название регистра:	SPI0CFG – SPI0 Configuration Register						
SFR адрес / страница:	0x9A / 0		Значение после сброса:		00000000b (0x00)		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
SPIBSY	MSTEN	CKPHA	CKPOL	SLVSEL	NSSIN	SRMT	RXBMT
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: SPIBSY – SPI Busy – бит занятости (1) интерфейса SPI передачей;

Бит 6: MSTEN – Master Mode Enable – бит разрешения (1) режима ведущего;

Бит 5: CKPHA - SPI Clock Phase - бит управления фазой тактирования:

0 - Данные действительны по переднему фронту импульса тактирования SCK;

1 - Данные действительны по заднему фронту импульса тактирования SCK;

Бит 4: CKPOL - SPI Clock Polarity - бит управления полярностью тактирующих импульсов:

0 - Неактивное состояние линии SCK - 0 уровень;

1 - Неактивное состояние линии SCK - 1 уровень;

Бит 3: SLVSEL – Slave Selected Flag – бит состояния ведомого, устанавливается в логическую 1, когда вход NSS в состоянии 0;

Бит 2: NSSIN – NSS Instantaneous Pin Input – бит, индицирующий состояние входа NSS в момент чтения;

Бит 1: SRMT – Shift Register Empty - бит, индицирующий освобождение сдвигового регистра данных. Бит устанавливается в 1 после завершения передачи или приема;

Бит 0: RXBMT – Receive Buffer Empty – бит устанавливается в 1 после чтения регистра данных и в отсутствии новых данных.

6.6.55. SPI0CN - Регистр управления интерфейса SPI

Название регистра:	SPI0CN - SPI Control Register						
SFR адрес / страница:	0xF8 / 0		Значение после сброса:		00000100b (0x04)		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
SPIF	WCOL	MODF	RXOVRN	NSSMD1	NSSMD0	TXBMT	SPIEN
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

- Бит 7: SPIF - SPI Interrupt Flag - флаг прерывания интерфейса SPI. Флаг устанавливается аппаратно после завершения передачи. Если разрешены прерывания, генерируется вектор прерываний SPI0. Бит должен обнуляться программно.
- Бит 6: WCOL - Write Collision Flag - флаг ошибки записи. Флаг устанавливается аппаратно (и генерируется прерывание, если оно разрешено) при записи байта в регистр во время незавершенной передачи. Бит должен обнуляться программно.
- Бит 5: MODF - Mode Fault Flag - флаг ошибки режима. Флаг устанавливается аппаратно (и генерируется прерывание, если оно разрешено) когда в режиме ведущего (MSTEN=1) обнаружен NSS=0. Бит должен обнуляться программно.
- Бит 4: RXOVRN - Receive Overrun Flag - флаг переполнения приема. Бит устанавливается аппаратно (и генерируется прерывание, если оно разрешено) в случае, если при приеме последнего бита в буферном регистре находится непрочитанный байт данных, полученный ранее. Бит должен обнуляться программно.
- Биты 3-2: NSSMD1-0 – Slave Mode Select –бит выбора режима ведомого:
00: 3-хпроводный режим ведущего или ведомого;
01: 4-хпроводный режим ведомого или режим с многими ведущими. NSS – всегда в режиме входа;
1x – 4-хпроводный режим одного ведущего;
- Бит 1: TXBMT – Transmit Buffer Empty – бит устанавливается в логический 0 после записи данных в буфер передатчика. После пересылки данных в сдвиговый режим, бит устанавливается в 1;
- Бит 0: SPIEN - SPI Enable - бит разрешения (1) интерфейса SPI.

6.6.56. SSTA0 – Регистр состояния UART0

Название регистра:	SSTA0 – UART0 Status and Clock Selection Register																														
SFR адрес / страница:	0x91 / 0			Значение после сброса:		00000000b (0x00)																									
<table border="1"> <tr> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> </tr> <tr> <td>FE0</td> <td>RXOV0</td> <td>TXCOL0</td> <td>SMOD0</td> <td>S0TCLK1</td> <td>S0TCLK0</td> <td>S0RCLK1</td> <td>S0RCLK0</td> </tr> <tr> <td>Bit 7</td> <td>Bit 6</td> <td>Bit 5</td> <td>Bit 4</td> <td>Bit 3</td> <td>Bit 2</td> <td>Bit 1</td> <td>Bit 0</td> </tr> </table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	FE0	RXOV0	TXCOL0	SMOD0	S0TCLK1	S0TCLK0	S0RCLK1	S0RCLK0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
FE0	RXOV0	TXCOL0	SMOD0	S0TCLK1	S0TCLK0	S0RCLK1	S0RCLK0																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

- Бит 7: FE0 – Frame Error Flag – флаг, индицирующий (1) ошибку фрейма;
- Бит 6: RXOV0 – Receive Overrun Flag – флаг, индицирующий (1) ошибку потери принятого байта, т.е. принятый байт не был считан, но уже получен следующий байт;
- Бит 5: TXCOL0 – Transmit Collision Flag – флаг, индицирующий (1) ошибку записи, т.е. запись в регистр была произведена во время передачи данных;
- Бит 4: SMOD0 – UART Baud Rate Doubler Enable – бит удвоенной скорости передачи (1);
- Биты 3-2: UART0 Transmit Boud Rate Clock Selection Bits – биты выбора задатчика скорости передачи;

S0TCLK1	S0TCLK0	Источник скорости передачи
0	0	Таймер 1 формирует скорость передачи TX0
0	1	Переполнение таймера 2 формирует скорость передачи TX0
1	0	Переполнение таймера 3 формирует скорость передачи TX0
1	1	Переполнение таймера 4 формирует скорость передачи TX0

Биты 1-0: UART0 Receive Boud Rate Clock Selection Bits – биты выбора задатчика скорости праема:

S0TCLK1	S0TCLK0	Источник скорости приема
0	0	Таймер 1 формирует скорость приема RX0
0	1	Переполнение таймера 2 формирует скорость приема RX0
1	0	Переполнение таймера 3 формирует скорость приема RX0
1	1	Переполнение таймера 4 формирует скорость приема RX0

6.6.57. SBUFn (0,1) - Регистр данных UART0 (1)

Название регистра:	SBUF _n - Serial UART0(1) Data Buffer Register						
SFR адрес / страница:	SBUF0 - 0x99 / 0 SBUF1 - 0x99 / 1		Значение после сброса:		00000000b (0x00)		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-------	-------	-------	-------	-------	-------	-------	-------

Биты 7-0: SBUF0(1) - Transmit and Receive UART0(1) Data Buffer - регистр данных UART0(1).

6.6.58. SCON1 - Регистр управления последовательного порта UART1

Название регистра:	SCON1 - Serial Port 1 Control Register						
SFR адрес / страница:	0x98 / 1			Значение после сброса:	00000000b (0x00)		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
S1MODE	-	MCE1	REN1	TB81	RB81	TI1	RI1
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: S1MODE - Serial Port 1 Operation Mode - бит определения режимов работы последовательного порта 1:

0 – 8-битный UART с изменяемой скоростью;

1 – 9-битный UART с изменяемой скоростью;

Бит 6: зарезервирован, читается как 1b значение при записи игнорируется;

Бит 5: MCE1 - Multiprocessor Communication Enable - бит разрешения многопроцессорного режима.

В режиме 0:

0 – уровень стоп бита игнорируется;

1 – RI1 устанавливается, если стоп бит = 1;

В режиме 1:

0 - уровень 9 бита игнорируется;

1 – RI1 устанавливается и прерывание генерируется, если 9 бит =1;

Бит 4: REN1 - Receive Enable - включает (1) приемник UART.

Бит 3: TB81 - Ninth Transmission Bit - девятый передаваемый бит. Учитывается только во 2 и 3 режимах. Устанавливается и стирается программно при необходимости.

Бит 2: RB81 - Ninth Receive Bit - девятый принимаемый бит. В режимах 2 и 3 работает, как 9-й бит данных. В режиме 1, если SM2=0, девятый бит повторяет значение бита Stop.

Бит 1: TI1 - Transmit Interrupt Flag - флаг прерывания передатчика. Устанавливается в 1 аппаратно, когда завершается передача байта данных (после 8-го бита в режиме 0 и в начале стопового бита в остальных режимах). Может генерировать прерывание, если оно разрешено. Бит должен обнуляться программно.

Бит 0: RI1 - Receive Interrupt Flag - флаг прерывания передатчика. Устанавливается в 1 аппаратно, когда завершается прием байта данных (после 8-го бита в режиме 0 и после стопового бита в остальных режимах). Бит должен обнуляться программно.

В [12] (Table 22 pp 256-258) приведены оптимальные коды настройки таймеров и UART для практически всех стандартных частот кварцевых резонаторов: 24.5MHz, 25.0MHz, 22.1184MHz, 18.432MHz, 11.0592MHz и 3.6864MHz.

6.6.59. CKCON - Регистр управления счетными импульсами таймеров

Название регистра:	CKCON - Clock Control Register						
SFR адрес / страница:	0x8E / 0			Значение после сброса:	00000000b (0x00)		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	T1M	T0M	-	SCA1	SCA0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-5 не используются, читаются 000b, при записи значения игнорируются.

Бит 4: T1M - Timer 1 Clock Select - бит выбора источника счетных импульсов таймера 1:

0 – источник определяется SCA1-0;

1 – источник – тактовая частота;

Бит 3: T0M - Timer 0 Clock Select - бит выбора источника счетных импульсов таймера 0.

0 – источник определяется SCA1-0;

1 – источник – тактовая частота;

Бит 2 зарезервирован, читаются как 0b, значение при записи игнорируется;

Биты 1-0: SCA1-0 – Timer 0(1) Prescale Bits – биты определения делителя тактовой частоты для таймеров 0(1):

00 – системная частота делится на 12;

01 – системная частота делится на 4;

10 – системная частота делится на 48;

11 – системная частота делится на 8.

6.6.60. TMRnCN - Регистр управления таймера n (n=2,3,4)

Название регистра:	TMRnCN - Timer n (2,3,4) Control Register						
SFR адрес / страница:	TMR2CN - 0xC8 / 0 TMR3CN - 0xC8 / 1 TMR4CN - 0xC8 / 2	Значение после сброса:		00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
TFn	EXFn	-	-	EXENn	TRn	C/Tn	CP/RLn
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: TFn - Timer n Overflow Flag - флаг переполнения таймера n (2, 3 и 4). Флаг устанавливается аппаратно при переполнении таймера (переходе от 0xFFFF к 0x0000). Может генерироваться прерывание, если оно разрешено. Флаг может обнуляться только программно.

Бит 6: EXFn – Timer 2, 3 or 4 External Flag – внешние флаги таймеров. Флаг устанавливается аппаратно при заднем фронте на соответствующем входа TnEX. Может генерироваться прерывание, если оно разрешено. Флаг может обнуляться только программно.

Биты 5-4 не используются, при чтении возвращается 00b, при записи значение игнорируется.

Бит 3: EXENn – Timer n External Enable – флаг разрешения захвата;

Бит 2: TRn - Timer n Run Control - бит включения (1) или выключения (0) таймера n.

Бит 1: C/Tn – Counter/Timer Select - бит выбора счетчика/таймера n;

0 – режим таймера;

1 - режим счетчика;

Бит 0: CP/RLn – Capture/Reload Select - бит выбора режима захвата / перезагрузки таймера n:

0 – режим автозагрузки;

1 – режим захвата.

6.6.61. TMRnCF – Регистр конфигурации таймера n (2, 3 и 4)

Название регистра:	TMRnCF – Timer n Configuration Registers						
SFR адрес / страница:	TMR2CF 0xC9 / 0 TMR3CF 0xC9 / 1 TMR4CF 0xC9 / 2	Значение после сброса:		00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	TnM1	TnM0	TOGn	TnOE	DCEN
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-5 зарезервированы;

Биты 4-3: TnM1-0 – Timer Clock Mode Select Bits – биты выбора источника входной частоты:

00 – системная частота, деленная на 12;

01 – системная частота;

10 – системная частота, деленная на 8;

11 – системная частота, деленная на 2;

Бит 2: TOGn – Timer Output State Bit – бит выбора режима выхода. Если выход таймера подсоединен к выводу порта, бит может использоваться для контроля (чтения) текущего состояния вывода;

Бит 1: TnOE – Timer Output Enable Bit – бит разрешения (1) выхода таймера;

Бит 0: DCEN – Decrement Enable Bit – бит выбора направления счета:

0 – таймер работает только в режиме сложения;

1 - таймер работает только в режиме сложения (TnEX=1) или вычитания (TnEX=0).

6.6.62. RCAPnL - Регистр младшего байта захвата таймера n (2, 3, 4)

Название регистра:				RCAPnL - Timer n Capture Register Low Byte			
SFR адрес / страница:		RCAP2L 0xCA / 0 RCAP3L 0xCA / 1 RCAP4L 0xCA / 2		Значение после сброса:		00000000b (0x00)	
R/W		R/W		R/W		R/W	
Bit 7		Bit 6		Bit 5		Bit 4	
Bit 3		Bit 2		Bit 1		Bit 0	

Регистр содержит младший байт 16-битной величины захвата или перезагрузки.

6.6.63. RCAPnH - Регистр старшего байта захвата таймера n (2, 3, 4)

Название регистра:				RCAPnH - Timer n Capture Register High Byte			
SFR адрес / страница:		RCAP2H 0xCB / 0 RCAP3H 0xCB / 1 RCAP4H 0xCB / 2		Значение после сброса:		00000000b (0x00)	
R/W		R/W		R/W		R/W	
Bit 7		Bit 6		Bit 5		Bit 4	
Bit 3		Bit 2		Bit 1		Bit 0	

Регистр содержит старший байт 16-битной величины захвата или перезагрузки.

6.6.64. TMRnL - Регистр младшего байта таймера n (2, 3, 4)

Название регистра:		TMRnL - Timer n Low Byte																													
SFR адрес / страница:		TMR2L 0xCC / 0 TMR3L 0xCC / 1 TMR4L 0xCC / 2		Значение после сброса:		00000000b (0x00)																									
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Регистр содержит младший байт 16-битной величины таймера n.

6.6.65. TMRnH - Регистр старшего байта таймера n (2, 3, 4)

Название регистра:		TMRnH - Timer n High Byte																													
SFR адрес / страница:		TMR2H 0xCD / 0 TMR3H 0xCD / 1 TMR4H 0xCD / 2		Значение после сброса:		00000000b (0x00)																									
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																								
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																								

Регистр содержит старший байт 16-битной величины таймера n.

6.6.66. PCA0CN - Регистр управления программируемого массива/счетчика PCA

Название регистра:	PCA0CN - PCA Control Register						
SFR адрес / страница:	0xD8 / 0	Значение после сброса:		00000000b (0x00)			

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CF	CR	CCF5	CCF4	CCF3	CCF2	CCF1	CCF0
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: CF -PCA Counter/Timer Overflow Flag - флаг переполнения. Флаг аппаратно устанавливается при переходе значения от 0xFFFF к 0x0000. Может генерироваться прерывание, если оно разрешено. Флаг может обнуляться только программно.

Бит 6: CR - PCA Counter/Timer Run Control - бит разрешения (1) /запрещения (0) PCA.

Биты 5-0: CCFn - PCA Module n Capture/Compare Flag - флаг захвата соответствующего модуля. Флаг устанавливается аппаратно, когда происходит захват. Может генерироваться прерывание, если оно разрешено. Флаг может обнуляться только программно.

6.6.67. PCA0MD - Регистр управления режимом PCA

Название регистра:	PCA0MD - PCA Mode Register						
SFR адрес / страница:	0xD9 / 0		Значение после сброса:	01000000b (0x40)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CIDL	WDTE	WDLCK	-	CPS2	CPS1	CPS0	ECF
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Бит 7: CIDL – PCA0 Counter/Timer Idle Control - бит управления режимом энергосбережения:

0 - CPA продолжает функционировать, когда ядро переходит в Idle режим;

1 - CPA приостанавливается, когда ядро переходит в Idle режим.

Биты 6-5 в первоисточнике не описаны;

Бит 4 не используется, читается как 0b, при записи значение игнорируется.

Биты 3-1: CPS2-0 -PCA Counter/Timer Pulse Select - биты выбора источника счетных импульсов:

CPS2	CPS1	CPS0	Источник частоты
0	0	0	Системная частота, деленная на 12
0	0	1	Системная частота, деленная на 4
0	1	0	Переполнение таймера 0
0	1	1	Перепад уровней с высокого в низкий на ECI с максимальной частотой выше, чем системная частота, деленная на 4
1	0	0	Системная частота
1	0	1	Внешняя частота, деленная на 8
1	1	0	Зарезервировано
1	1	1	Зарезервировано

Бит 0: ECF – PCA Counter/Timer Overflow Interrupt Enable – разрешение (1) установки CF (PCA0CN.7) флага.

6.6.68. PCA0CPMn - Регистры захвата/сравнения PCA

Название регистров:	PCA0CPMn - PCA Capture/Compare Registers						
SFR адрес / страница:	PCA0CPM0 0xDA / 0 PCA0CPM1 0xDB / 0 PCA0CPM2 0xDC / 0 PCA0CPM3 0xDD / 0 PCA0CPM4 0xDE / 0 PCA0CPM5 0xDF / 0		Значение после сброса:	00000000b (0x00)			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PWM16n	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

SFR адрес:	PCA0CPH0 0xFC / 0 PCA0CPH1 0xFD / 0 PCA0CPH2 0xEA / 0 PCA0CPH3 0xEC / 0 PCA0CPH4 0xEE / 0 PCA0CPH5 0xE2 / 0	Значение после сброса:	00000000b (0x00)																								
<table><tr><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td>Bit 7</td><td>Bit 6</td><td>Bit 5</td><td>Bit 4</td><td>Bit 3</td><td>Bit 2</td><td>Bit 1</td><td>Bit 0</td></tr></table>				R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																				
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																				

Регистры содержат старшие байты соответствующих 16-битных модулей захвата.

Описанные в настоящем разделе регистры SFR позволяют осуществлять управление и обмен данными с любым из имеющихся ресурсов микроконтроллера. Кроме этих регистров, существуют еще несколько, программно недоступных регистров JTAG интерфейса, однако они не предназначены для широкого использования и их рассмотрение выходит за пределы настоящей книги.

6.7. Достоинства и недостатки семейства C8051F04x

Семейство микроконтроллеров C8051F04x также такт и семейство C8051F02x, насчитывает только 4 микроконтроллера. Оно создано с целью усовершенствования предыдущего семейства. Семейство имеет еще более широкую номенклатуру периферии по сравнению с предыдущим семейством. Это семейство также имеет микроконтроллерное ядро CIP-51, и работает на частотах до 25MHz, обеспечивая при этом пиковую производительность, достигающую 25MIPS.

Аналоговая периферия семейства аналогична периферии предыдущего семейства, за исключением того, что число входов мультиплексора первого аналого-цифрового преобразователя увеличено до 13, на один из входов добавлен программируемый высоковольтный усилитель, кроме того, добавлен третий аналоговый компаратор.

Цифровая периферия расширена за счет добавления еще одного интерфейса - CAN.

Увеличение количества периферийных узлов привело к еще большему усложнению коммутатора ресурсов Crossbar и появлению многостраничной организации регистров специальных функций. Одновременно с модернизацией механизма регистров специальных функций обеспечена его программная совместимость со стандартной таблицей регистров 8051 и произведена некоторая систематизация добавленных (к стандартным) регистров периферийных устройств.

Семейство также имеет 64К встроенной Flash памяти, 256+4К оперативной памяти.

Следует отметить, что расширение состава периферийных устройств не привело к изменению стоимости микроконтроллеров, которая также как и для семейства C8051F02x находится в диапазоне от \$24 до \$30.

Перечисленные достоинства делают это семейство одним наиболее перспективных современных микроконтроллеров для построения сложных технологических систем управления.