

## Глава 4. СЕМЕЙСТВО МИКРОКОНТРОЛЛЕРОВ C8051F018-019

### 4.1. Обобщенная структура и состав семейства C8051F0xx

Семейство C8051F018-019 состоит из 2 микроконтроллеров с номерами 018 и 019[9]. Обобщенная структура микроконтроллеров первого семейства C8051F018-9, представленная на рис.4.1, состоит из трех функциональных групп: аналоговой периферии (Analog Peripherals), цифровой периферии (Digital Peripherals or Digital I/O) и высокопроизводительного контроллерного ядра (High-Speed Controller Core).

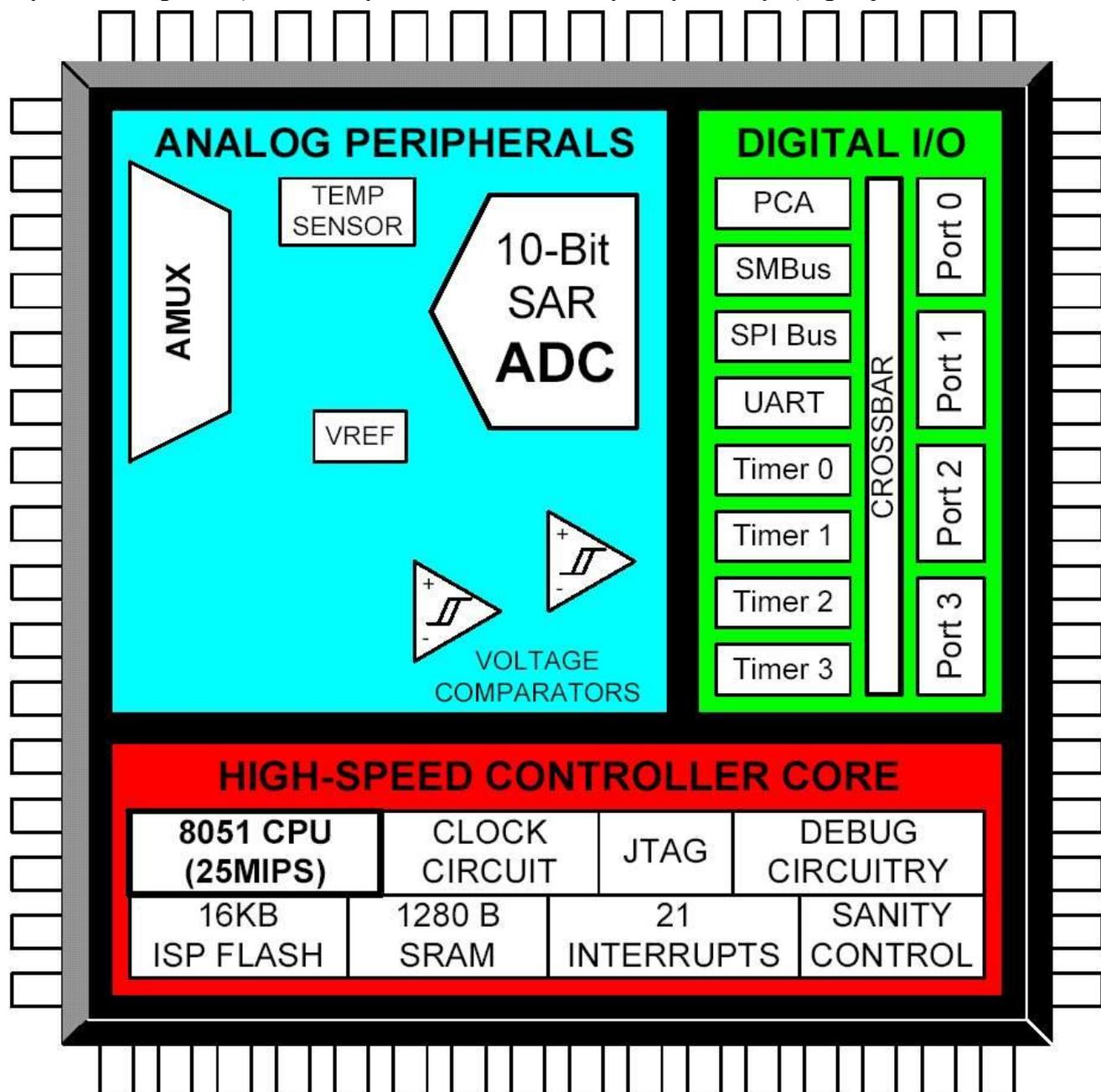


Рис.4.1. Обобщенная структура микроконтроллеров семейства C8051F018-9

В состав группы аналоговой периферии входят: аналого-цифровой преобразователь ADC с разрядностью 10 бит; аналоговый входной мультиплексор AMUX на 8 входов, которые могут быть запрограммированы как однополярные или дифференциальные входы; источник опорного напряжения VREF на 2,4В (15 ppm/°C); встроенный датчик температуры (Temperature Sensor) с точностью  $\pm 3^\circ\text{C}$ ; два аналоговых компаратора (Comparators) с программируемым гистерезисом, конфигурируемые при прерывании или сбросе; прецизионный монитор питания.

Группа узлов цифровой периферии содержит: программируемый массив PCA с пятью режимами; интерфейсы: SMBus; SPI и последовательный порт UART; четыре шестнадцатиразрядных тайме-

ра/счетчика общего назначения; четыре байтовых порта ввода/вывода, совместимых с внешней пяти-вольтовой логикой.

Функциональная группа ядра микроконтроллера содержит:

- высокоскоростное ядро, работающее при частотах до 25МГц, обеспечивающее пиковую производительность до 25MIPS;
- встроенный программируемый генератор тактовой частоты (от 2 до 16 МГц); тактовый генератор с внешним кварцевым резонатором (RC - цепочкой, конденсатором или входом внешнего генератора);
- узел отладки - JTAG;
- 256 байт основной памяти и 1042 байта оперативной памяти в адресном пространстве внешней памяти;
- 16К встроенной Flash памяти программ с внутрисистемным программированием ISP;
- схема контроля питания;
- охранный таймер WDT (Watchdog Timer);
- контроллер прерывания на 21 вектор.

Часть или все периферийные узлы можно переключать в режим энергосбережения. Все микроконтроллеры семейства работают при напряжении питания от 2,7В до 3,6В в промышленном диапазоне температур от -45 до +85С°. Линии портов ввода/вывода, сброса и JTAG работоспособны при питании 5В. Состав семейства и его основные характеристики приведены в таблице 4.1.

Таблица 4.1.

Состав семейства C8051F018-9

	MIPS (Peak)	Flash Memory	RAM, byte	SMBus (I2C)	SPI	UART	Timers (16 bit)	PCA	I/O Ports	ADC Resolution	ADC Inputs	Vref	Temp. Sensor	Comparators	Package
C8051F018	25	16k	1280	√	√	√	4	√	32	10	8	√	√	2	64TQFP
C8051F019	25	16k	1280	√	√	√	4	√	16	10	8	√	√	2	48TQFP

Фактически, это второе семейство является усеченным первым семейством с уменьшенным объемом Flash (16К, а не 32К) и внешней оперативной (1К, а не 2К) памяти, десятиразрядным аналого-цифровым преобразователем без программируемого усилителя, без встроенных цифро-аналоговых преобразователей. При этом, разводка выводов этого семейства полностью совпадает с разводкой выводов микроконтроллеров первого семейства, выпускаемых в таких же корпусах.

#### 4.2. Функциональные схемы, типы корпусов и назначение выводов

Микроконтроллеры семейства C8051F018-9 имеют различное количество выводов (соответственно и корпус). Микроконтроллер C8051F018 выпускается в корпусе с 64 выводами - TQFP-64. Функциональная схема этой группы микроконтроллеров показана на рис.4.2., а расположение выводов - на рис.4.3. Микроконтроллер C8051F019 выполнен в корпусе с 48 выводами - TQFP-48. Их функциональная схема представлена на рис.4.4, а расположение выводов - на рис.4.5. Конструктивные размеры корпусов приведены в приложении 2. Нумерация, название и расположение выводов всех микроконтроллеров семейства приведено в таблице 4.2.

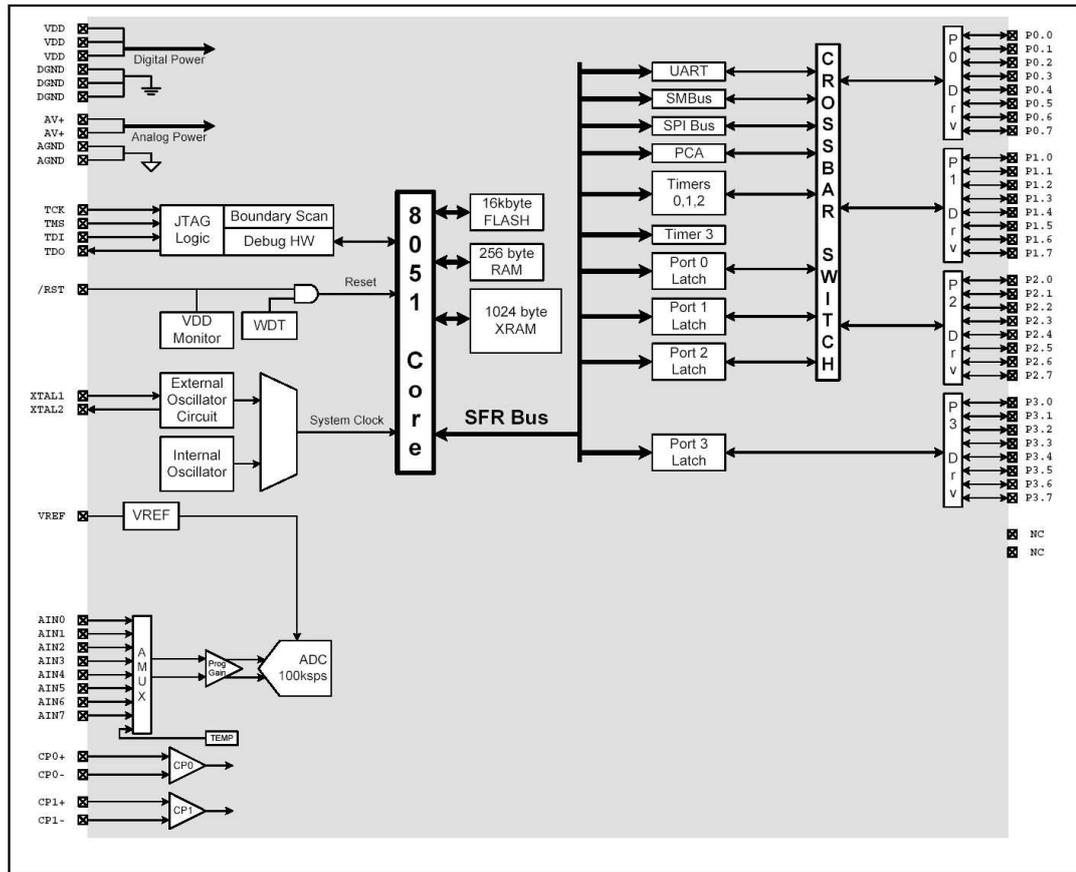


Рис.4.2. Функциональная схема микроконтроллеров C8051F018 в корпусе TQFP-64

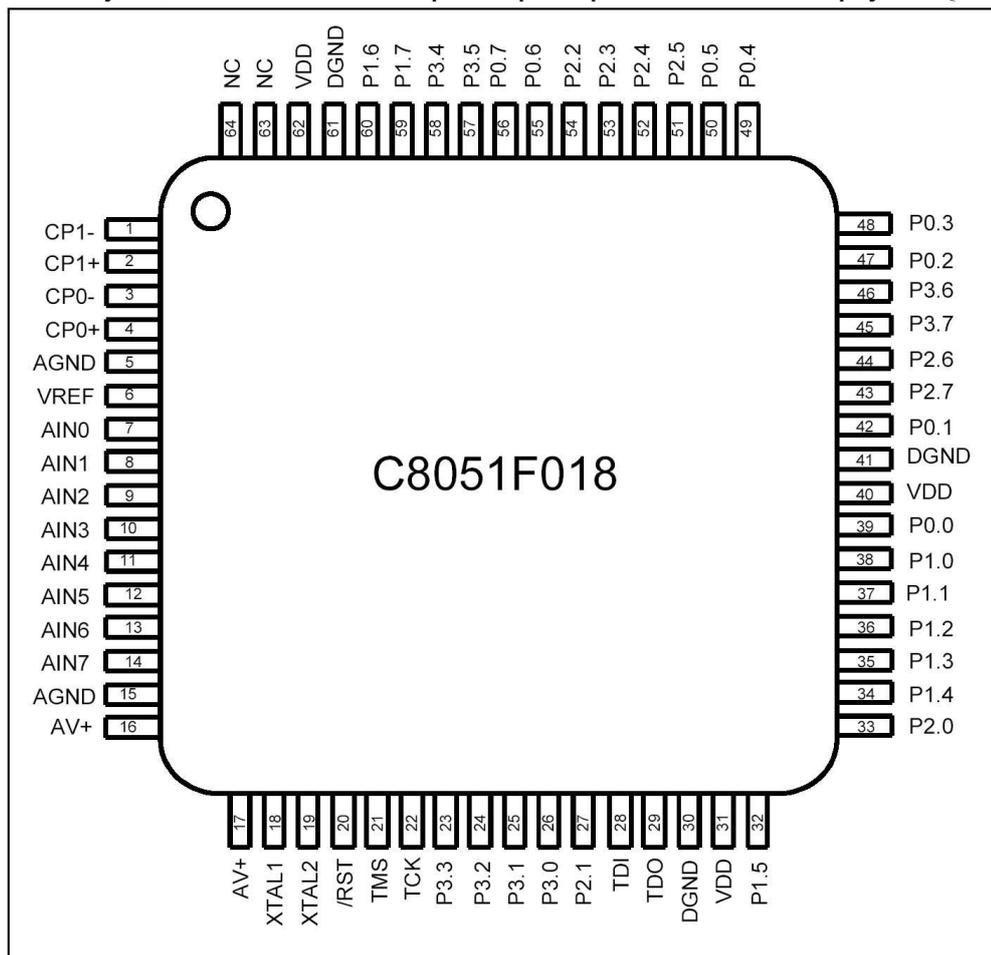


Рис.4.3. Расположение выводов микроконтроллеров C8051F019 в корпусе TQFP-64

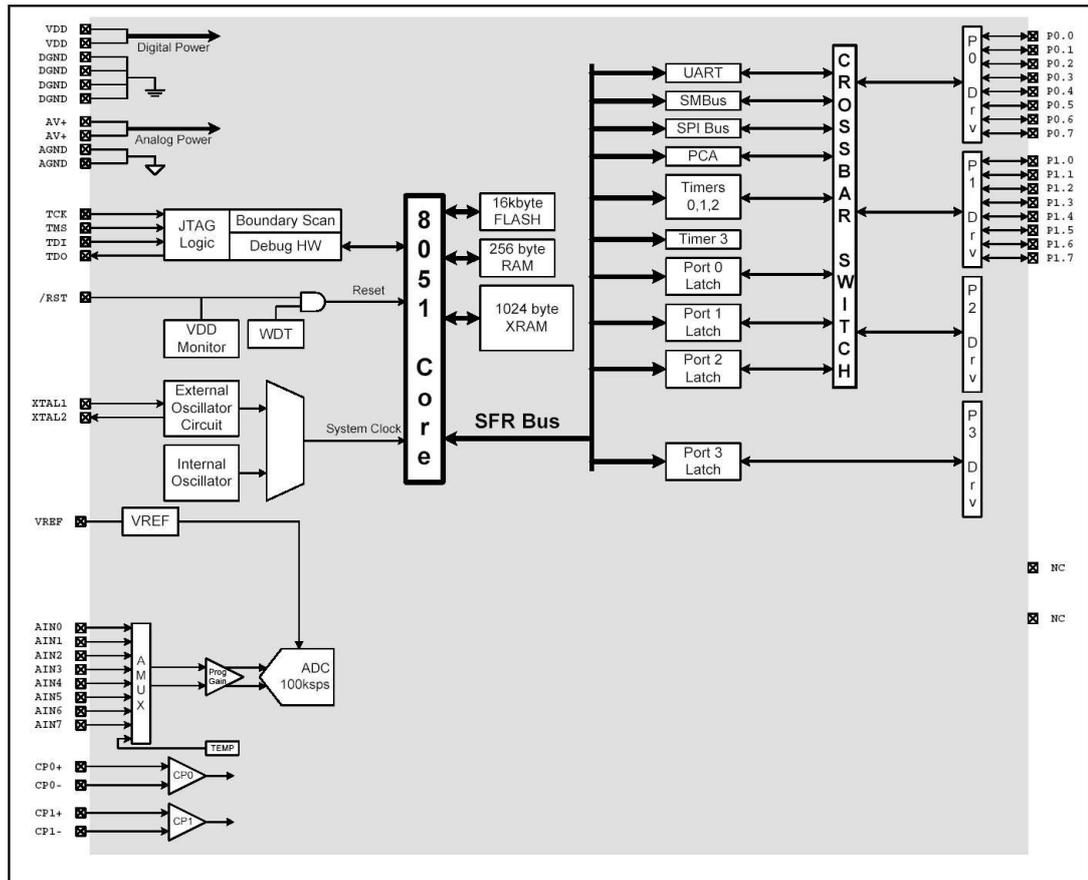


Рис.4.4. Функциональная схема микроконтроллеров C8051F019 в корпусе TQFP-48

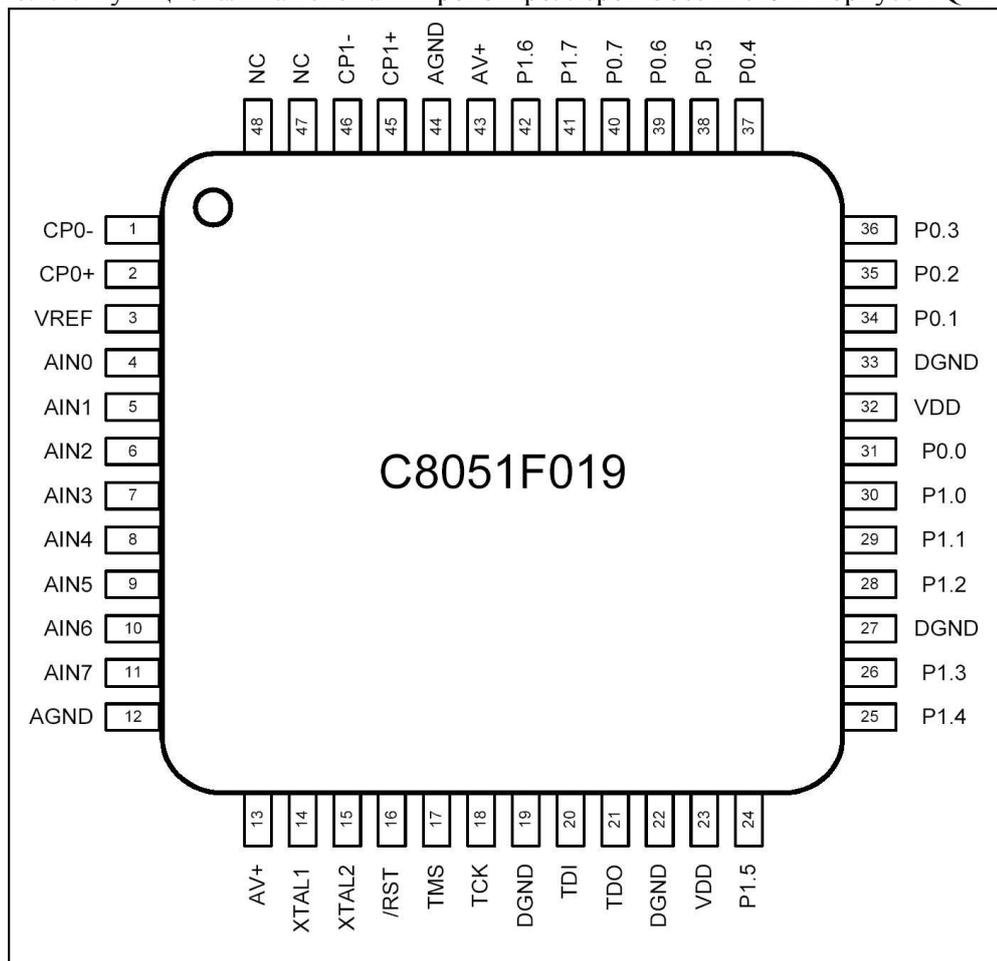


Рис.4.5. Расположение выводов микроконтроллеров C8051F019 в корпусе TQFP-48

Таблица 4.2.

Сводная таблица нумерации, названия и назначения выводов семейства C8051F018-9

Имя	Выводы		Тип	Описание
	F018	F019		
VDD	31, 40, 62	23, 32		Напряжение питания цифровой части
DGND	30, 41, 61	22, 33, 27, 19		Цифровая земля
AV+	16, 17	13, 43		Положительное напряжение питания аналоговой части
AGND	5, 15	44, 12		Аналоговая земля
TCK	22	18	D In	JTAG Clock - тактовый вход со внутренней подтяжкой уровня
TMS	21	17	D In	JTAG Mode Select вход выбора режима со внутренней подтяжкой уровня
TDI	28	20	D In	JTAG Data Input - вход данных со внутренней подтяжкой уровня и защелкой по переднему фронту TCK
TDO	29	21	D Out	JTAG Data Output - выход данных со внутренней подтяжкой уровня со сдвигом данных по заднему фронту TCK с высокоимпедансным состоянием
XTAL1	18	14	A In	Вход кварцевого резонатора. При использовании внешнего генератора - является входом тактовых импульсов
XTAL2	19	15	A Out	Выход кварцевого резонатора
RST/	20	16	D I/O	Вход сброса и выход с открытым коллектором для внутреннего супервизора (монитора) питания. Устанавливается в низкий уровень когда VDD < 2.7V. Внешний источник также может вызвать сброс путем подачи на этот вход низкого уровня
VREF	6	3	A I/O	Опорное напряжение. Когда запрограммирован внешний источник опорного напряжения - используется как вход опорного напряжения, в противном случае, как выход.
CP0+	4	2	A In	Неинвертирующий вход аналогового компаратора 0
CP0	3	1	A In	Инверсный вход компаратора 0
CP1+	2	45	A In	Неинвертирующий вход аналогового компаратора 1
CP1	1	46	A In	Инверсный вход компаратора 1
NC	64	48		Не используется
NC	63	47		Не используется
AIN0	7	4	A In	Вход 0 аналогового мультиплексора (Смотри спецификацию ADC)
AIN1	8	5	A In	Вход 1 аналогового мультиплексора (Смотри спецификацию ADC)
AIN2	9	6	A In	Вход 2 аналогового мультиплексора (Смотри спецификацию ADC)
AIN3	10	7	A In	Вход 3 аналогового мультиплексора (Смотри спецификацию ADC)
AIN4	11	8	A In	Вход 4 аналогового мультиплексора (Смотри спецификацию ADC)
AIN5	12	9	A In	Вход 5 аналогового мультиплексора (Смотри спецификацию ADC)
AIN6	13	10	A In	Вход 6 аналогового мультиплексора (Смотри спецификацию ADC)
AIN7	14	11	A In	Вход 7 аналогового мультиплексора (Смотри спецификацию ADC)
P0.0	39	31	D I/O	Порт 0 бит 0 (Смотри подсистему портов ввода/вывода)
P0.1	42	34	D I/O	Порт 0 бит 1 (Смотри подсистему портов ввода/вывода)
P0.2	47	35	D I/O	Порт 0 бит 2 (Смотри подсистему портов ввода/вывода)
P0.3	48	36	D I/O	Порт 0 бит 3 (Смотри подсистему портов ввода/вывода)
P0.4	49	37	D I/O	Порт 0 бит 4 (Смотри подсистему портов ввода/вывода)
P0.5	50	38	D I/O	Порт 0 бит 5 (Смотри подсистему портов ввода/вывода)
P0.6	55	39	D I/O	Порт 0 бит 6 (Смотри подсистему портов ввода/вывода)
P0.7	56	40	D I/O	Порт 0 бит 7 (Смотри подсистему портов ввода/вывода)
PI.0	38	30	D I/O	Порт 1 бит 0 (Смотри подсистему портов ввода/вывода)
PI.1	37	29	D I/O	Порт 1 бит 1 (Смотри подсистему портов ввода/вывода)

PI.2	36	28	D I/O	Порт 1 бит 2 (Смотри подсистему портов ввода/вывода)
PI.3	35	26	D I/O	Порт 1 бит 3 (Смотри подсистему портов ввода/вывода)
PI.4	34	25	D I/O	Порт 1 бит 4 (Смотри подсистему портов ввода/вывода)
PI.5	32	24	D I/O	Порт 1 бит 5 (Смотри подсистему портов ввода/вывода)
PI.6	60	42	D I/O	Порт 1 бит 6 (Смотри подсистему портов ввода/вывода)
PI.7	59	41	D I/O	Порт 1 бит 7 (Смотри подсистему портов ввода/вывода)
P2.0	33		D I/O	Порт 2 бит 0 (Смотри подсистему портов ввода/вывода)
P2.1	27		D I/O	Порт 2 бит 1 (Смотри подсистему портов ввода/вывода)
P2.2	54		D I/O	Порт 2 бит 2 (Смотри подсистему портов ввода/вывода)
P2.3	53		D I/O	Порт 2 бит 3 (Смотри подсистему портов ввода/вывода)
P2.4	52		D I/O	Порт 2 бит 4 (Смотри подсистему портов ввода/вывода)
P2.5	51		D I/O	Порт 2 бит 5 (Смотри подсистему портов ввода/вывода)
P2.6	44		D I/O	Порт 2 бит 6 (Смотри подсистему портов ввода/вывода)
P2.7	43		D I/O	Порт 2 бит 7 (Смотри подсистему портов ввода/вывода)
P3.0	26		D I/O	Порт 3 бит 0 (Смотри подсистему портов ввода/вывода)
P3.1	25		D I/O	Порт 3 бит 1 (Смотри подсистему портов ввода/вывода)
P3.2	24		D I/O	Порт 3 бит 2 (Смотри подсистему портов ввода/вывода)
P3.3	23		D I/O	Порт 3 бит 3 (Смотри подсистему портов ввода/вывода)
P3.4	58		D I/O	Порт 3 бит 4 (Смотри подсистему портов ввода/вывода)
P3.5	57		D I/O	Порт 3 бит 5 (Смотри подсистему портов ввода/вывода)
P3.6	46		D I/O	Порт 3 бит 6 (Смотри подсистему портов ввода/вывода)
P3.7	45		D I/O	Порт 3 бит 7 (Смотри подсистему портов ввода/вывода)

### 4.3. Электрические параметры и предельные режимы эксплуатации

Общие электрические характеристики семейства приведены в таблице 4.3.

Таблица 4.3. **6**

Общие электрические характеристики семейства C8051F018-9

Параметр	Условия	MIN	НОРМА	MAX
Напряжение питания аналоговой части, V	Напряжение питания аналоговой части должно быть больше 1V для работы супервизора питания	2.7	3.0	3.6
Ток потребления аналоговой части, mA	VREF, ADC, DACs и компараторы включены		1	2
Ток потребления при выключенной аналоговой части, $\mu$ A	VREF, ADC, DACs, компараторы и генератор выключены		5	20
Допустимая разница напряжений питания аналоговой и цифровой частей, V	VDD - VA+			0.5
Напряжение питания цифровой части, V		2.7	3.0	3.6
Ток потребления цифровой части в активном режиме, mA	VDD = 2.7V, Clock=25MHz VDD = 2.7V, Clock=1MHz VDD = 2.7V, Clock=32kHz		12.5 0.5 10 $\mu$ A	
Ток потребления цифровой части в пассивном режиме, $\mu$ A	Генератор выключен		5	
Напряжения сохранения данных в RAM, V			1.5	
Рабочий температурный диапазон, °C		-40		+85

Предельные режимы эксплуатации приведены в таблице 4.4.

Таблица 4.4.

Предельные параметры семейства C8051F018-9

Предельная температура корпуса	-55 - 125°C
Предельная температура хранения	-65 - 150°C
Предельные напряжения на всех выводах кроме VDD и Port I/O по отношению к DGND	-0.3V - (VDD + 0.3V)
Предельные напряжения на всех выводах Port I/O и RST/ по отношению к DGND	-0.3V - 5.8V
Предельное напряжение на вывода VDD по отношению к DGND	-0.3V - 4.2V
Максимальный общий ток через VDD, AV+, DGND и AGND	800mA
Максимальный выходной ток через любой вывода Port I/O	100mA

Максимальный выходной ток через любой другой вывод	25mA
--	------

Превышение параметров, указанных в таблице, может привести к повреждению изделия. Не рекомендуется эксплуатация изделия в предельных режимах, т.к. это приводит к снижению надежности и ресурса.

#### 4.4. Подсистемы семейства C8051F018-9

Микроконтроллеры семейства C8051F018 имеют типовое ядро CIP-51 фирмы Cygnal с подсистемой отладки и программирования JTAG и набором инструкций, описанные в разделах 2.1-2.3. Особенностями ядра данного семейства является наличие у всех микроконтроллеров семейства четырех шестнадцатирядных таймеров/счетчиков и различное количество портов ввода/вывода (4 или 2) у микроконтроллеров, выполненных в различных корпусах. Для обеспечения высокой работоспособности и легкости использования, ядро имеет дополнительные подсистемы обеспечения: развитый контроллер прерываний, мощная подсистема сброса и подсистема тактовых генераторов.

Расширенный контроллер прерываний ядра семейства C8051F018-9 может обслужить 22 источник прерываний, в отличие от 7 у стандартного ядра 8051. Это позволяет повысить общую производительность системы за счет обслуживания прерываний от многочисленных аналоговых узлов и освобождения мощности процессора для основной задачи.

Ядро CIP-51 имеет стандартное адресное пространство - 64К и стандартную конфигурацию адресов программ и данных.

Ядро оснащено встроенной памятью данных с произвольным доступом (RAM) объемом 256 байт (0x00-0xFF).

Младшие 128 байт (0x00-0x7F) доступны инструкциям с прямой и косвенной адресацией, регистры специальных функций SFR доступны только инструкциям с прямой адресацией, а старшие 128 байт (0x80-0xFF) - только инструкциям с косвенной адресацией. Первые 32 байта (0x00-0x1F) адресуются как четыре банка регистров общего назначения, а следующие 16 байт (0x20-0x2F) - имеют битовую адресацию. Кроме этого, микроконтроллеры дополнительно имеют 1024 байта оперативной памяти во внешнем адресном пространстве памяти данных. Этот 1К блок может быть доступен с помощью инструкции MOVX в любом месте (кратном 1024) общего адресного пространства внешней памяти (объемом 64К), как показано на рис.4.6..

Каждый из четырех банков регистров общего назначения состоит из восьми регистров R0-R7. Только один из банков может быть разрешен. Переключение банков осуществляется с помощью битов RSO (PSW.3) и RSI (PSW.4).

Программный стек также располагается в основных 256 байтах оперативной памяти. Область стека также задается соответствующим значением регистра SP (0x81 SFR).

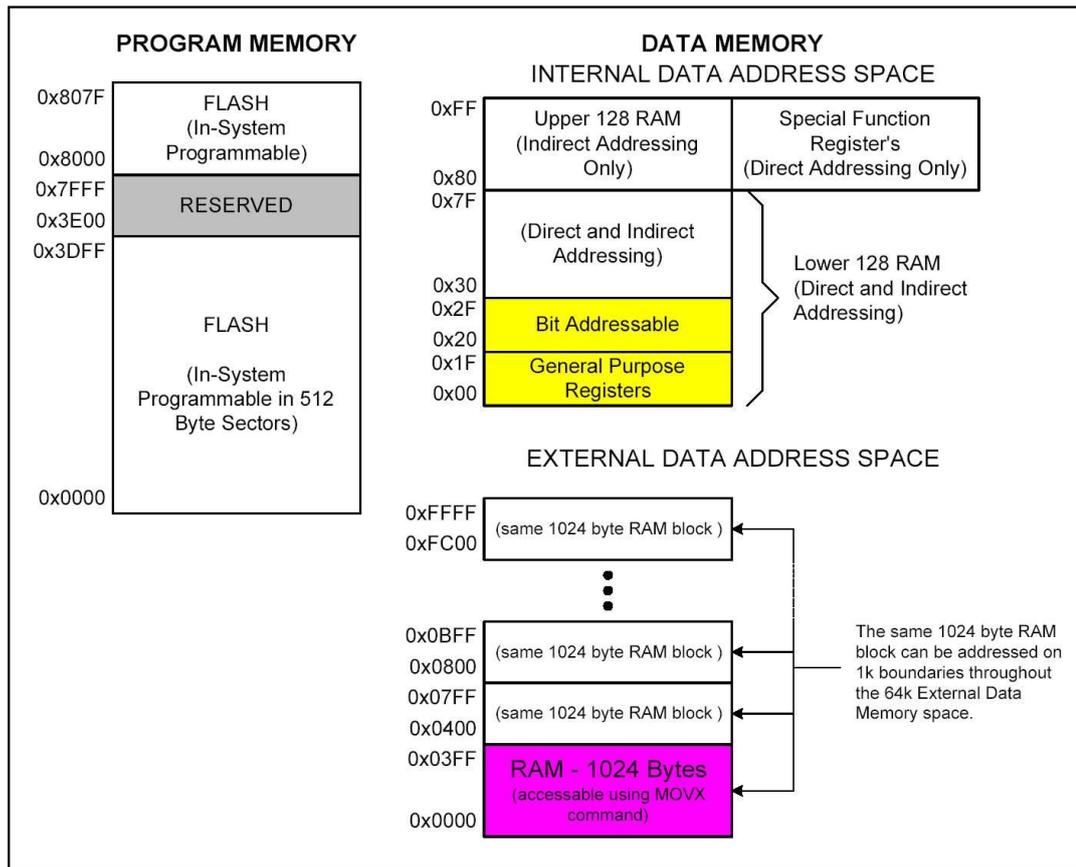


Рис.4.6. Карта памяти семейства C8051F018-9

Flash память программ микроконтроллеров состоит из 16К +128 байт. Основная Flash память программ расположена по адресам 0x0000-0x3FFF. Эта память может программироваться внутрисистемно 512 байтными секторами. Кроме того, имеется один сектор объемом 128 байт с адресами 0x8000-0x807F, который может быть использован для небольшой таблицы описания программ, таблицы настроек или иных целей.

#### 4.5. Регистр специальных функций SFR

Прямо адресуемое адресное пространство памяти данных 0x80-0xFF занято регистрами специальных функций (SFRs). С помощью этих регистров осуществляется управление и обмен данными между ресурсами ядра CIP-51 и периферией. Регистры специальных функций ядра CIP-51 с одной стороны соответствуют регистрам стандартного 8051, а с другой - дополнены возможностями конфигурирования и обмена данными с оригинальными подсистемами микроконтроллеров Cygnal.

Регистры SFR доступны для инструкций с прямой адресацией в пространстве адресов 0x80 to 0xFF. Регистры с адресами, оканчивающимися на 0x0 или 0x8 (например, P0, TCON, P1, SCON, IE и т.д.) являются и бит- адресуемыми и байт- адресуемыми. Все остальные регистры SFR являются только байт- адресуемыми. Неиспользуемые адреса в адресном пространстве SFR зарезервированы для развития. Использование этих адресов приводит к неопределенному результату и нежелательно. Описание каждого из регистров будет приведено ниже. В таблице 4.5. приведена карта адресного пространства SFR регистров.

Таблица 4.5.

## Карта адресов регистров специальных функций SFR

F8	SPI0CN	PCA0H	PCA0CPH0	PCA0CPH1	PCA0CPH2	PCA0CPH3	PCA0CPH4	WDTCN
F0	B						EIP1	EIP2
E8	ADC0CN	PCA0L	PCA0CPL0	PCA0CPL1	PCA0CPL2	PCA0CPL3	PCA0CPL4	RSTSRC
E0	ACC	XBR0	XBR1	XBR2			EIE1	EIE2
D8	PCA0CN	PCA0MD	PCA0CPM0	PCA0CPM1	PCA0CPM2	PCA0CPM3	PCA0CPM4	
D0	PSW	REF0CN						
C8	T2CON		RCAP2L	RCAP2H	TL2	TH2		SMB0CR
C0	SMB0CN	SMB0STA	SMB0DAT	SMB0ADR	ADC0GTL	ADC0GTH	ADC0LTL	ADC0LTH
B8	IP		AMX0CF	AMX0SL	ADC0CF		ADC0L	ADC0H
B0	P3	OSCXCN	OSCICN				FLSCL	FLACL
A8	IE					PRT1IF		EMIOCN
A0	P2				PRT0CF	PRT1CF	PRT2CF	PRT3CF
98	SCON	SBUF	SPI0CFG	SPI0DAT		SPI0CKR	CPT0CN	CPT1CN
90	PI	TMR3CN	TMR3RL	TMR3RLH	TMR3L	TMR3H		
88	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	PSCTL
80	P0	SP	DPL	DPH				PCON
	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)

В таблице 4.6. регистры приведены в алфавитном порядке. Пропущенные адреса зарезервированы.

Таблица 4.6.

Таблица адресов регистров специальных функций в алфавитном порядке

Название регистра	Адрес регистра	Описание функционального назначения регистра	Раздел описания
ACC	0xE0	Аккумулятор	3.6.24
ADCOCF	0xBC	Конфигурация ADC	3.6.3.
ADCOCN	0xE8	Управление ADC	3.6.4
ADCOGTH	0xC5	Старший байт верхнего порога данных ADC	3.6.7
ADCOGTL	0xC4	Младший байт верхнего порога данных ADC	3.6.8
ADC0H	0xBF	Старший байт данных ADC	4.6.1
ADC0L	0xBE	Младший байт данных ADC	4.6.2
ADC0LTH	0xC7	Старший байт нижнего порога данных ADC	3.6.9
ADC0LTL	0xC6	Младший байт нижнего порога данных ADC	3.6.10
AMXOCF	0xBA	Конфигурация мультиплексора MUX ADC	3.6.1
AMXOSL	0xBB	Выбор каналов мультиплексора MUX ADC	3.6.2
B	0xF0	Регистр B	3.6.25
CKCON	0x8E	Управление генератором	3.6.67
CPT0CN	0x9E	Управление компаратором 0	3.6.17
CPT1CN	0x9F	Управление компаратором 1	3.6.18
DPH	0x83	Старший байт указателя данных	3.6.22
DPL	0x82	Младший байт указателя данных	3.6.21
EIE1	0xE6	Разрешение дополнительных прерываний 1	3.6.29
EIE2	0xE7	Разрешение дополнительных прерываний 2	3.6.30
EIP1	0xF6	Приоритеты дополнительных прерываний 1	3.6.31
EIP2	0xF7	Приоритеты дополнительных прерываний 2	3.6.32
EMIOCN	0xAF	Управление интерфейсом внешней памяти	4.6.4
FLACL	0xB7	Ограничение доступа к Flash	3.6.35
FLSCL	0xB6	Управление временем доступа к Flash	3.6.36
IE	0xA8	Разрешение прерываний	3.6.27
IP	0xB8	Управление приоритетами прерываний	3.6.28

OSCICN	0xB2	Управление внутренним генератором	3.6.40
OSXCXCN	0xB1	Управление внешним генератором	3.6.41
P0	0x80	Выходной регистр Port 0	3.6.45
P1	0x90	Выходной регистр Port 1	3.6.47
P2	0xA0	Выходной регистр Port 2	3.6.50
P3	0xB0	Выходной регистр Port 3	3.6.52
PCAOCN	0xD8	Управление программируемым счетчиком-массивом 0 Control	3.6.82
PCAOCPH0	0xFA	Старший байт модуля захвата 0 PCA	3.6.88
PCAOCPH1	0xFB	Старший байт модуля захвата 1 PCA	3.6.88
PCAOCPH2	0xFC	Старший байт модуля захвата 2 PCA	3.6.88
PCAOCPH3	0xFD	Старший байт модуля захвата 3 PCA	3.6.88
PCAOCPH4	0xFE	Старший байт модуля захвата 4 PCA	3.6.88
PCAOCPL0	0xEA	Младший байт модуля захвата 0 PCA	3.6.87
PCAOCPL1	0xEB	Младший байт модуля захвата 1 PCA	3.6.87
PCAOCPL2	0xEC	Младший байт модуля захвата 2 PCA	3.6.87
PCAOCPL3	0xED	Младший байт модуля захвата 3 PCA	3.6.87
PCAOCPL4	0xEE	Младший байт модуля захвата 4 PCA	3.6.87
PCAOCPM0	0xDA	PCA модуль захвата/сравнения 0	3.6.84
PCAOCPM1	0xDB	PCA модуль захвата/сравнения 1	3.6.84
PCAOCPM2	0xDC	PCA модуль захвата/сравнения 2	3.6.84
PCAOCPM3	0xDD	PCA модуль захвата/сравнения 3	3.6.84
PCAOCPM4	0xDE	PCA модуль захвата/сравнения 4	3.6.84
PCAOH	0xF9	Старший байт данных PCA	3.6.86
PCAOI	0xE9	Младший байт данных PCA	3.6.85
PCAO MD	0xD9	Режим PCA	3.6.83
PCON	0x87	Управление питанием	3.6.33
PRT0CF	0xA4	Конфигурация Port 0	3.6.46
PRT1CF	0xA5	Конфигурация Port 1	3.6.48
PRT1IF	0xAD	Флаги прерывания Port 1	3.6.49
PRT2CF	0xA6	Конфигурация Port 2	3.6.51
PRT3CF	0xA7	Конфигурация Port 3	3.6.53
PSCTL	0x8F	Управление R/W программ	4.6.3
PSW	0xD0	Слово состояния программы	3.6.23
RCAP2H	0xCB	Старший байт таймера/счетчика 2	3.6.74
RCAP2L	0xCA	Младший байт таймера/счетчика 2	3.6.73
REFOCN	0xD1	Управление источником опорного напряжения	3.6.19
RSTSRC	0xEF	Управление источниками сброса	3.6.39
SBUF	0x99	Буфер данных последовательного порта (UART)	3.6.63
SCON	0x98	Управление последовательным портом (UART)	3.6.64
SMBOADR	0xC3	Адреса SMBus 0	3.6.57
SMBOCN	0xC0	Управление SMBus 0	3.6.54
SMBOCR	0xCF	Управление скоростью SMBus 0	3.6.55
SMBODAT	0xC2	Данные SMBus 0	3.6.56
SMBOSTA	0xC1	Состояние SMBus 0	3.6.58
SP	0x81	Указатель стека	3.6.20
SPIOCFG	0x9A	Конфигурация последовательного периферийного интерфейса	3.6.59
SPIOCKR	0x9D	Управление скоростью SPI	3.6.61
SPIOCN	0xF8	Управление шиной SPI	3.6.60

SPIODAT	0x9B	Данные SPI	3.6.62
T2CON	0xC8	Управление таймера/счетчика 2	3.6.72
TCON	0x88	Управление таймерами/счетчиками	3.6.65
TNO	0x8C	Старший байт данных таймера/счетчика 0	3.6.70
TH1	0x8D	Старший байт данных таймера/счетчика 1	3.6.71
TH2	0xCD	Старший байт данных таймера/счетчика 2	3.6.76
TLO	0x8A	Младший байт данных таймера/счетчика 0	3.6.68
TL1	0x8B	Младший байт данных таймера/счетчика 1	3.6.69
TL2	0xCC	Младший байт данных таймера/счетчика 2	3.6.75
TMOD	0x89	Режимы таймеров счетчиков	3.6.66
TMR3CN	0x91	Управление таймером 3	3.6.81
TMR3H	0x95	Старший байт таймера 3	3.6.80
TMR3L	0x94	Младший байт таймера 3	3.6.79
TMR3RLH	0x93	Перезагрузка старшего байта таймера 3	3.6.78
TMR3RLL	0x92	Перезагрузка младшего байта таймера 3	3.6.77
WDTCN	0xFF	Управление охранным счетчиком (WDT)	3.6.38
XBRO	0xE1	Конфигурация коммутатора ресурсов (Crossbar) 1	3.6.42
XBR1	0xE2	Конфигурация коммутатора ресурсов (Crossbar) 2	3.6.43
XBR2	0xE3	Конфигурация коммутатора ресурсов (Crossbar) 3	3.6.44

#### 4.6. Регистры SFR

Управление и обмен данными с всей аналоговой и цифровой периферией микроконтроллеры семейства C8051F018 осуществляют через регистры SFR. Как уже отмечалось выше, это второе семейство является усеченным первым семейством с уменьшенным объемом Flash (16К, а на 32К) и внешней оперативной (1К, а не 2К) памяти, десятиразрядным аналого-цифровым преобразователем без программируемого усилителя, без встроенных цифро-аналоговых преобразователей. При этом, разводка выводов этого семейства полностью совпадает с разводкой выводов микроконтроллеров первого семейства, выпускаемых в таких же корпусах. Очевидно, что и описание многих регистров полностью совпадает с описанием регистров первого семейства. Ниже приводится только описание регистров, отличающихся от первого семейства. Для регистров, описание которых полностью совпадает с описанием регистров предыдущего семейства, даются ссылки на соответствующие разделы в таблице 4.6.

##### 4.6.1. ADC0H - Старший байт выходных данных ADC

Название регистра:	ADC0H - ADC Data Word MSB Register																										
SFR адрес:	0xBF	Значение после сброса:	0000000b (0x00)																								
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">R/W</td> </tr> <tr> <td style="text-align: center;">□</td> </tr> <tr> <td style="text-align: center;">Bit 7</td> <td style="text-align: center;">Bit 6</td> <td style="text-align: center;">Bit 5</td> <td style="text-align: center;">Bit 4</td> <td style="text-align: center;">Bit 3</td> <td style="text-align: center;">Bit 2</td> <td style="text-align: center;">Bit 1</td> <td style="text-align: center;">Bit 0</td> </tr> </table>				R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	□	□	□	□	□	□	□	□	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																				
□	□	□	□	□	□	□	□																				
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																				

Если бит выравнивания ADLIST=1, регистр содержит 8 старших битов 10-битного выходного слова ADC. Если бит выравнивания ADLIST=0, биты 1-0 содержат старшие 2 бита 10-битного выходного слова ADC.

##### 4.6.2. ADC0L - Младший байт выходных данных ADC

Название регистра:	ADC0L - ADC Data Word LSB Register																										
SFR адрес:	0xBE	Значение после сброса:	0000000b (0x00)																								
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">R/W</td> </tr> <tr> <td style="text-align: center;">□</td> </tr> <tr> <td style="text-align: center;">Bit 7</td> <td style="text-align: center;">Bit 6</td> <td style="text-align: center;">Bit 5</td> <td style="text-align: center;">Bit 4</td> <td style="text-align: center;">Bit 3</td> <td style="text-align: center;">Bit 2</td> <td style="text-align: center;">Bit 1</td> <td style="text-align: center;">Bit 0</td> </tr> </table>				R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	□	□	□	□	□	□	□	□	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																				
□	□	□	□	□	□	□	□																				
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																				

Если бит выравнивания ADLIST=1, биты 7-6 содержат 2 младших бита 10-битного выходного слова ADC. Если бит выравнивания ADLIST=0, регистр содержит младшие 8 битов 10-битного выходного слова ADC. Таким образом, еще раз напомним, что 10-битное выходное слово может располагаться со сдвигом вправо, и со сдвигом влево (или выравниванием вправо или влево).

#### 4.6.3. PSCTL - Регистр контроля записи программ

Описание регистра полностью соответствует описанию, приведенному в разделе 3.6.34.

Система секретности микроконтроллеров семейства C8051F018-9 отличается от принятой у семейства C8051F0xx. Программная память с адресами от 0x0000 до 0x3FFF разделена на 4 фрагмента размером по 4 килобайта, каждый из которых может быть защищен как от чтения, так и от записи/стирания. Кроме того, существует два байта секретности, расположенные по адресам 0x3DFE и 0x3DFF. По адресу 0x3DFE расположен байт защиты памяти программ от записи/стирания через JTAG интерфейс. По адресу 0x3DFF расположен байт защиты памяти программ от чтения через JTAG интерфейс. Обнуление каждого их битов в этих двух байтах запрещает соответствующее действие в определенном фрагменте памяти, как показано в таблице 4.7.

Таблица 4.7.

Таблица битов секретности

Бит	Запрещаемый фрагмент памяти
7 (старший)	
6	
5	
4	
3	0x3000 - 0x3FFF
2	0x2000 - 0x2FFF
1	0x1000 - 0x1FFF
0	0x0000 - 0x0FFF

12

Область памяти, содержащая байты секретности объемом 512 байт, может быть записана программно, но не может быть программно стерта. **Обращение при операции JTAG стирания к любому из байтов секретности приведет к полному стиранию программы, за исключением зарезервированной области. Полное стирание возможно только через JTAG. Если при операции JTAG стирания к любому из обычных байтов в области 0x3C00 - 0x3DFF (не байтов секретности) произойдет обращение, это приведет к стиранию только указанной области, включая и байты секретности.**

Кроме этого, в адресном пространстве памяти имеется еще область с адресами 0x8000 - 0x807F, которая запирается только в случае, если заперты все 8 младших блока.

#### 4.6.4. EMIOCN - Регистр управления интерфейсом внешней памяти

Микроконтроллеры семейства C8051F018-9 имеют дополнительную оперативную память в адресном пространстве внешней памяти объемом 1 К. При этом, старшие 6 битов старшего байта игнорируются, что означает, что внешняя память объемом 1К, подключенная к адресам, начиная с 0x0000, будет доступна также и по адресам 0x0400, 0x0800, 0x0C00, 0x1000 и. т.д. Управление доступом к внешней памяти осуществляется с помощью регистра EMIOCN.

Название регистра:	EMIOCN - External Memory Interface Control							
SFR адрес:	0xAF		Значение после сброса:	0000000b (0x00)				
	R	R	R	R	R	R/W	R/W	R/W
	-	-	-	-	-		PGSEL1	PGSEL0
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

Биты 7-2 не используются, при чтении возвращаются нули.

Биты 1-0: PGSEL - XRAM Page Select Bits - биты выбора страницы. Биты выбирают страницу памяти при использовании 8-битной команды MOVX:

00: xxxxxx00b  
01: xxxxxx01b  
10: xxxxxx10b  
11: xxxxxx11b

#### 4.7. Достоинства и недостатки семейства C8051F018-9

Семейство микроконтроллеров C8051F018-9 насчитывает всего 2 микроконтроллера. Семейство является упрощенным вариантом первого семейства C8051F0xx.

Аналоговая периферия семейства содержит: только 10-битный аналого-цифровой преобразователь с программируемым усилителем и восьмиканальным входным мультиплексором, два аналоговых компаратора, источник опорного напряжения и датчик температуры, и не содержит цифро-аналоговых преобразователей.

Цифровая периферия аналогична по составу цифровой периферии первого семейства C8051F0xx,

Объем встроенной Flash памяти уменьшен в два раза, до 16К. Микроконтроллеры также кроме стандартной памяти в 256 байт имеют еще 1К оперативной памяти, расположенной в адресном пространстве внешней памяти.

Не смотря на уменьшение номенклатуры цифровой периферии и встроенной памяти, это семейство достаточно перспективно для более простых задач общего применения, благодаря мощным ресурсам, сочетающимся с относительно простой процедурой конфигурирования.

Стоимость микроконтроллеров этого семейства несколько ниже, чем у первого, и составляет примерно \$15, что вполне объяснимо с учетом уменьшенного состава периферии и объемов памяти. Для некоторых применений, не требующих отсутствующих периферийных узлов, снижение стоимости, безусловно, можно отнести к разряду достоинств.

При дальнейшем совершенствовании этого семейства было бы полезным включение в состав цифровой периферии второго последовательного порта UART и повышение рабочей тактовой частоты.