

**АНАЛОГОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ****- 24-разрядный или 16-разрядный АЦП**

Непропадание кодов.

Нелинейность 0.0015%.

Программируемая скорость преобразования (до 1000 преобразований в секунду).

8-канальный входной мультиплексор.

Усилитель с программируемым коэффициентом усиления (от 1 до 128).

Встроенный датчик температуры.

- Два 8-разрядных ЦАП с токовым выходом**- Компаратор**

Программируемые гистерезис/время отклика.

Использование в качестве источника прерывания или источника сброса.

Низкий ток потребления (0.4 мкА).

ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ

- Встроенный отладчик обеспечивает «неразрушающую» внутрисистемную отладку в режиме реального времени (без эмулятора).

- Расстановка точек останова, пошаговая отладка, контроль/модификация памяти и регистров.

- Производительность на уровне эмуляторов с отладочными кристаллами, специальными адаптерами и разъемами.

- Недорогой **полный** комплект средств для разработки и отладки.**НАПРЯЖЕНИЕ ПИТАНИЯ: 2.7В...3.6В**

- Типичный ток потребления: 5.8 мА при 25 МГц; 11 мкА при 32 кГц.

- Типичный ток потребления в режиме остановки: 0.1 мкА.

РАБОЧАЯ ТЕМПЕРАТУРА: -40°C...+85°C**ВЫСОКОПРОИЗВОДИТЕЛЬНОЕ 8051-СОВМЕСТИМОЕ ПРОЦЕССОРНОЕ ЯДРО**

- Конвейерная архитектура; 70% команд выполняются за 1 или 2 системных тактовых цикла.

- Производительность до 50 MIPS.

- Развитая система прерываний.

ПАМЯТЬ

- 768 (256 + 512) байт встроенного ОЗУ.

- 8 Кбайт FLASH-памяти; возможно внутрисистемное программирование FLASH-памяти секторами по 512 байт.

ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- 17 портов ввода/вывода с допустимым напряжением на внешних выводах до 5В и высоким втекающим током.

- Усовершенствованные (расширенные) последовательные интерфейсы SMBus, SPI и УАПП.

- 16-разрядный программируемый массив счетчиков (ПМС) с тремя модулями захвата/сравнения.

- Четыре 16-разрядных таймера/счетчика общего назначения.

- Режим генератора реального времени (используются ПМС или Таймер и внешний источник тактирования).

ИСТОЧНИКИ ТАКОВЫХ ИМПУЛЬСОВ- Внутренний генератор: 24.5 МГц с точностью $\pm 2\%$, поддерживающий функционирование УАПП.

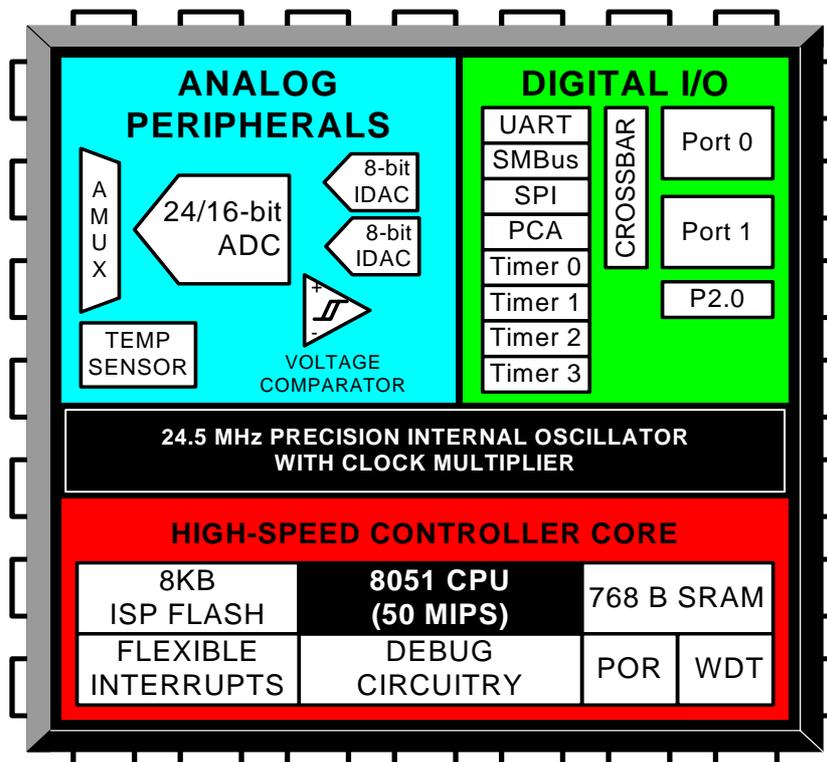
- Внешний генератор: кварцевый, RC-, C-, или счетчик (1-выв. или 2-выв. режимы).

- Умножитель тактовой частоты, повышающий внутреннюю частоту тактирования до 50 МГц.

- Возможность переключения между источниками тактирования «на лету».

КОРПУСА: 28-выв. QFN или 32-выв. LQFP.

- Площадь посадочного места на печатной плате для 28-QFN – 5x5 мм.



СОДЕРЖАНИЕ

1. КРАТКИЙ ОБЗОР.....	17
1.1. Процессорное ядро CIP-51TM.....	21
1.1.1. Полностью 8051-совместимая архитектура.....	21
1.1.2. Улучшенная производительность.....	21
1.1.3. Дополнительные функции.....	21
1.2. Встроенные средства отладки.....	22
1.3. Встроенная память.....	23
1.4. 24-разрядный или 16-разрядный аналого-цифровой преобразователь (АЦПО).....	24
1.5. Два 8-разрядных ЦАП с токовым выходом.....	25
1.6. Программируемый компаратор.....	26
1.7. Последовательные порты.....	26
1.8. Порт ввода/вывода.....	27
1.9. Программируемый массив счетчиков (ПМС).....	28
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ*	29
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	30
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	31
5. 24-разрядный или 16-разрядный АЦП (АЦПО)	41
5.1. Настройка АЦПО.....	42
5.1.1. Выбор источника опорного напряжения.....	42
5.2.1. Аналоговые входы.....	42
5.1.2.1. Программируемый усилитель.....	42
5.1.2.2. Входные буферы.....	42
5.1.3. Тактирование модулятора.....	43
5.1.4. Коэффициент децимации.....	43
5.2. Калибровка АЦП.....	44
5.2.1. Внутренняя калибровка.....	44
5.2.2. Калибровка в составе системы.....	44
5.2.3. Сохранение коэффициентов калибровки.....	44
5.3. Выполнение преобразований.....	46
5.3.1. Единичные преобразования.....	46
5.3.2. Непрерывные преобразования.....	46
5.3.3. Выходные данные АЦП.....	46
5.3.4. Ошибки АЦП.....	47
5.4. Смещающий ЦАП.....	47
5.5. Источники тестирующих токов.....	47
5.6. Аналоговый мультиплексор.....	59
6. 8-разрядные ЦАП с токовым выходом (ЦАП0 и ЦАП1)	67
6.1. Обновление выходного сигнала ЦАП.....	68
6.1.1. Обновление выходного сигнала “по требованию”.....	68
6.1.2. Обновление выходного сигнала при переполнении таймера.....	68
6.1.3. Обновление выходного сигнала по фронту CNVSTR.....	68
6.2. Диапазон выходных сигналов ЦАП.....	68
6.3. Подключение внешних выводов к выходам ЦАП.....	71



7. Источник опорного напряжения.....	73
8. Датчик температуры	77
9. Компаратор 0.....	79
9.1. Входы и выходы Компаратора 0	83
10. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	87
10.1. СИСТЕМА КОМАНД	89
10.1.1. Временные параметры команд и CPU	89
10.1.2. Команда MOVX и память программ.....	89
10.2. Описания регистров.....	93
10.3. Режимы управления электропитанием	96
10.3.1. Режим ожидания	96
10.3.2. Режим остановки.....	96
11. Организация памяти и SFR-регистры.....	99
11.1. Память программ	99
11.2. Память данных	100
11.3. Регистры общего назначения.....	100
11.4. Ячейки памяти с битовой адресацией.....	100
11.5. Стек	100
11.6. Регистры специального назначения	101
12. ОБРАБОТКА ПРЕРЫВАНИЙ	105
12.1. Источники и векторы прерываний	105
12.2. Приоритеты прерываний.....	105
12.3. Задержка обработки прерывания	105
12.4. Описания регистров прерываний	107
12.5. Внешние прерывания.....	111
13. Механизм упреждающей выборки	113
14. ИСТОЧНИКИ СБРОСА	115
14.1. Сброс при включении питания (Power-on Reset - POR).....	116
14.2. Сброс при исчезновении питания (Power-fail Reset – PFR)/Схема слежения за напряжением питания	117
14.3. Внешний сброс	118
14.4. Сброс от детектора исчезновения тактирования	118
14.5. Сброс от Компаратора 0	118
14.6. Сброс от сторожевого таймера ПМС	118
14.7. Сброс от контроллера Flash-памяти.....	118
14.8. Программный сброс.....	118
15. FLASH-ПАМЯТЬ	121
15.1. Программирование Flash-памяти	121
15.1.1. Блокировка Flash-памяти и ключевой код.....	121
15.1.2. Процедура стирания Flash-памяти	121
15.1.3. Процедура записи Flash-памяти	122
15.2. Долговременное хранение данных.....	123

15.3. Защита FLASH-памяти	123
16. Внешнее ОЗУ	127
17. Генераторы	129
17.1. Программируемый внутренний генератор	129
17.2. Схема возбуждения внешнего генератора	131
17.2.1. Тактирование таймеров непосредственно от внешнего генератора	131
17.2.2. Пример использования внешнего резонатора	131
17.2.3. Пример использования RC-генератора	133
17.2.4. Пример использования внешнего генератора с конденсатором	133
17.3. Умножитель тактовой частоты	135
17.4. Выбор источника системного тактового сигнала	136
18. ПОРТ ВВОДА/ВЫВОДА	137
18.1. Приоритетный декодер матрицы	139
18.2. Инициализация порта ввода/вывода	141
18.3. Порт ввода/вывода общего назначения	144
19. Модуль SMBus / I2C (SMBUS0)	151
19.1. Техническая документация	152
19.2. Подключение к шине SMBus	152
19.3. Протокол SMBus	152
19.3.1. Арбитраж	153
19.3.2. Растягивание тактового сигнала	154
19.3.3. Таймаут низкого уровня на линии SCL	154
19.3.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна)	154
19.4. Использование модуля SMBus	155
19.4.1. Регистр конфигурации SMBUS	156
19.4.2. Регистр управления SMB0CN	159
19.4.3. Регистр данных	162
19.5. Режимы работы модуля SMBus	163
19.5.1. Режим ведущего передатчика	163
19.5.2. Режим ведущего приемника	164
19.5.3. Режим ведомого приемника	165
19.5.4. Режим ведомого передатчика	166
19.6. Декодирование состояний SMBus	167
20. УАППО	171
20.1. Усовершенствованный режим генерации скорости передачи данных	172
20.2. Режимы работы УАППО	173
20.2.1. 8-разрядный УАПП	173
20.2.2. 9-разрядный УАПП	174
20.3. Поддержка связи с несколькими МК	174
21. МОДУЛЬ SPI (SPI0)	181
21.1. Описание сигналов	182
21.1.1. Выход ведущего, вход ведомого	182
21.1.2. Вход ведущего, выход ведомого	182
21.1.3. Тактовые импульсы	182



21.1.4. Выбор ведомого (NSS)	182
21.2. Функционирование SPI0 в ведущем режиме	183
21.3. Функционирование SPI0 в ведомом режиме.....	185
21.4. Источники прерываний модуля SPI0	185
21.5. Тактирование	186
21.6. Регистры специального назначения модуля SPI0.....	186
22. ТАЙМЕРЫ.....	195
22.1. Таймер 0 и Таймер 1	195
22.1.1. Режим 0: 13-разрядный таймер/счетчик	195
22.1.2. Режим 1: 16-разрядный Таймер/Счетчик	196
22.1.3. Режим 2: 8-разрядный таймер/счетчик с перезагрузкой.....	197
22.1.4. Режим 3: Два 8-разрядных таймера/счетчика (только Таймер 0)	198
22.2. Таймер 2	203
22.2.1. 16-разрядный таймер с автоперезагрузкой.....	203
22.2.2. 8-разрядные таймеры с автоперезагрузкой	204
22.3. Таймер 3	207
22.3.1. 16-разрядный таймер с автоперезагрузкой.....	207
22.3.2. 8-разрядные таймеры с автоперезагрузкой	208
Рисунок 22.7. Структурная схема Таймера 3 в 8-разрядном режиме	208
23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ	211
23.1. Таймер/счетчик модуля ПМС	212
23.2. Модули захват/сравнение.....	213
23.2.1. Режим захвата по фронту сигнала.....	214
23.2.2. Режим программного таймера (сравнения).....	215
23.2.3. Режим высокоскоростного выхода	216
23.2.4. Режим выхода заданной частоты	217
23.2.5. Режим 8-разрядного широтно-импульсного модулятора	218
23.2.6. Режим 16-разрядного широтно-импульсного модулятора	219
23.3. Режим сторожевого таймера.....	220
23.3.1. Функционирование сторожевого таймера.....	220
23.3.2. Использование сторожевого таймера	221
23.4. Описание регистров модуля ПМС	222
24. ИНТЕРФЕЙС C2	227
24.1. Регистры интерфейса C2	227
24.2. Разделение выводов интерфейса C2	229
Список изменений.	230
Отличия ред. 1.0 от ред. 0.4.	230

СПИСОК РИСУНКОВ

1. КРАТКИЙ ОБЗОР.....	17
Рисунок 1.1. Структурная схема C8051F350.....	19
Рисунок 1.2. Структурная схема C8051F351.....	19
Рисунок 1.3. Структурная схема C8051F352.....	20
Рисунок 1.4. Структурная схема C8051F353.....	20
Рисунок 1.5. Модель отладки.....	22
Рисунок 1.6. Карта распределения памяти.....	23
Рисунок 1.7. Структурная схема АЦПО.....	24
Рисунок 1.8. Структурная схема ЦАП.....	25
Рисунок 1.9. Структурная схема Компаратора 0.....	26
Рисунок 1.10. Структурная схема порта ввода/вывода.....	27
Рисунок 1.11. Структурная схема модуля ПМС.....	28
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ*	29
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	30
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	31
Рисунок 4.1. Цоколевка корпуса LQFP-32 (вид сверху).....	34
Рисунок 4.2. Цоколевка корпуса QFN-28 (вид сверху).....	35
Рисунок 4.3. Чертеж корпуса LQFP-32.....	36
Рисунок 4.4. Чертеж корпуса QFN-28.....	37
Рисунок 4.5. Типичная схема посадочного места под корпус QFN-28.....	38
Рисунок 4.6. Трафарет для нанесения припоя для корпуса QFN-28.....	39
5. 24-разрядный или 16-разрядный АЦП (АЦПО)	41
Рисунок 5.1. Функциональная схема АЦПО.....	41
Рисунок 5.2. Управление буферами АЦПО.....	43
Рисунок 5.3. Кодирование регистров калибровки смещения АЦПО.....	45
Рисунок 5.4. Кодирование регистров калибровки крутизны АЦПО.....	45
Рисунок 5.5. Структурная схема аналогового мультиплексора АЦПО.....	59
6. 8-разрядные ЦАП с токовым выходом (ЦАП0 и ЦАП1)	67
Рисунок 6.1. Функциональная схема ЦАП.....	67
Рисунок 6.2. Преобразование входного слова данных ЦАП в выходной ток ЦАП.....	68
Рисунок 6.3. Подключение выходов ЦАП.....	71
7. Источник опорного напряжения.....	73
Рисунок 7.1. Структурная схема ИОН.....	73
8. Датчик температуры	77
Рисунок 8.1. Структурная схема датчика температуры.....	77
Рисунок 8.2. Передаточная функция для одноканального режима измерения.....	78
Рисунок 8.3. Передаточная функция для дифференциального режима измерения.....	78
9. Компаратор 0.....	79
Рисунок 9.1. Функциональная схема Компаратора 0.....	79



Рисунок 9.2. Гистерезис компаратора.....	80
Рисунок 9.3. Подключение выводов компаратора.....	83
10. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	87
Рисунок 10.1. Структурная схема CIP-51	87
11. Организация памяти и SFR-регистры.....	99
Рисунок 11.1. Карта распределения памяти	99
12. ОБРАБОТКА ПРЕРЫВАНИЙ	105
13. МЕХАНИЗМ УПРЕЖДАЮЩЕЙ ВЫБОРКИ	113
14. ИСТОЧНИКИ СБРОСА	115
Рисунок 14.1. Структурная схема источников сброса.....	115
Рисунок 14.2. Временная диаграмма работы схемы слежения за напряжением питания..	116
15. FLASH-ПАМЯТЬ	121
Рисунок 15.1. Карта распределения Flash-памяти	123
16. Внешнее ОЗУ	127
17. Генераторы	129
Рисунок 17.1. Структурная схема генератора	129
Рисунок 17.2. Пример использования внешнего кварцевого резонатора 32.768 кГц	132
18. ПОРТ ВВОДА/ВЫВОДА	137
Рисунок 18.1. Функциональная схема порта ввода/вывода.....	137
Рисунок 18.2. Структурная схема ячейки порта ввода/вывода	138
Рисунок 18.3. Приоритетный декодер матрицы без пропуска каких-либо выводов.....	139
Рисунок 18.4. Приоритетный декодер матрицы с пропуском выводов подключения кварцевого резонатора.....	140
19. Модуль SMBus / I2C (SMBUS0)	151
Рисунок 19.1. Структурная схема модуля SMBus0	151
Рисунок 19.2. Подключение к шине SMBus.....	152
Рисунок 19.3. Формат сообщения SMBus	153
Рисунок 19.4. Формирование сигнала SCL	157
Рисунок 19.5. Передача данных в режиме ведущего.....	163
Рисунок 19.6. Прием данных в режиме ведущего	164
Рисунок 19.7. Прием данных в режиме ведомого.....	165
Рисунок 19.8. Передача данных в режиме ведомого.....	166
20. УАППО	171
Рисунок 20.1. Структурная схема УАППО	171
Рисунок 20.2. Логика генератора скорости передачи данных УАППО	172
Рисунок 20.3. Примеры использования УАППО.....	173
Рисунок 20.4. Временные диаграммы в режиме 8-разрядного УАППО	173
Рисунок 20.5. Временные диаграммы в режиме 9-разрядного УАППО	174

Рисунок 20.6. Пример использования УАПП в многопроцессорном режиме.....	175
21. МОДУЛЬ SPI (SPI0).....	181
Рисунок 21.1. Структурная схема модуля SPI	181
Рисунок 21.2. Схема включения в режиме с несколькими ведущими	184
Рисунок 21.3. Схема соединения одного ведущего и одного ведомого с использованием 3-х проводной шины SPI	184
Рисунок 21.4. Схема соединения одного ведущего и нескольких ведомых с использованием 4-х проводной шины SPI	184
Рисунок 21.5. Временные диаграммы сигналов данных/тактирования	186
Рисунок 21.6. Временные диаграммы ведущего SPI (СКРНА = 0)	191
Рисунок 21.7. Временные диаграммы ведущего SPI (СКРНА = 1)	191
Рисунок 21.8. Временные диаграммы ведомого SPI (СКРНА = 0).....	192
Рисунок 21.9. Временные диаграммы ведомого SPI (СКРНА = 1).....	192
22. ТАЙМЕРЫ.....	195
Рисунок 22.1. Структурная схема Таймера 0 в режиме 0	196
Рисунок 22.2. Структурная схема Таймера 0 в режиме 2	197
Рисунок 22.3. Структурная схема Таймера 0 в режиме 3	198
Рисунок 22.4. Структурная схема Таймера 2 в 16-разрядном режиме	203
Рисунок 22.5. Структурная схема Таймера 2 в 8-разрядном режиме	204
Рисунок 22.6. Структурная схема Таймера 3 в 16-разрядном режиме	207
23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ	211
Рисунок 23.1. Структурная схема ПМС.....	211
Рисунок 23.2. Структурная схема таймера/счетчика модуля ПМС	212
Рисунок 23.3. Схема формирования прерывания от ПМС	213
Рисунок 23.4. Структурная схема ПМС в режиме захвата	214
Рисунок 23.5. Структурная схема ПМС в режиме программного таймера.....	215
Рисунок 23.6. Структурная схема ПМС в режиме высокоскоростного выхода.....	216
Рисунок 23.7. Структурная схема ПМС в режиме выхода заданной частоты	217
Рисунок 23.8. Структурная схема ПМС в режиме 8-разр. ШИМ.....	218
Рисунок 23.9. Структурная схема ПМС в режиме 16-разр. ШИМ.....	219
Рисунок 23.10. Модуль 2 захвата/сравнения ПМС с включенным сторожевым таймером.....	220
24. ИНТЕРФЕЙС C2.....	227
Рисунок 24.1. Разделение выводов интерфейса C2	229



СПИСОК ТАБЛИЦ

1. КРАТКИЙ ОБЗОР.....	17
Таблица 1.1. Сравнительная характеристика микроконтроллеров	18
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ*	29
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	30
Таблица 3.1. Основные электрические параметры	30
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	31
Таблица 4.1. Описание выводов МК C8051F350/1/2/3.....	31
Таблица 4.2. Размеры корпуса LQFP-32	36
Таблица 4.3. Размеры корпуса QFN-28.....	37
5. 24-разрядный или 16-разрядный АЦП (АЦПО)	41
Таблица 5.1. Кодирование однополярного выходного слова данных АЦПО (AD0POL = 0).....	47
Таблица 5.2. Кодирование биполярного выходного слова данных АЦПО (AD0POL = 1)	47
Таблица 5.3. Электрические характеристики АЦПО	61
Таблица 5.4. Типичные значения среднеквадратичного шума фильтра SINC3 модуля АЦПО (мкВ)	62
Таблица 5.5. Реальное разрешение фильтра SINC3 модуля АЦПО в однополярном режиме (биты)	63
Таблица 5.6. Сглаженное (свободное от шумов) разрешение фильтра SINC3 модуля АЦПО в однополярном режиме (биты).....	63
Таблица 5.7. Типичные значения среднеквадратичного шума фильтра Fast модуля АЦПО (мкВ).....	64
Таблица 5.8. Реальное разрешение фильтра Fast модуля АЦПО в однополярном режиме (биты)	64
Таблица 5.9. Сглаженное (свободное от шумов) разрешение фильтра Fast модуля АЦПО в однополярном режиме (биты)	65
6. 8-разрядные ЦАП с токовым выходом (ЦАП0 и ЦАП1)	67
Таблица 6.1. Электрические характеристики ЦАП	72
7. Источник опорного напряжения.....	73
Таблица 7.1. Электрические характеристики ИОН	75
8. Датчик температуры	77
Таблица 8.1. Электрические характеристики датчика температуры	77
9. Компаратор 0.....	79
Таблица 9.1. Электрические характеристики компаратора	85
10. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	87
Таблица 10.1. Система команд CIP-51	90

11. Организация памяти и SFR-регистры.....	99
Таблица 11.1. Распределение регистров специального назначения в памяти	101
Таблица 11.2. Регистры специального назначения.....	102
12. ОБРАБОТКА ПРЕРЫВАНИЙ	105
Таблица 12.1. Источники прерываний.....	106
13. Механизм упреждающей выборки	113
14. ИСТОЧНИКИ СБРОСА	115
Таблица 14.1. Электрические параметры источников сброса	120
15. FLASH-ПАМЯТЬ	121
Таблица 15.1. Электрические параметры FLASH-памяти	126
16. Внешнее ОЗУ	127
17. Генераторы	129
Таблица 17.1. Электрические параметры внутреннего генератора	136
18. ПОРТ ВВОДА/ВЫВОДА	137
Таблица 18.1. Электрические характеристики порта ввода/вывода	150
19. Модуль SMBus / I2C (SMBUS0)	151
Таблица 19.1. Выбор источника тактирования SMBus	156
Таблица 19.2. Минимальные значения времени установления и времени удержания сигнала SDA.....	157
Таблица 19.3. События, вызывающие аппаратную установку/сброс битов регистра SMB0CN.....	161
Таблица 19.4. Декодирование состояний SMBus	168
20. УАППО	171
Таблица 20.1. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внутреннего генератора	178
Таблица 20.2. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора	178
Таблица 20.3. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора	179
Таблица 20.4. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора	179
Таблица 20.5. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора	180
Таблица 20.6. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора	180
21. МОДУЛЬ SPI (SPI0).....	181
Таблица 21.1. Временные параметры ведомого SPI.....	193
22. ТАЙМЕРЫ.....	195



23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ	211
Таблица 23.1. Выбор тактового сигнала для ПМС	212
Таблица 23.2. Настройка модулей захват/сравнение в регистре PCA0CPM.....	213
Таблица 23.3. Значения таймаута сторожевого таймера*	221
24. ИНТЕРФЕЙС С2	227

СПИСОК РЕГИСТРОВ

1. КРАТКИЙ ОБЗОР.....	17
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ*	29
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	30
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	31
5. 24-разрядный или 16-разрядный АЦП (АЦПО)	41
SFR-описание 5.1. ADC0CN: Регистр управления АЦПО.....	48
SFR-описание 5.2. ADC0CF: Регистр конфигурации АЦПО	49
SFR-описание 5.3. ADC0MD: Регистр режима АЦПО	50
SFR-описание 5.4. ADC0CLK: Делитель частоты тактирования модулятора АЦПО	51
SFR-описание 5.5. ADC0DECH: Регистр старшего байта коэффициента децимации АЦПО	51
SFR-описание 5.6. ADC0DECL: Регистр младшего байта коэффициента децимации АЦПО	52
SFR-описание 5.7. ADC0DAC: Смещающий ЦАП АЦПО.....	52
SFR-описание 5.8. ADC0BUF: Регистр управления входными буферами АЦПО	53
SFR-описание 5.9. ADC0STA: Регистр состояния АЦПО	54
SFR-описание 5.10. ADC0CON: Регистр старшего байта коэффициента калибровки смещения АЦПО	55
SFR-описание 5.11. ADC0COM: Регистр среднего байта коэффициента калибровки смещения АЦПО	55
SFR-описание 5.12. ADC0COL: Регистр младшего байта коэффициента калибровки смещения АЦПО	55
SFR-описание 5.13. ADC0CGH: Регистр старшего байта коэффициента калибровки крутизны АЦПО.....	56
SFR-описание 5.14. ADC0CGM: Регистр среднего байта коэффициента калибровки крутизны АЦПО.....	56
SFR-описание 5.15. ADC0CGL: Регистр младшего байта коэффициента калибровки крутизны АЦПО.....	56
SFR-описание 5.16. ADC0H: Регистр старшего байта результата преобразования АЦПО (выход фильтра SINC3)	57
SFR-описание 5.17. ADC0M: Регистр среднего байта результата преобразования АЦПО (выход фильтра SINC3)	57
SFR-описание 5.18. ADC0L: Регистр младшего байта результата преобразования АЦПО (выход фильтра SINC3)	57
SFR-описание 5.19. ADC0FH: Регистр старшего байта результата преобразования АЦПО (выход фильтра Fast).....	58
SFR-описание 5.20. ADC0FM: Регистр среднего байта результата преобразования АЦПО (выход фильтра Fast).....	58
SFR-описание 5.21. ADC0FL: Регистр младшего байта результата преобразования АЦПО (выход фильтра Fast).....	58
SFR-описание 5.22. ADC0MUX: Регистр управления аналоговым мультиплексором АЦПО	60



6. 8-разрядные ЦАП с токовым выходом (ЦАП0 и ЦАП1)	67
SFR-описание 6.1. IDA0CN: Регистр управления ЦАП0	69
SFR-описание 6.2. IDA0: Регистр данных ЦАП0	69
SFR-описание 6.3. IDA1CN: Регистр управления ЦАП1	70
SFR-описание 6.4. IDA0: Регистр данных ЦАП1	70
7. Источник опорного напряжения	73
SFR-описание 7.1. REF0CN: Регистр управления ИОН	74
8. Датчик температуры	77
9. Компаратор 0	79
SFR-описание 9.1. CPT0CN: Регистр управления Компаратора 0	81
SFR-описание 9.2. CPT0MD: Регистр выбора режима Компаратора 0	82
SFR-описание 9.3. CPT0MX: Регистр управления мультиплексором Компаратора 0	84
10. ПРОЦЕССОРНОЕ ЯДРО CIP-51	87
SFR-описание 10.1. SP: Указатель стека	93
SFR-описание 10.2. DPL: Младший байт указателя данных	93
SFR-описание 10.3. DPH: Старший байт указателя данных	93
SFR-описание 10.4. PSW: Слово состояния программы	94
SFR-описание 10.5. ACC: Аккумулятор	95
SFR-описание 10.6. B: Регистр B	95
SFR-описание 10.7. PCON: Регистр управления электропитанием	97
11. Организация памяти и SFR-регистры	99
12. ОБРАБОТКА ПРЕРЫВАНИЙ	105
SFR-описание 12.1. IE: Регистр разрешения прерываний	107
SFR-описание 12.2. IP: Регистр приоритетов прерываний	108
SFR-описание 12.3. EIE1: Дополнительный регистр разрешения прерываний 1	109
SFR-описание 12.4. EIP1: Дополнительный регистр приоритетов прерываний 1	110
SFR-описание 12.5. IT01CF: Регистр конфигурации INT0/INT1	112
13. Механизм упреждающей выборки	113
SFR-описание 13.1. PFE0CN: Регистр управления механизмом упреждающей выборки	113
14. ИСТОЧНИКИ СБРОСА	115
SFR-описание 14.1. VDM0CN: Регистр управления схемой слежения за напряжением питания	117
SFR-описание 14.2. RSTSRC: Регистр источников сброса	119
15. FLASH-ПАМЯТЬ	121
SFR-описание 15.1. PSCTL: Регистр управления записью/стиранием памяти программ	125
SFR-описание 15.2. FLKEY: Регистр блокировки и ключевого кода Flash-памяти	125
SFR-описание 15.3. FLSCL: Регистр управления контроллером Flash-памяти	126

16. Внешнее ОЗУ	127
SFR-описание 16.1. EMI0CN: Регистр управления интерфейсом внешней памяти.....	127
17. Генераторы	129
SFR-описание 17.1. OSCICN: Регистр управления внутренним генератором.....	130
SFR-описание 17.2. OSCICL: Регистр калибровки внутреннего генератора.....	130
SFR-описание 17.3. OSCXCN: Регистр управления внешним генератором.....	134
SFR-описание 17.4. CLKMUL: Регистр управления умножителем тактовой частоты.....	135
SFR-описание 17.5. CLKSEL: Регистр выбора тактового генератора.....	136
18. ПОРТ ВВОДА/ВЫВОДА	137
SFR-описание 18.1. XBR0: Регистр 0 матрицы портов ввода/вывода.....	142
SFR-описание 18.2. XBR1: Регистр 1 матрицы портов ввода/вывода.....	143
SFR-описание 18.3. P0: Регистр данных Порта 0	145
SFR-описание 18.4. P0MDIN: Регистр настройки входов Порта 0	145
SFR-описание 18.5. P0MDOUT: Регистр настройки выходов Порта 0	146
SFR-описание 18.6. P0SKIP: Регистр выбора выводов Порта 0, пропускаемых матрицей	146
SFR-описание 18.7. P1: Регистр данных Порта 1	147
SFR-описание 18.8. P1MDIN: Регистр настройки входов Порта 1	147
SFR-описание 18.9. P1MDOUT: Регистр настройки выходов Порта 1	148
SFR-описание 18.10. P1SKIP: Регистр выбора выводов Порта 1, пропускаемых матрицей	148
SFR-описание 18.11. P2: Регистр данных Порта 2	149
SFR-описание 18.12. P2MDOUT: Регистр настройки выходов Порта 2	149
19. Модуль SMBus / I2C (SMBUS0)	151
SFR-описание 19.1. SMB0CF: Регистр конфигурации модуля SMBus0	158
SFR-описание 19.2. SMB0CN: Регистр управления модуля SMBus0.....	160
SFR-описание 19.3. SMB0DAT: Регистр данных модуля SMBus0	162
20. УАППО	171
SFR-описание 20.1. SCON0: Регистр управления УАППО.....	176
SFR-описание 20.2. SBUF0: Регистр буфера данных УАППО	177
21. МОДУЛЬ SPI (SPI0).....	181
SFR-описание 21.1. SPI0CFG: Регистр конфигурации модуля SPI0	187
SFR-описание 21.2. SPI0CN: Регистр управления модуля SPI0.....	188
SFR-описание 21.3. SPI0CKR: Регистр установки тактовой частоты модуля SPI0	189
SFR-описание 21.4. SPI0DAT: Регистр данных модуля SPI0.....	190
22. ТАЙМЕРЫ.....	195
SFR-описание 22.1. TCON: Регистр управления Таймерами 0 и 1	199
SFR-описание 22.2. TMOD: Регистр режима Таймеров 0 и 1	200
SFR-описание 22.3. CKCON: Регистр управления тактированием.....	201
SFR-описание 22.4. TL0: Младший байт Таймера 0	202
SFR-описание 22.5. TL1: Младший байт Таймера 1	202
SFR-описание 22.6. TH0: Старший байт Таймера 0	202
SFR-описание 22.7. TH1: Старший байт Таймера 1	202
SFR-описание 22.8. TMR2CN: Регистр управления Таймера 2	205



SFR-описание 22.9. TMR2RLL: Младший байт регистра перезагрузки Таймера 2.....	206
SFR-описание 22.10. TMR2RLH: Старший байт регистра перезагрузки Таймера 2.....	206
SFR-описание 22.11. TMR2L: Младший байт Таймера 2	206
SFR-описание 22.12. TMR2H: Старший байт Таймера 2.....	206
SFR-описание 22.13. TMR3CN: Регистр управления Таймера 3	209
SFR-описание 22.14. TMR3RLL: Младший байт регистра перезагрузки Таймера 3.....	210
SFR-описание 22.15. TMR3RLH: Старший байт регистра перезагрузки Таймера 3.....	210
SFR-описание 22.16. TMR3L: Младший байт Таймера 3	210
SFR-описание 22.17. TMR2H: Старший байт Таймера 3.....	210
23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ	211
SFR-описание 23.1. PCA0CN: Регистр управления ПМС.....	222
SFR-описание 23.2. PCA0MD: Регистр режима ПМС.....	223
SFR-описание 23.3. PCA0CPMn: Регистры управления модулями захват/сравнение.....	224
SFR-описание 23.4. PCA0L: Младший байт таймера/счетчика ПМС	225
SFR-описание 23.5. PCA0H: Старший байт таймера/счетчика ПМС	225
SFR-описание 23.6. PCA0CPLn: Младший байт модуля захвата ПМС.....	226
SFR-описание 23.7. PCA0CPHn: Старший байт модуля захвата ПМС	226
24. ИНТЕРФЕЙС C2.....	227
Описание C2-регистра 24.1. C2ADD: Регистр адреса C2	227
Описание C2-регистра 24.2. DEVICEID: Регистр идентификатора C2-устройства.....	227
Описание C2-регистра 24.3. REVID: Регистр идентификатора версии C2.....	228
Описание C2-регистра 24.4. FPCTL: Регистр управления программированием Flash-памяти посредством интерфейса C2	228
Описание C2-регистра 24.5. FPDAT: Регистр данных интерфейса C2, используемый при программировании Flash-памяти	228

Примечания:

1. КРАТКИЙ ОБЗОР

Микроконтроллеры (МК) C8051F350/1/2/3 представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных (аналого-цифровых) сигналов. Отличительные особенности данного семейства МК перечислены ниже. Сравнительная характеристика МК приведена в таблице 1.1.

- Высокопроизводительное микропроцессорное ядро CIP-51 с конвейерной архитектурой, совместимое со стандартом 8051 (максимальная производительность – 50 MIPS).
- Встроенные средства отладки, обеспечивающие внутрисистемную, «неразрушающую» отладку в режиме реального времени.
- 24-разрядный или 16-разрядный однофазный/дифференциальный АЦП с аналоговым мультиплексором.
- Два 8-разрядных ЦАП с токовым выходом.
- Прецизионный программируемый внутренний генератор 24.5 МГц.
- 8 Кбайт встроенной Flash-памяти.
- 768 байт встроенного ОЗУ.
- Аппаратно реализованные последовательные интерфейсы I²C/SMBus, SPI и УАПП.
- Четыре 16-разрядных таймера общего назначения.
- Программируемый массив счетчиков/таймеров (ПМС) с тремя модулями захвата/сравнения и функцией сторожевого таймера.
- Встроенные схема сброса по включению питания, схема слежения за напряжением питания и датчик температуры.
- 17 портов ввода/вывода (с допустимым напряжением на внешних выводах до 5В).

Все МК C8051F350/1/2/3 имеют встроенные схему сброса по включению питания, схему слежения за напряжением питания, сторожевой таймер, тактовый генератор и представляют собой, таким образом, функционально-законченную систему на кристалле. Имеется возможность внутрисхемного программирования Flash-памяти, что обеспечивает долговременное (энергонезависимое) хранение данных, а также позволяет осуществлять обновление программного обеспечения в готовых изделиях. Программа пользователя может полностью управлять всеми периферийными модулями, а также может индивидуально отключить любой из них с целью уменьшения энергопотребления.

Встроенный двухпроводный Silicon Labs Development Interface (интерфейс C2) позволяет производить «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку в режиме реального времени, используя МК, установленные в конечное изделие. Средства отладки обеспечивают проверку и модификацию памяти и регистров, расстановку точек останова, пошаговое выполнение программы, а также поддерживают команды запуска и остановки. В процессе отладки с использованием интерфейса C2 все аналоговые и цифровые периферийные модули полностью сохраняют свою работоспособность. Два вывода интерфейса C2 могут использоваться для других пользовательских функций, что позволяет осуществлять внутрисистемную отладку, не занимая для этого отдельные выводы корпуса.

Каждый МК предназначен для работы в промышленном температурном диапазоне (-45°C...+85°C) при напряжении питания 2,7В...3,6В. На порты ввода/вывода и вывод /RST могут быть поданы входные сигналы напряжением до 5В. МК C8051F350/1/2/3 выпускаются в 28-выводных корпусах типа QFN (обозначаемые также как MLP или MLF) или в 32-выводных корпусах типа LQFP (см. рис.1.1 – рис.1.4).

Таблица 1.1. Сравнительная характеристика микроконтроллеров

	МIPS (макс.)	FLASH - память	ОЗУ	Калибруемый внутренний генератор 24.5 МГц	Умножитель тактовой частоты	SMBus/I2C	SPI	UART	Таймеры (16-разр.)	Программируемый массив счетчиков	Цифровые порты ввода/вывода	24-разр. АЦП	16-разр. АЦП	Два 8-разр. ЦАП с токовым выходом	Датчик температуры	Внутренний источник опорного напряжения	Аналоговый компаратор	RoHS-совместимость	Тип корпуса
C8051F350	50	8k	768	√	√	√	√	√	4	√	17	√	-	√	√	√	√	√	LQFP-32
C8051F351	50	8k	768	√	√	√	√	√	4	√	17	√	-	√	√	√	√	√	QFN-28
C8051F352	50	8k	768	√	√	√	√	√	4	√	17	-	√	√	√	√	√	√	LQFP-32
C8051F353	50	8k	768	√	√	√	√	√	4	√	17	-	√	√	√	√	√	√	QFN-28

Рисунок 1.1. Структурная схема C8051F350

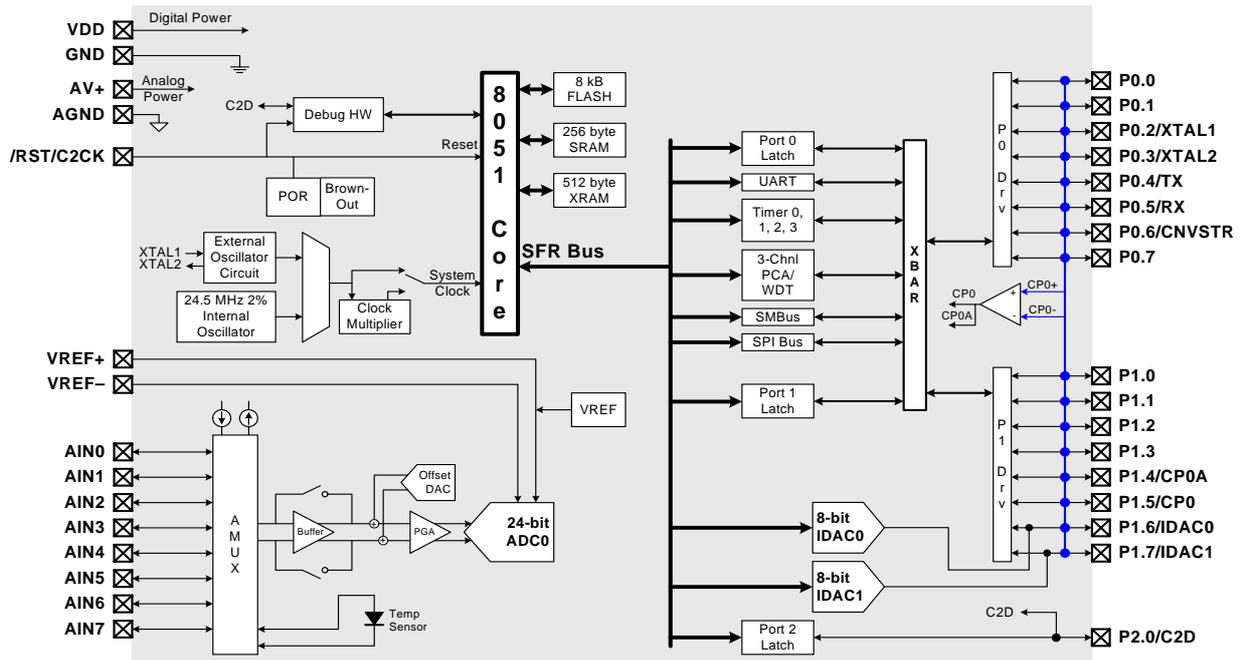
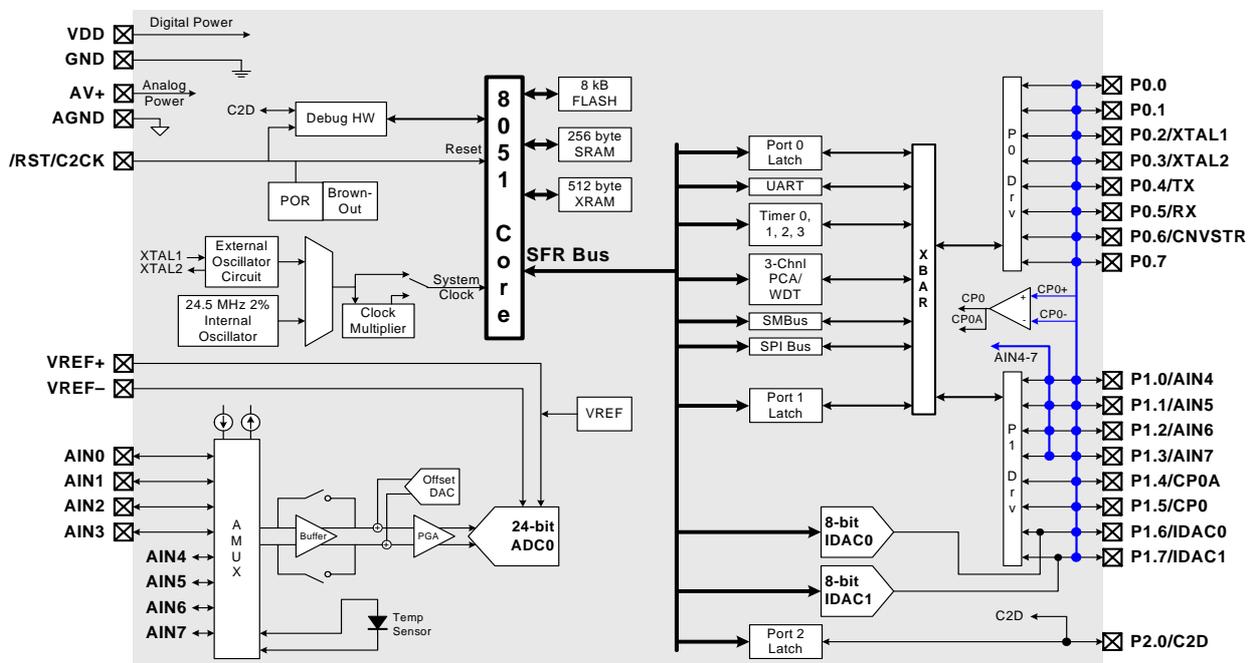


Рисунок 1.2. Структурная схема C8051F351



1.1. Процессорное ядро CIP-51TM

1.1.1. Полностью 8051-совместимая архитектура

МК семейства C8051F350/1/2/3 используют разработанное фирмой Silicon Labs' процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51™. Для разработки программного обеспечения могут использоваться стандартные 803x/805x ассемблеры и компиляторы. МК семейства C8051F35x содержат всю периферию, соответствующую стандарту 8052.

1.1.2. Улучшенная производительность

CIP-51 использует конвейерную архитектуру, что существенно повышает скорость выполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 системных тактовых цикла при максимальной тактовой частоте 12...24 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два системных тактовых цикла, и только четыре команды требуют более четырех системных тактовых циклов.

При работе на тактовой частоте 50 МГц производительность ядра CIP-51 может достигать 50 MIPS. Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми системных тактовых циклов:

Количество команд	26	50	5	14	7	3	1	2	1
Количество системных тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

1.1.3. Дополнительные функции

МК семейства C8051F350/1/2/3 имеют ряд важных особенностей, которые позволяют улучшить общую производительность и упростить использование МК в конечных приложениях.

Развитая система прерываний позволяет многочисленным аналоговым и цифровым периферийным модулям функционировать независимо от процессорного ядра и прерывать работу МК только при необходимости. Управляемые прерываниями системы требуют меньшего вмешательства со стороны процессорного ядра, что делает их более эффективными и упрощает реализацию многозадачных систем, работающих в режиме реального времени.

Имеется восемь источников сброса: схема сброса по включению питания (POR), встроенная схема слежения за напряжением питания, сторожевой таймер, детектор исчезновения тактирования, Компаратор 0, принудительный программный сброс, внешний вывод сброса и схема защиты от некорректного доступа к Flash-памяти. Любой источник сброса, за исключением POR, входного вывода сброса и сброса от ошибки обращения к Flash-памяти, может быть отключен программно. Стороживой таймер может быть включен после сброса типа POR (сброс при включении питания) в процессе инициализации МК.

Внутренний генератор калибруется в процессе изготовления с точностью 24.5МГц ± 2%. Имеется также схема возбуждения внешнего генератора, позволяющая использовать для генерации системного тактового сигнала внешний кварцевый или керамический резонатор, конденсатор, RC-цепочку или КМОП источник импульсов. Умножитель тактовой частоты позволяет увеличить частоту тактирования системы до 50 МГц. В приложениях с пониженным энергопотреблением крайне полезным может быть режим работы МК с медленным (мало потребляющим) внешним кварцевым генератором с периодическим переключением (при необходимости) на быстрый внутренний генератор.

1.2. Встроенные средства отладки

МК C8051F350/1/2/3 имеют встроенный двухпроводный Silicon Labs Development Interface (интерфейс C2), который позволяет производить «неразрушающую» внутрисхемную отладку в режиме реального времени, используя МК, установленные в конечном изделии.

Средства отладки Silicon Labs' обеспечивают проверку и модификацию памяти и регистров, расстановку точек останова, а также пошаговое выполнение программы. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ, таймеров или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно. При остановке МК в точке останова или при пошаговой отладке работа всех периферийных модулей (кроме АЦП и SMBus) блокируется, что необходимо для удержания их в режиме синхронизации с выполнением команд.

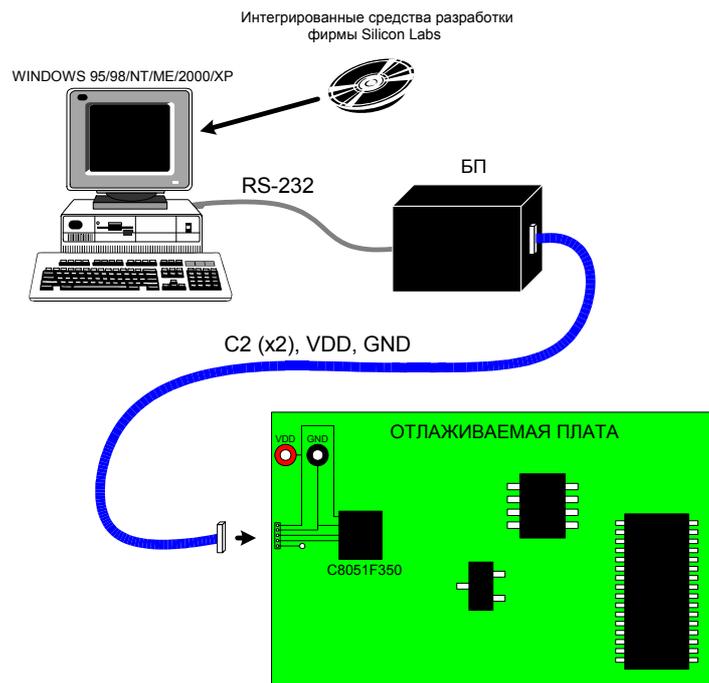
Комплект средств разработки C8051F350DK содержит все аппаратные и программные средства, необходимые для разработки программного кода и выполнения внутрисхемной отладки систем на основе МК C8051F35x. Этот комплект включает в себя программный пакет с интегрированной средой разработки и отладчиком, адаптер для интерфейса C2, демонстрационную плату с установленным МК, все необходимые кабели, а также блок питания в отдельном корпусе. Для работы необходим компьютер с ОС Windows 98 SE или более поздней.

По сравнению со стандартными симуляторами интерфейс Silicon Labs IDE обеспечивает следующие преимущества:

- не требуется отладочный кристалл;
- не используются специализированные кабели;
- не требуется использовать разъем для установки МК на плату.

Предлагаемый Silicon Labs' способ отладки обеспечивает удобство работы с прецизионными аналоговыми периферийными модулями и при этом не ухудшает их производительности.

Рисунок 1.5. Модель отладки

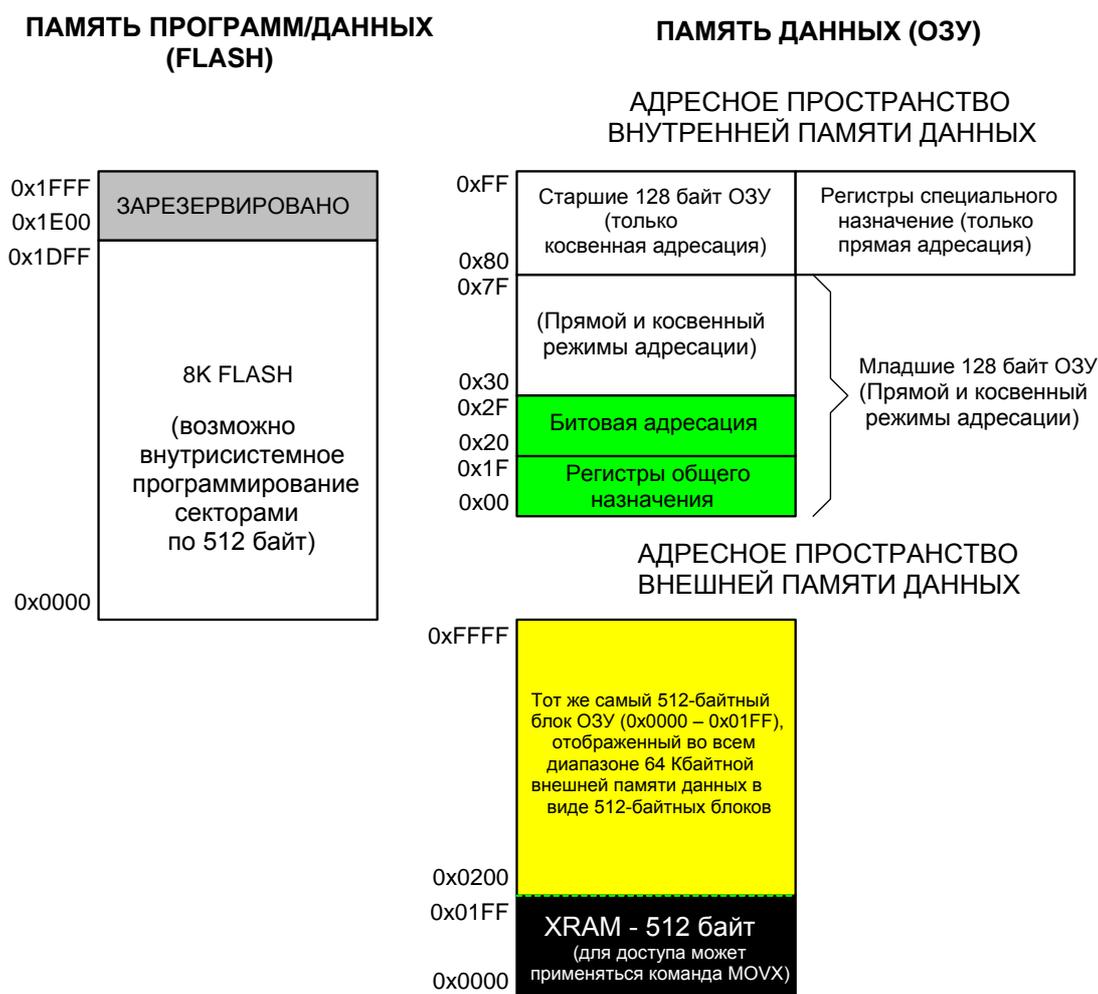


1.3. Встроенная память

CIP-51 имеет стандартную (8051) структуру адресного пространства памяти программ и данных. В состав памяти входит ОЗУ объемом 256 байт, старшие 128 байт которого имеют двойную конфигурацию. В режиме косвенной адресации осуществляется доступ к старшим 128 байтам ОЗУ общего назначения, а в режиме прямой адресации осуществляется доступ к 128 байтам адресного пространства регистров специального назначения (SFR). Младшие 128 байт ОЗУ доступны как для прямой, так и для косвенной адресации. Из них первые 32 байта адресуются как четыре банка регистров общего назначения, а следующие 16 байт могут адресоваться как побайтно, так и побитно.

Память программ МК состоит из 8 Кбайт Flash-памяти. Эта память может перепрограммироваться внутрисистемно секторами по 512 байт, не требуя при этом специального внешнего напряжения программирования.

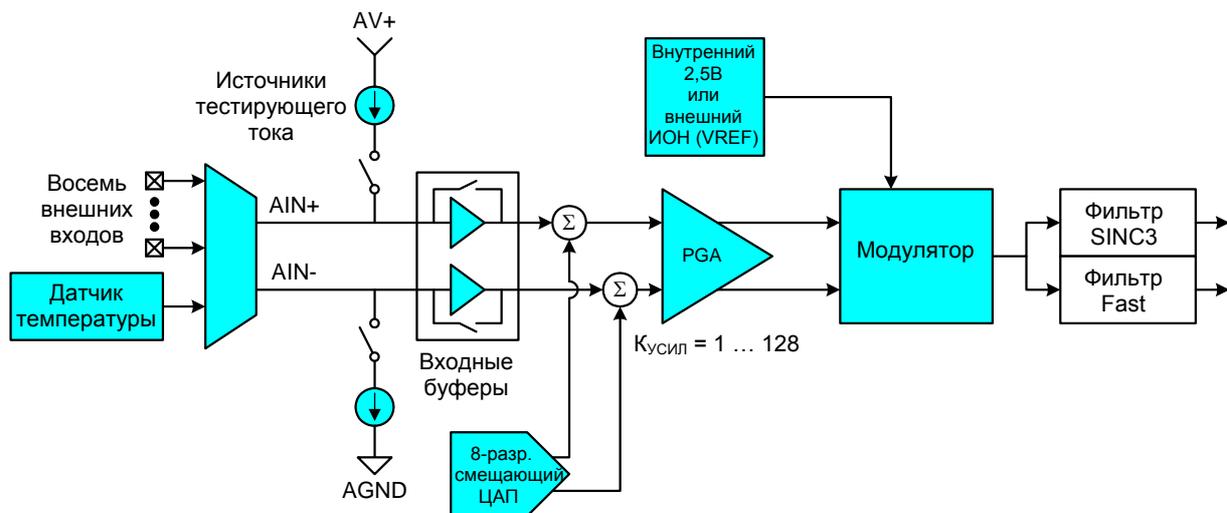
Рисунок 1.6. Карта распределения памяти



1.4. 24-разрядный или 16-разрядный аналого-цифровой преобразователь (АЦП)

МК C8051F350/1/2/3 содержат полностью дифференциальный 24-разрядный (C8051F350/1) или 16-разрядный (C8051F352/3) сигма-дельта АЦП со встроенными средствами калибровки. Два отдельных цифровых фильтра-дециматора можно запрограммировать для различных значений производительности (до 1 кГц). Имеется внутренний источник опорного напряжения 2.5В. Можно также использовать дифференциальный внешний источник опорного напряжения для логометрических измерений. Имеется программируемый усилитель, поддерживающий восемь значений коэффициента усиления (до 128). Аналоговый входной мультиплексор позволяет подключать к дифференциальным входам восемь внешних выводов, внутренний датчик температуры или AGND. Встроенные входные буферы можно использовать для получения высокого входного сопротивления, что необходимо для непосредственного подключения высокочувствительных датчиков. 8-разрядный смещающий ЦАП позволяет корректировать большие входные напряжения смещения.

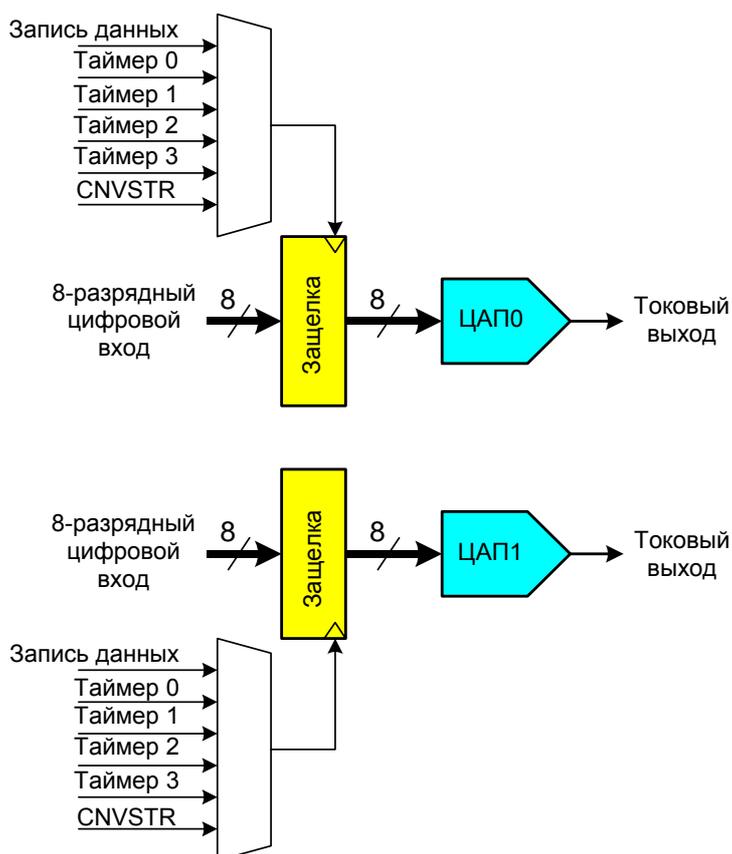
Рисунок 1.7. Структурная схема АЦП



1.5. Два 8-разрядных ЦАП с токовым выходом

МК C8051F350/1/2/3 содержат два 8-разрядных ЦАП с токовым выходом. Максимальный выходной ток каждого ЦАП можно настроить, выбрав любое из следующих значений: 0.25 мА, 0.5 мА, 1 мА или 2 мА. Каждый ЦАП отличает гибкий механизм обновления выходного сигнала, который позволяет плавно («бесшовно») изменять выходной сигнал во всем диапазоне значений и поддерживает обновление выходного сигнала без накопления фазовых искажений. Обновления выходного сигнала ЦАП могут выполняться «по требованию» программы, при переполнении таймера или синхронно с внешним сигналом. На рис.1.8 приведена структурная схема ЦАП.

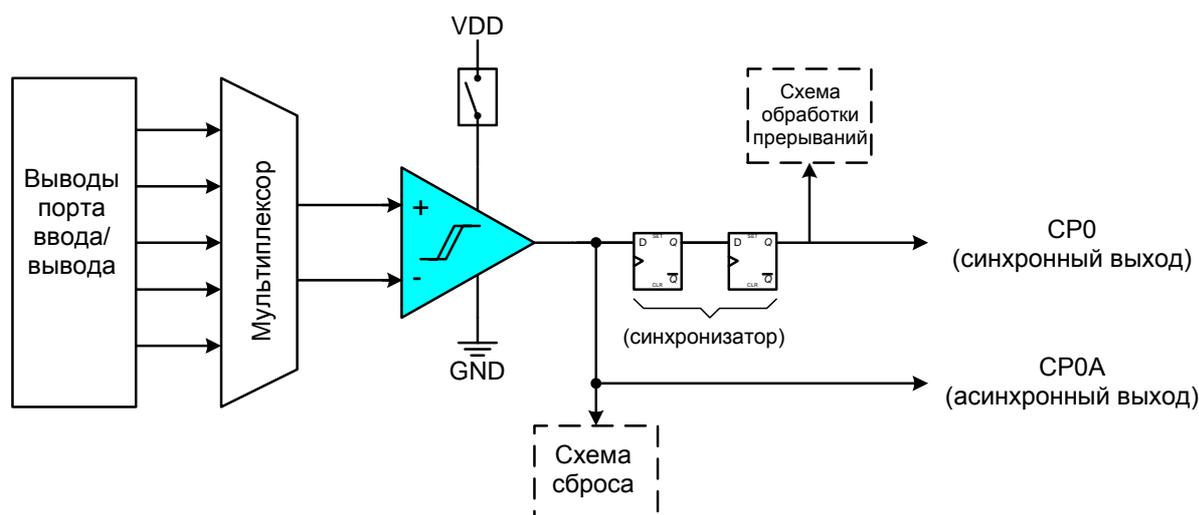
Рисунок 1.8. Структурная схема ЦАП



1.6. Программируемый компаратор

МК C8051F350/1/2/3 содержат программно управляемый компаратор напряжения с входным мультиплексором. Время отклика и гистерезис компаратора могут программироваться. Компаратор имеет два выхода, которые могут быть доступны (при необходимости) на внешних выводах порта: синхронный фиксируемый выход (CP0) и асинхронный «сырой» выход (CP0A). Компаратор может генерировать прерывание по переднему или заднему фронту петли гистерезиса, либо по обоим фронтам. В режиме ожидания эти прерывания можно использовать в качестве источника «пробуждения» процессора. Кроме этого, Компаратор 0 можно настроить как источник сброса. Структурная схема компаратора приведена на рис.1.9.

Рисунок 1.9. Структурная схема Компаратора 0



1.7. Последовательные порты

В МК семейства C8051F350/1/2/3 встроены следующие последовательные интерфейсы:

- полнодуплексный УАПП с усовершенствованным генератором скорости передачи данных;
- усовершенствованный SPI;
- I2C/SMBus.

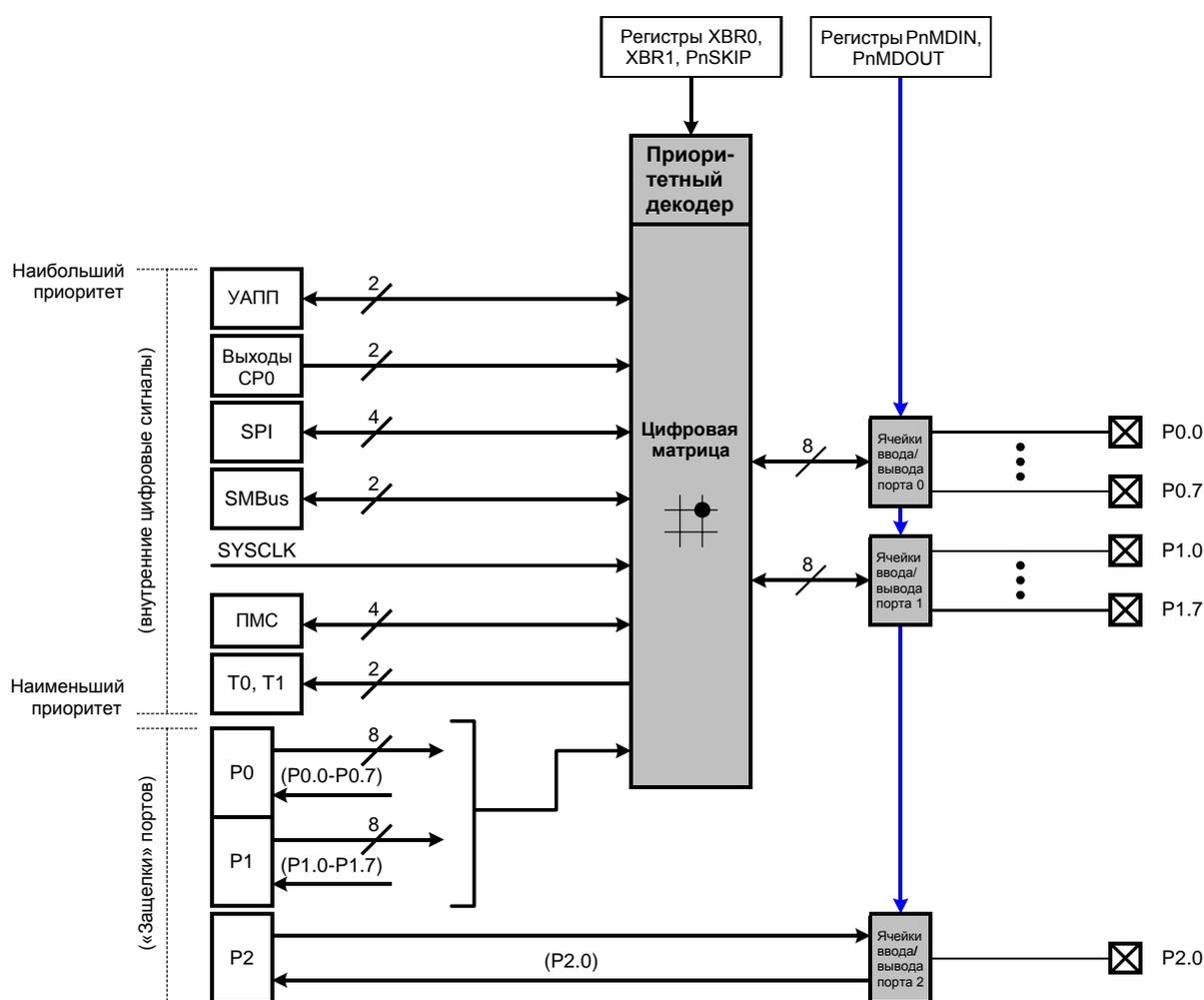
Каждый из этих интерфейсов реализован на аппаратном уровне и широко использует прерывания, требуя лишь незначительного вмешательства со стороны CPU.

1.8. Порт ввода/вывода

МК C8051F350/1/2/3 имеют 17 выводов ввода/вывода. Выводы ввода/вывода организованы в виде двух 8-разрядных портов и одного 1-разрядного порта. Выводы портов функционируют в соответствии со стандартом 8051 с некоторыми дополнительными возможностями. Каждый вывод порта можно настроить как аналоговый или цифровой вход-выход. Выводы, настроенные как цифровые входы-выходы, можно кроме этого настроить как двухтактные цифровые выходы или выходы с открытым стоком. Также допускается глобальное отключение слаботочковых подтягивающих резисторов (которые в типичных МК с архитектурой 8051 включены постоянно), что позволяет уменьшить энергопотребление.

Цифровая матрица позволяет необходимым образом соединять внутренние цифровые системные ресурсы с внешними выводами портов ввода/вывода. При помощи регистров управления матрицей на выводы портов могут быть выведены сигналы от внутренних таймеров/счетчиков, от последовательных интерфейсов, аппаратные прерывания и другие цифровые сигналы. Это позволяет пользователю выбрать точную комбинацию связей между портами ввода/вывода общего назначения и цифровыми ресурсами, необходимую для каждого конкретного приложения.

Рисунок 1.10. Структурная схема порта ввода/вывода



1.9. Программируемый массив счетчиков (ПМС)

Программируемый массив счетчиков (ПМС) обеспечивает дополнительные таймерные функции, требуя при этом меньшего вмешательства со стороны CPU, чем стандартные для архитектуры 8051 таймеры/счетчики. ПМС состоит из специального 16-разрядного таймера/счетчика и трех модулей захвата/сравнения. В качестве тактового сигнала таймера/счетчика ПМС могут использоваться:

- системный тактовый сигнал;
- сигнал системного тактового генератора с частотой, деленной на 4;
- сигнал системного тактового генератора с частотой, деленной на 12;
- сигнал внешнего генератора с частотой, деленной на 8;
- сигнал переполнения Таймера 0;
- сигнал от внешнего входа тактирования (ECI – external clock input).

Каждый модуль захвата/сравнения может быть настроен на работу в одном из шести режимов:

- захват, управляемый фронтом (сигнала);
- программный таймер;
- высокоскоростной выход;
- выход заданной частоты;
- 8-разрядный широтно-импульсный модулятор;
- 16-разрядный широтно-импульсный модулятор.

Кроме этого, модуль захвата/сравнения 2 может работать в режиме сторожевого таймера (WDT). После сброса модуль 2 настраивается и включается в режиме WDT. Входы/выходы модулей захвата/сравнения ПМС и внешний вход тактирования (ECI) соединяются с портами ввода/вывода МК через цифровую коммутирующую матрицу.

Рисунок 1.11. Структурная схема модуля ПМС



2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ*

Предельная рабочая температура.....	от -55°C до +125°C
Температура хранения.....	от -65°C до +150°C
Напряжение на любом выводе (кроме VDD, AV+ и портов ввода/вывода) относительно DGND.....	от -0.3В до (VDD + 0.3)В
Напряжение на любом выводе порта ввода/вывода или на выводе /RST относительно DGND.....	от -0.3В до 5.8В
Напряжение на выводе VDD относительно DGND.....	от -0.3В до 4.2В
Напряжение на выводе AV+ относительно AGND.....	от -0.3В до 4.2В
Максимальный выходной втекающий ток по любому порту ввода/вывода	100мА
Максимальный выходной втекающий ток по любому другому выводу ввода/вывода	50мА
Максимальный выходной вытекающий ток любого порта ввода/вывода	100мА
Максимальный выходной вытекающий ток любого другого вывода ввода/вывода	50мА
Максимальный суммарный ток по выводам VDD, AV+, DGND и AGND.....	500мА

* Выход за указанные значения может привести к необратимым повреждениям микроконтроллера. Работа микроконтроллера в предельном режиме в течение длительного времени не предусмотрена. Длительная эксплуатация микроконтроллера в недопустимых условиях может повлиять на его надежность.

3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Таблица 3.1. Основные электрические параметры

Температура от -40°C до +85°C, тактовая частота 25МГц, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Напряжение источника питания аналоговых модулей.	(см. примечание 1)	2.7	3.0	3.6	В
Ток потребления аналоговых модулей.	Все внутренние ИОН, АЦП, ЦАП, компаратор включены.		800		мкА
Ток потребления аналоговых модулей (отключенных).	Все внутренние ИОН, АЦП, ЦАП, компаратор отключены, генератор отключен.		< 1		мкА
Разность между напряжениями питания аналоговых и цифровых цепей (VDD – AV+)				0.5	В
Напряжение питания цифровых цепей.		2.7	3.0	3.6	В
Ток потребления цифровых модулей (CPU в активном режиме).	VDD = 2.7В VDD = 3.3В		10 14		мА мА
Ток потребления цифровых модулей (CPU остановлено, нет обращений к Flash-памяти).	VDD = 2.7В VDD = 3.3В		5.5 7.0		мА мА
Ток потребления в режиме остановки.	Генератор остановлен.		< 0.1		мкА
Напряжение сохранения данных ОЗУ			1.5		В
Рабочая температура		-40		+85	°С
SYSCLK (системная тактовая частота)	(см. примечания 2, 3)	0		50	МГц

Примечание 1: При напряжении питания аналоговых цепей AV+ менее 1В схема слежения за напряжением питания не работает.

Примечание 2: SYSCLK – внутренний сигнал тактирования МК. SYSCLK частотой более 25 МГц должен генерироваться с помощью умножителя тактовой частоты.

Примечание 3: Отладка невозможна при SYSCLK менее 32 кГц.



4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ

Таблица 4.1. Описание выводов МК C8051F350/1/2/3

Обозначение вывода	Номер вывода		Тип	Описание
	'F350 'F352	'F351 'F353		
VDD	21	17	Power	Напряжение питания цифровых цепей (2,7В...3,6В).
DGND	22	18	Ground	Общий вывод питания цифровых цепей («земля»).
AV+	10	6	Power	Напряжение питания аналоговых цепей (2,7В...3,6В).
AGND	9	5	Ground	Общий вывод питания аналоговых цепей («земля»).
/RST	12	8	D I/O	Сброс МК. Выход с открытым стоком внутренней схемы сброса по включению питания или схемы слежения за напряжением питания. Внешний источник может вызвать сброс МК, установив низкий логический уровень на этом выводе в течение не менее 1.5 мкс. Рекомендуется соединить этот вывод с выводом VDD подтягивающим резистором сопротивлением 1 кОм. См. раздел «Источники сброса».
C2CK			D I/O	Сигнал тактирования для отладочного интерфейса C2.
P2.0/	11	7	D I/O	Порт 2.0. См. полное описание в разделе «Порт ввода/вывода».
C2D			D I/O	Двунаправленный сигнал данных для отладочного интерфейса C2.
P0.0	13	9	D I/O или A In	Порт 0.0. См. полное описание в разделе «Порт ввода/вывода».
P0.1	14	10	D I/O или A In	Порт 0.1. См. полное описание в разделе «Порт ввода/вывода».
P0.2/	15	11	D I/O или A In	Порт 0.2. См. полное описание в разделе «Порт ввода/вывода».
XTAL1			A In	Вход внешнего тактового сигнала. Этот вывод является выходом внешнего генератора в случае использования кварцевого или керамического резонатора. См. раздел «Генераторы».
P0.3/	16	12	D I/O	Порт 0.3. См. полное описание в разделе «Порт ввода/вывода».
XTAL2			A I/O или D In	Выход внешнего тактового сигнала. Этот вывод является выходом схемы возбуждения для кварцевого или керамического резонатора, или входом внешнего тактового сигнала в случае использования КМОП-счетчика, C- или RC-генератора. См. раздел «Генераторы».
P0.4	17	13	D I/O или A In	Порт 0.4. См. полное описание в разделе «Порт ввода/вывода».
P0.5	18	14	D I/O или A In	Порт 0.5. См. полное описание в разделе «Порт ввода/вывода».
P0.6	19	15	D I/O или A In	Порт 0.6. См. полное описание в разделе «Порт ввода/вывода».
CNVSTR			D In	Внешний вход запуска преобразования для модулей ЦАП. См. полное описание в разделе «ЦАП».
P0.7	20	16	D I/O или A In	Порт 0.7. См. полное описание в разделе «Порт ввода/вывода».
P1.0/	23	19	D I/O или A In	Порт 1.0. См. полное описание в разделе «Порт ввода/вывода».
AIN0.4			A In	Входной канал 4 АЦПО (C8051F351/3 – см. полное описание в разделе «АЦПО»).
P1.1/	24	20	D I/O или A In	Порт 1.1. См. полное описание в разделе «Порт ввода/вывода».
AIN0.5			A In	Входной канал 5 АЦПО (C8051F351/3 – см. полное описание в разделе «АЦПО»).

Таблица 4.1. Описание выводов (продолжение)

Обозначение вывода	Номер вывода		Тип	Описание
	'F320	'F321		
P1.2/ AIN0.6	25	21	D I/O или A In A In	Порт 1.2. См. полное описание в разделе «Порт ввода/вывода». Входной канал 6 АЦПО (C8051F351/3 – см. полное описание в разделе «АЦПО»).
P1.3/ AIN0.7	26	22	D I/O или A In A In	Порт 1.3. См. полное описание в разделе «Порт ввода/вывода». Входной канал 7 АЦПО (C8051F351/3 – см. полное описание в разделе «АЦПО»).
P1.4	27	23	D I/O или A In	Порт 1.4. См. полное описание в разделе «Порт ввода/вывода».
P1.5	28	24	D I/O или A In	Порт 1.5. См. полное описание в разделе «Порт ввода/вывода».
P1.6/ IDA0	29	25	D I/O или A In A Out	Порт 1.6. См. полное описание в разделе «Порт ввода/вывода». Выход ЦАП0 (См. полное описание в разделе «ЦАП»).
P1.7/ IDA1	30	26	D I/O или A In A Out	Порт 1.7. См. полное описание в разделе «Порт ввода/вывода». Выход ЦАП1 (См. полное описание в разделе «ЦАП»).
AIN0.0	1	1	A In	Входной канал 0 АЦПО (См. полное описание в разделе «АЦПО»).
AIN0.1	2	2	A In	Входной канал 1 АЦПО (См. полное описание в разделе «АЦПО»).
AIN0.2	3	3	A In	Входной канал 2 АЦПО (См. полное описание в разделе «АЦПО»).
AIN0.3	4	4	A In	Входной канал 3 АЦПО (См. полное описание в разделе «АЦПО»).
AIN0.4	5	-	A In	Входной канал 4 АЦПО (См. полное описание в разделе «АЦПО»).
AIN0.5	6	-	A In	Входной канал 5 АЦПО (См. полное описание в разделе «АЦПО»).
AIN0.6	7	-	A In	Входной канал 6 АЦПО (См. полное описание в разделе «АЦПО»).
AIN0.7	8	-	A In	Входной канал 7 АЦПО (См. полное описание в разделе «АЦПО»).
VREF+	31	27	A I/O	Вывод положительного напряжения VREF (См. полное описание в разделе «Источник опорного напряжения»).
VREF-	32	28	A I/O	Вывод отрицательного напряжения VREF (См. полное описание в разделе «Источник опорного напряжения»).

Примечания

Рисунок 4.1. Цоколевка корпуса LQFP-32 (вид сверху)

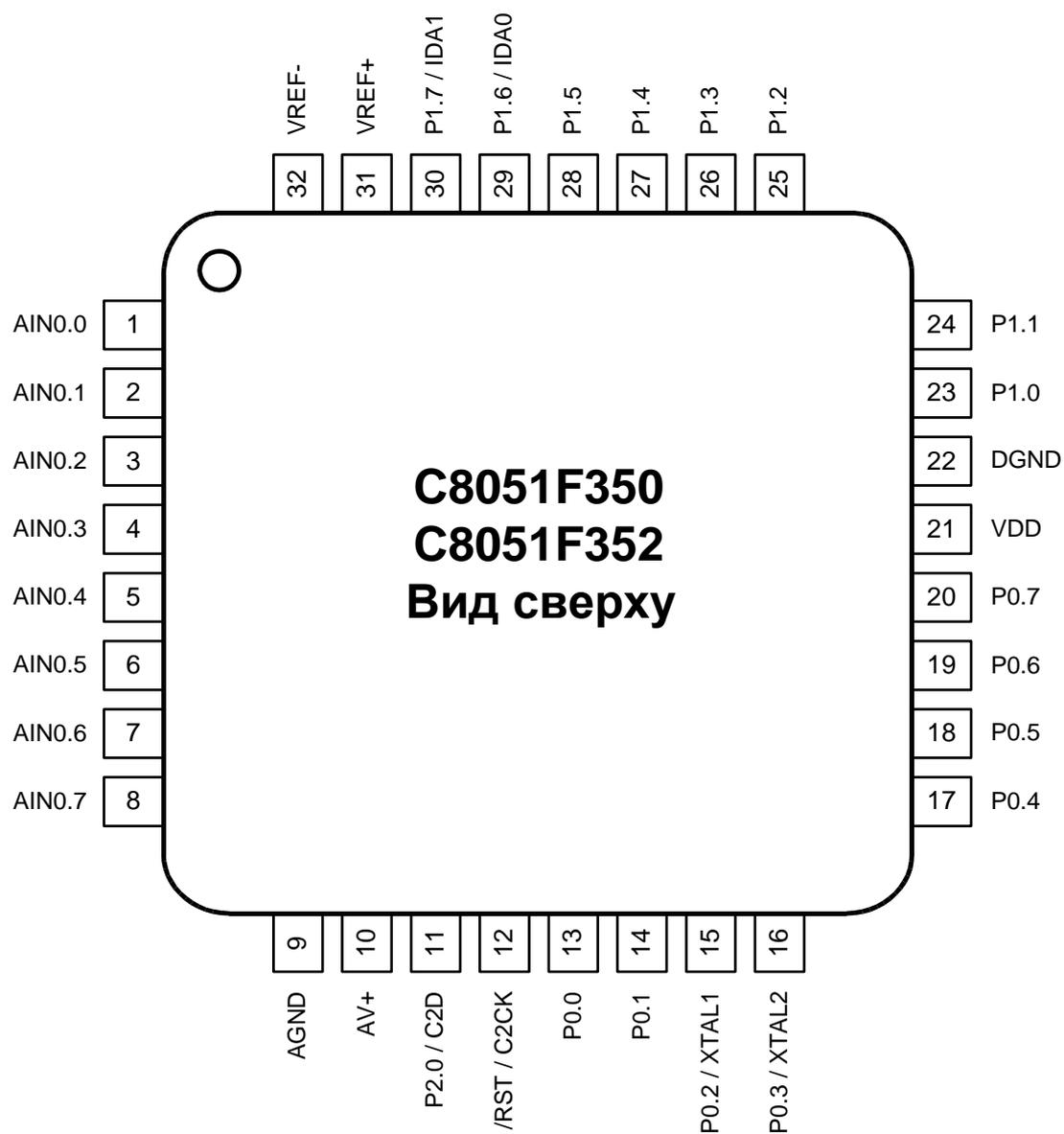


Рисунок 4.2. Цоколевка корпуса QFN-28 (вид сверху)

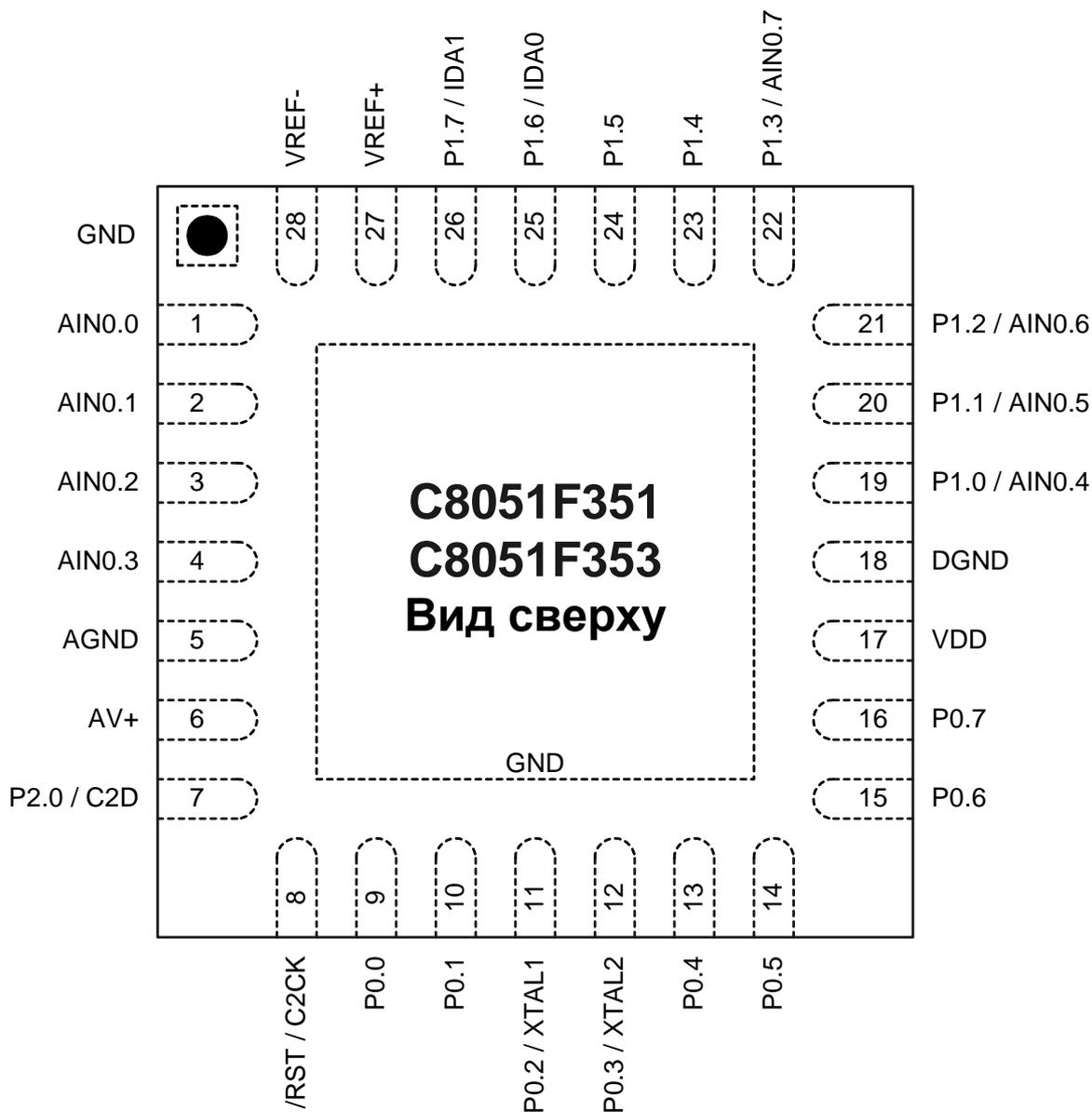


Рисунок 4.3. Чертеж корпуса LQFP-32

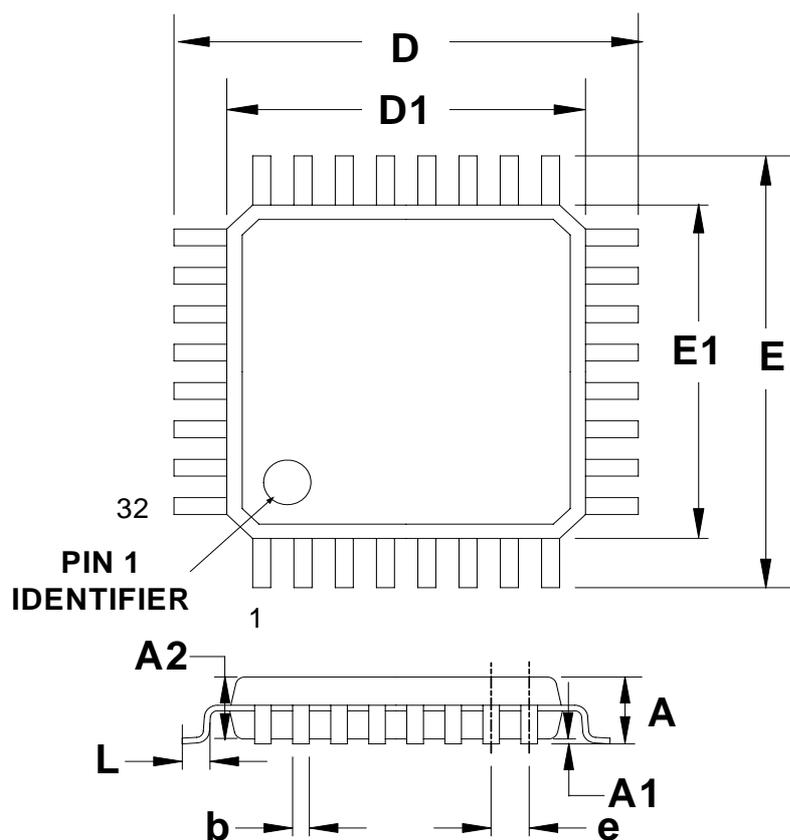


Таблица 4.2. Размеры корпуса LQFP-32

	MM		
	MIN	TYP	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
b	0.30	0.37	0.45
D	—	9.00	—
D1	—	7.00	—
e	—	0.80	—
E	—	9.00	—
E1	—	7.00	—
L	0.45	0.60	0.75

Рисунок 4.4. Чертеж корпуса QFN-28

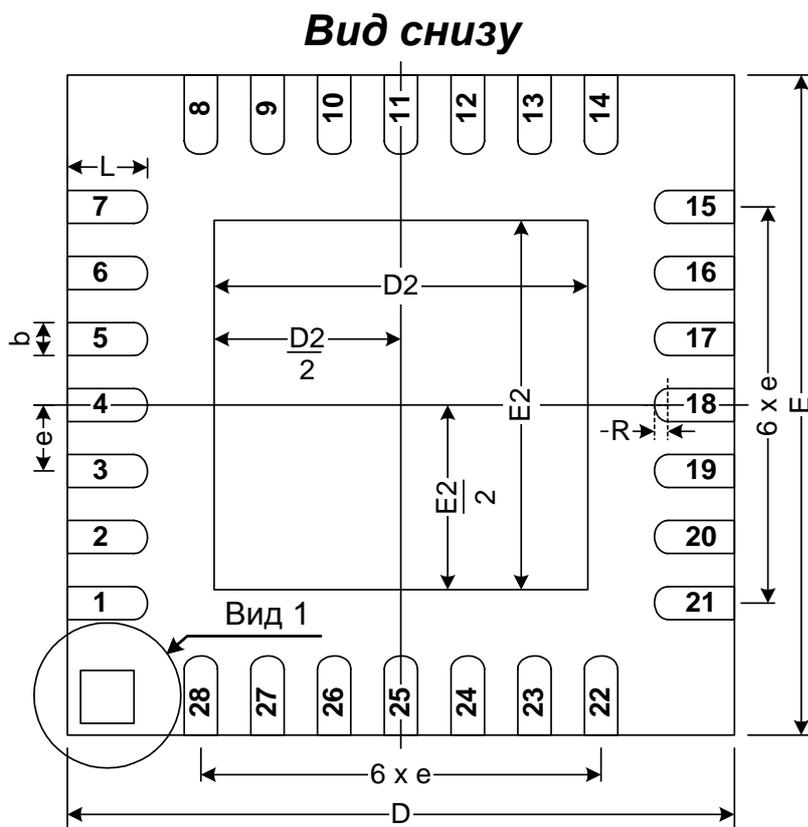
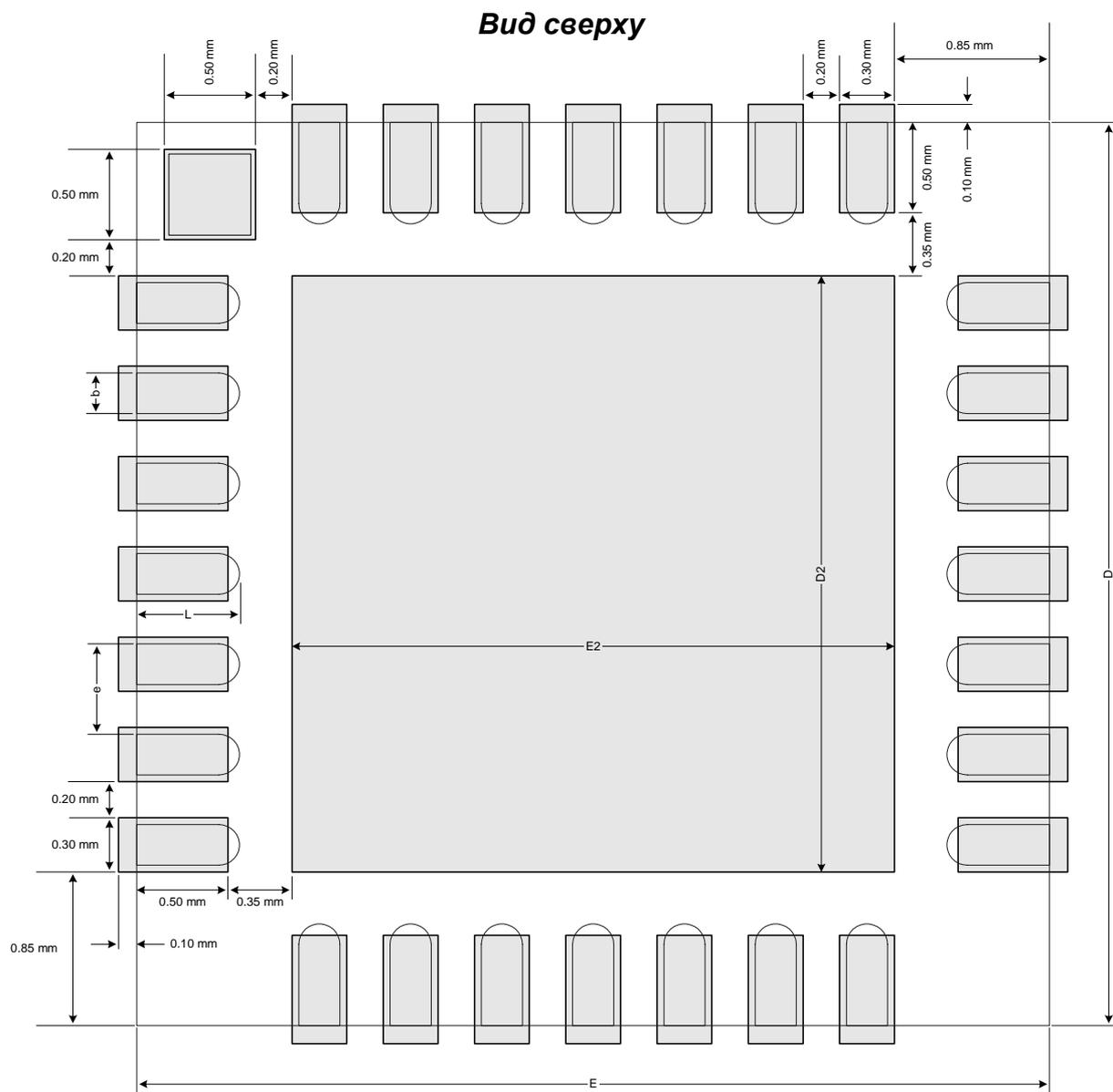


Таблица 4.3. Размеры корпуса QFN-28

	ММ		
	MIN	TYP	MAX
A	0.80	0.90	1.00
A1	0	0.02	0.05
A2	0	0.65	1.00
A3	—	0.25	—
b	0.18	0.23	0.30
D	—	5.00	—
D2	2.90	3.15	3.35
E	—	5.00	—
E2	2.90	3.15	3.35
e	—	0.5	—
L	0.45	0.55	0.65
N	—	28	—
ND	—	7	—
NE	—	7	—
R	0.09	—	—
AA	—	0.435	—
BB	—	0.435	—
CC	—	0.18	—
DD	—	0.18	—

Рисунок 4.5. Типичная схема посадочного места под корпус QFN-28

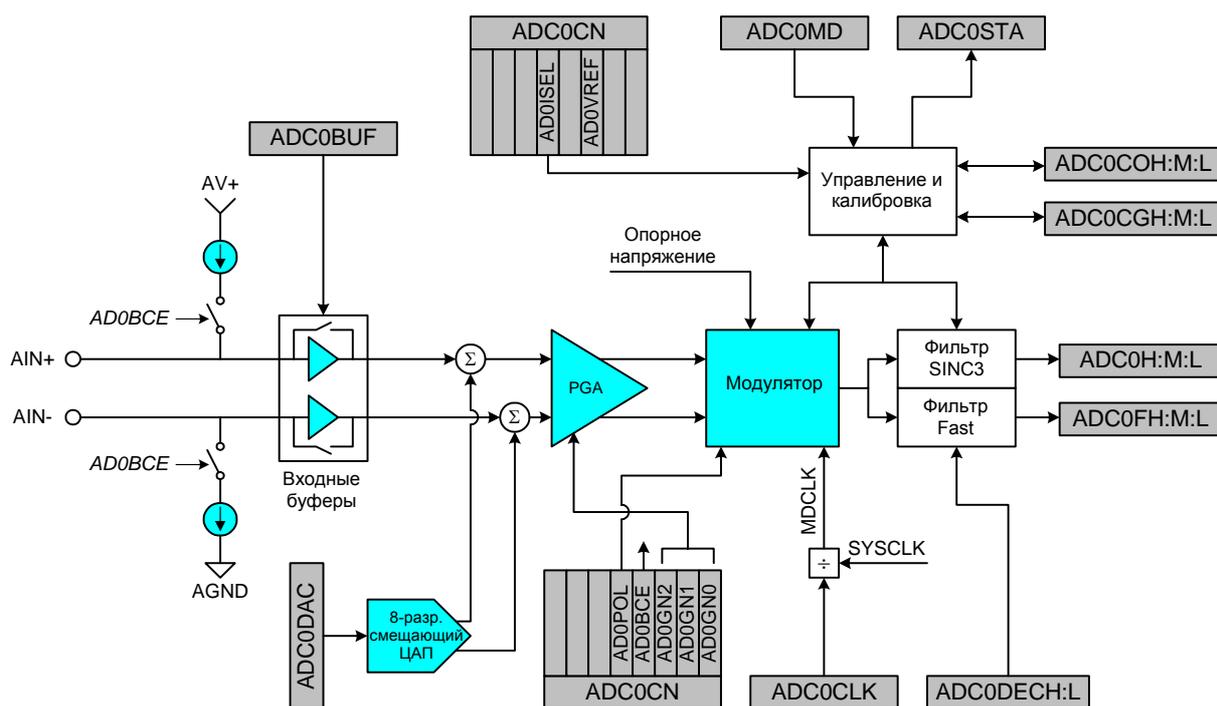


Примечания

5. 24-разрядный или 16-разрядный АЦП (АЦПО)

МК C8051F350/1/2/3 содержат полностью дифференциальный 24-разрядный (C8051F350/1) или 16-разрядный (C8051F352/3) сигма-дельта АЦП со встроенными средствами калибровки. Два отдельных цифровых фильтра-дециматора можно запрограммировать для различных значений производительности (до 1 кГц). Имеется внутренний источник опорного напряжения 2.5В. Можно также использовать дифференциальный внешний источник опорного напряжения для логометрических измерений. Имеется программируемый усилитель, поддерживающий восемь значений коэффициента усиления (до 128). Встроенные входные буферы можно использовать для получения высокого входного сопротивления, что необходимо для непосредственного подключения высокочувствительных датчиков. 8-разрядный смещающий ЦАП позволяет корректировать большие входные напряжения смещения.

Рисунок 5.1. Функциональная схема АЦПО



5.1. Настройка АЦПО

Для включения АЦПО следует установить в 1 бит AD0EN в регистре ADCOMD (см. SFR-описание 5.3). Если АЦП отключен, то он с целью минимизации энергопотребления переводится в экономичный режим остановки с полностью отключенным тактированием. В режиме остановки АЦП будет сохранять все свои настройки, кроме значения битов AD0SM, которое сбрасывается в 000b (режим ожидания).

5.1.1. Выбор источника опорного напряжения

Источник опорного напряжения модуля АЦП выбирается с помощью бита AD0VREF в регистре ADC0CF (см. SFR-описание 5.2). Если AD0VREF = 1, то АЦП использует внешний источник опорного напряжения. Если AD0VREF = 0, то используется внутренний источник опорного напряжения. Подробное описание источников опорного напряжения приведено в разделе 7 «Источник опорного напряжения» на стр.73.

5.2.1. Аналоговые входы

На аналоговые входы АЦП подаются либо напряжения с внешних выводов МК, либо внутренние напряжения, как описано в разделе 5.6 «Аналоговый мультиплексор» на стр.59. Аналоговые входы можно настроить либо как однофазные (один независимый вход, напряжение на котором измеряется относительно AGND), либо как дифференциальные (два независимых входа, напряжение на которых измеряется относительно друг друга). Для обеспечения точности измерений напряжения на входах АЦП должны соответствовать приведенному в табл.5.3 диапазону входных сигналов. Для предотвращения повреждения МК напряжения на всех внешних входах АЦП не должны превышать предельно допустимые значения, приведенные в разделе 2.

5.1.2.1. Программируемый усилитель

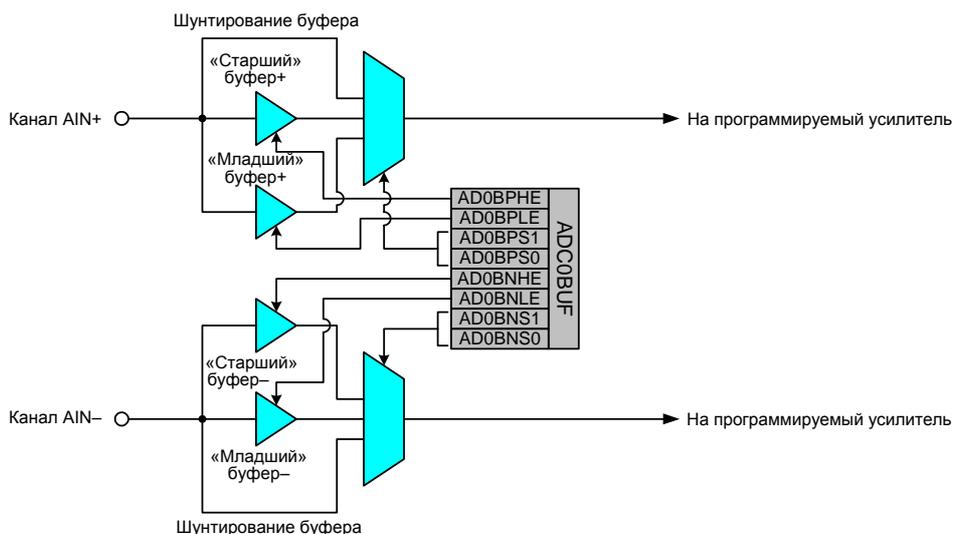
Программируемый усилитель (PGA – programmable gain amplifier) позволяет устанавливать следующие значения коэффициента усиления входных сигналов АЦП: 1, 2, 4, 8, 16, 32, 64 и 128. Выбор коэффициента усиления осуществляется с помощью бит AD0GN в регистре ADC0CN (см. SFR-описание 5.1).

5.1.2.2. Входные буферы

Как показано на рис.5.2, для каждого канала AIN+ и AIN- имеются независимые входные буферы. Каждый вход имеет набор из двух буферов, которые могут использоваться для минимизации входного тока АЦП при выполнении высокоточных измерений. «Младший» входной буфер может использоваться в том случае, когда абсолютное напряжение на входном выводе не превышает половину диапазона напряжения питания. «Старший» входной буфер каждого вывода может использоваться в том случае, когда абсолютное напряжение на входном выводе превышает половину диапазона напряжения питания. Диапазоны значений входных напряжений буферов приведены в табл.5.3. Также входные буферы можно шунтировать («закоротить») для непосредственного соединения входов АЦП со входами PGA. Управление входными буферами АЦП осуществляется с помощью регистра ADC0BUF (см. SFR-описание 5.8).



Рисунок 5.2. Управление буферами АЦП



5.1.3. Тактирование модулятора

Регистр ADC0CLK (см. SFR-описание 5.4) содержит значение делителя частоты тактирования модулятора (MDCLK). Частота тактирования модулятора определяет частоту переключения режимов выборки/хранения накапливающих конденсаторов АЦП. Оптимальная производительность будет достигнута в том случае, если $MDCLK = 2.4576$ МГц. Модулятор осуществляет выборку входного сигнала со скоростью $MDCLK/128$.

5.1.4. Коэффициент децимации

Коэффициент децимации фильтров АЦП выбирается с помощью битов DECI[10:0] в регистрах ADC0DECH и ADC0DECL (см. SFR-описания 5.5 и 5.6 соответственно). Коэффициент децимации равен $1 + DECI[10:0]$. Коэффициент децимации определяет, сколько выборок модулятора используются для генерации одного выходного слова. Частота генерации выходного слова АЦП равна частоте выборки модулятора, деленной на коэффициент децимации. Дополнительная информация о том, каким образом определяется частота генерации выходного слова АЦП, приведена в SFR-описании 5.4 и в SFR-описании 5.6. Увеличение коэффициента децимации приведет к генерации результатов с меньшим уровнем шумов при одновременном увеличении периода преобразования. Минимальное значение коэффициента децимации составляет 20. **При использовании выходных данных фильтра Fast коэффициент децимации должен быть установлен кратным 8.**

5.2. Калибровка АЦП

Как крутизну, так и смещение передаточной характеристики АЦПО можно калибровать внутрисистемно, используя режим внутренней калибровки или режим калибровки в составе системы. Чтобы обеспечить точность калибровки, необходимо калибровку смещения выполнять до калибровки крутизны. Нет необходимости выполнять как внутреннюю калибровку, так и калибровку в составе системы, т.к. калибровка в составе системы компенсирует любые источники внутренних погрешностей.

Калибровка смещения представляет собой единичное измерение, в ходе которого определяется, какое входное напряжение генерирует ноль на выходе АЦП. При выполнении калибровки смещения любое отклонение от нуля, полученное в ходе измерения, сохраняется в регистре смещения. Значение смещения вычитается из всех получаемых результатов (после окончания преобразования).

Калибровка крутизны представляет собой двухточечное измерение, в ходе которого определяется наклон передаточной функции АЦП. При выполнении калибровки крутизны осуществляется только одно измерение, результат которого считается значением полной шкалы передаточной функции АЦП. Значение, полученное в ходе калибровки смещения, используется в качестве второй точки; таким образом, можно вычислить коэффициент наклона передаточной функции АЦП. После коррекции смещения результаты преобразований умножаются на этот коэффициент наклона.

Процесс выполнения калибровки инициируется записью в биты системного режима АЦП (AD0SM) значения, соответствующего типу калибровки. В процессе калибровки бит AD0CBSY устанавливается в 1. После завершения калибровки биты AD0SM будут сброшены в 000b (режим ожидания), бит AD0CBSY будет сброшен в 0, бит AD0CALC будет установлен в 1, а также будет сгенерировано прерывание. Бит AD0CALC сбрасывается при сбросе флага AD0INT. Кроме этого после завершения калибровки результаты калибровки записываются в соответствующие регистры калибровки.

5.2.1. Внутренняя калибровка

При выполнении внутренней калибровки не требуются специфичные напряжения на входных выводах АЦП. Внутреннюю калибровку можно выполнить тремя различными способами: только калибровка смещения, только калибровка крутизны, полная калибровка (смещения и крутизны). Полная внутренняя калибровка состоит из внутренней калибровки смещения и следующей за ней внутренней калибровки крутизны. Если калибровки смещения и крутизны выполняются независимо друг от друга, то калибровка смещения должна выполняться до калибровки крутизны. При выполнении внутренней калибровки смещения входы АЦП соединяются внутри МК с AGND. Для выполнения калибровки крутизны на входы АЦП подается (посредством внутренних цепей МК) напряжение полной шкалы, которое равно выбранному опорному напряжению, деленному на коэффициент усиления PGA.

5.2.2. Калибровка в составе системы

При выполнении калибровки в составе системы используются напряжения, подаваемые на входы АЦП. Есть два способа калибровки в составе системы: калибровка смещения и калибровка крутизны. Для обеспечения точности результатов калибровки необходимо калибровку смещения выполнять до калибровки крутизны. В процессе калибровки смещения на входы АЦП необходимо подать нулевое напряжение. В процессе калибровки крутизны на входы АЦП необходимо подать положительное напряжение полной шкалы, соответствующее текущему значению коэффициента усиления PGA.

5.2.3. Сохранение коэффициентов калибровки

Результатом калибровок смещения и крутизны являются 24-разрядные числа. Результаты калибровок сохраняются в SFR-регистрах, которые доступны для чтения/записи из программы. Это позволяет осуществлять калибровку при изготовлении, а также допускает программное изменение параметров смещения и крутизны. Результаты калибровки смещения сохраняются в виде 24-разрядного числа в дополнительном коде в регистрах ADC0CON, ADC0COM и ADC0COL. Назначение бит регистров смещения показано на рис.5.3. Результаты калибровки крутизны сохраняются в виде 24-разрядного вещественного числа с фиксированной точкой в регистрах ADC0CGH, ADC0CGM и ADC0CGL. Назначение бит регистров крутизны показано на рис.5.4.



Рисунок 5.3. Кодирование регистров калибровки смещения АЦП0

Значение калибровочного коэффициента смещения корректирует положение нулевой точки передаточной функции АЦП. Оно сохраняется в виде 24-разрядного числа в дополнительном коде. Если в ходе калибровки смещения будет получено положительное значение полной шкалы (0x7FFFFFFF) или отрицательное значение полной шкалы (0x800000), то это вызовет ошибку АЦП.

Результаты калибровки смещения сохраняются в регистрах ADC0CON, ADC0COM и ADC0COL. Весовые коэффициенты битов регистров смещения (в МЗР) показаны ниже:

24-разрядный АЦП (C8051F350/1)																							
ADC0CON								ADC0COM								ADC0COL							
СЗР	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	МЗР
-2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰

16-разрядный АЦП (C8051F352/3)																							
ADC0CON								ADC0COM								ADC0COL							
СЗР	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	МЗР
-2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸

Рисунок 5.4. Кодирование регистров калибровки крутизны АЦП0

Значение калибровочного коэффициента крутизны корректирует наклон передаточной функции АЦП. Диапазон значений калибровочного коэффициента крутизны: 0 ... 2 – 2⁻²³. Если в ходе калибровки крутизны будет получено одно из этих крайних значений, то это вызовет ошибку АЦП.

Результаты калибровки смещения сохраняются в регистрах ADC0CGH, ADC0CGM и ADC0CGL следующим образом:

ADC0CGH								ADC0CGM								ADC0CGL							
СЗР	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	МЗР
2 ⁰	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸	2 ⁻⁹	2 ⁻¹⁰	2 ⁻¹¹	2 ⁻¹²	2 ⁻¹³	2 ⁻¹⁴	2 ⁻¹⁵	2 ⁻¹⁶	2 ⁻¹⁷	2 ⁻¹⁸	2 ⁻¹⁹	2 ⁻²⁰	2 ⁻²¹	2 ⁻²²	2 ⁻²³

Пример декодирования значения калибровочного коэффициента крутизны 0x940000 (10010100 00000000 00000000b):

$$\text{Коррекция наклона} = 2^0 + 2^{-3} + 2^{-5} = 1.0 + 0.125 + 0.03125 = 1.15625$$

5.3. Выполнение преобразований

АЦП поддерживает два режима преобразования: единичное преобразование и непрерывное преобразование. В режиме единичного преобразования результат генерируется на выходе каждого фильтра (SINC3 и Fast). В режиме непрерывного преобразования АЦП будет выполнять последовательные преобразования до тех пор, пока не будет изменен режим АЦП. Процедуры единичного и непрерывного режимов преобразований подробно описаны в следующих разделах.

5.3.1. Единичные преобразования

Единичное преобразование инициируется записью бит системного режима АЦП (AD0SM) значением 010b. В режиме единичного преобразования АЦП будет собирать такое количество информации, какое необходимо для получения результата на выходе фильтра, выбранного битом ADOISEL. В процессе преобразования флаг AD0BUSY будет установлен в 1. Результаты на выходе фильтра Fast будут доступны спустя один период цикла преобразования АЦП (который определяется частотой тактирования модулятора и коэффициентом децимации). Результаты на выходе фильтра SINC3 будут доступны спустя три периода цикла преобразования АЦП. Бит ADOISEL в регистре ADC0CF определяет, когда будет сгенерировано прерывание, означающее окончание преобразования, и когда АЦП перейдет в режим ожидания. Если ADOISEL = 1, то бит AD0INT будет установлен в 1 в тот момент, когда станут доступны результаты на выходе фильтра Fast. Если ADOISEL = 0, то бит AD0INT будет установлен в 1 в тот момент, когда станут доступны результаты на выходе фильтра SINC3. Биты AD0SM будут сброшены в 000b (режим ожидания) и бит AD0BUSY будет сброшен в 0 при завершении работы выбранного фильтра. Если используется фильтр SINC3, то на выходе фильтра Fast будут также доступны корректные результаты. Если в режиме единичного преобразования используется фильтр Fast, то результаты на выходе фильтра SINC3 будут неточными.

5.3.2. Непрерывные преобразования

Непрерывное преобразование инициируется записью бит системного режима АЦП (AD0SM) значением 011b. В режиме непрерывного преобразования после завершения каждого преобразования АЦП будет начинать новое преобразование. В процессе преобразования флаг AD0BUSY будет установлен в 1. Результаты на выходе фильтра Fast будут доступны спустя один период цикла преобразования АЦП, и затем после каждого цикла преобразования (который определяется частотой тактирования модулятора и коэффициентом децимации). Первый результат на выходе фильтра SINC3 будет доступен спустя три периода цикла преобразования АЦП, а последующие результаты преобразований на выходе фильтра SINC3 будут доступны после окончания каждого цикла преобразования. Бит ADOISEL в регистре ADC0CF определяет, когда будет сгенерировано прерывание, означающее окончание преобразования. Если ADOISEL = 0, то бит AD0INT будет установлен в 1 в тот момент, когда станут доступны результаты на выходе фильтра SINC3. Если ADOISEL = 1, то бит AD0INT будет установлен в 1 в тот момент, когда станут доступны результаты на выходе фильтра Fast. Независимо от состояния бита ADOISEL оба фильтра будут обновлять свои регистры результатов при появлении новых результатов. Для завершения преобразований и выхода из режима непрерывного преобразования следует записать в биты AD0SM значение 000b (режим ожидания).

5.3.3. Выходные данные АЦП

Каждый из двух фильтров АЦП имеет свои собственные регистры выходных данных. Результаты, получаемые на выходе фильтра SINC3, сохраняются в регистрах ADC0H, ADC0M и ADC0L. Результаты, получаемые на выходе фильтра Fast, сохраняются в регистрах ADC0FH, ADC0FM и ADC0FL. С помощью бита AD0POL в регистре ADC0CN можно настроить выход АЦП как однополярный или биполярный. Декодирование выходного слова данных АЦП показано в таблицах 5.1 и 5.2. Для получения выходного слова данных АЦП фильтр SINC3 использует данные трех последних циклов преобразования. Для получения выходного слова данных АЦП фильтр Fast использует данные только текущего цикла преобразования. Фильтр Fast быстрее реагирует на изменения аналогового сигнала на входе АЦП, а фильтр SINC3 генерирует результаты с более низким уровнем шумовой составляющей.



Таблица 5.1. Кодирование однополярного выходного слова данных АЦП0 (AD0POL = 0)

Входное напряжение* (AIN+ - AIN-)	24-разрядное выходное слово данных (C8051F350/1)	16-разрядное выходное слово данных (C8051F352/3)
VREF – 1 МЗР	0xFFFFF	0xFFFF
VREF/2	0x80000	0x8000
+1 МЗР	0x00001	0x0001
0	0x00000	0x0000

*Примечание: Входное напряжение – напряжение на входах АЦП после усиления PGA.

Таблица 5.2. Кодирование биполярного выходного слова данных АЦП0 (AD0POL = 1)

Входное напряжение* (AIN+ - AIN-)	24-разрядное выходное слово данных (C8051F350/1)	16-разрядное выходное слово данных (C8051F352/3)
VREF – 1 МЗР	0x7FFFF	0x7FFF
VREF/2	0x40000	0x4000
+1 МЗР	0x00001	0x0001
0	0x00000	0x0000
- 1 МЗР	0xFFFFF	0xFFFF
- VREF/2	0xC0000	0xC000
- VREF	0x80000	0x8000

*Примечание: Входное напряжение – напряжение на входах АЦП после усиления PGA.

5.3.4. Ошибки АЦП

На наличие ошибок, возникающих в процессе преобразования или калибровки, указывают биты регистра ADC0STA. Флаг AD0S3C будет установлен в 1 в том случае, если в процессе преобразования произойдет срез фильтра SINC3. Аналогичным образом, флаг AD0FFC будет установлен в 1 в том случае, если в процессе преобразования произойдет срез фильтра Fast. Срез фильтра происходит всякий раз, когда в процессе преобразования переполняется регистр фильтра. Флаг AD0OVR будет установлен в 1 в том случае, если произойдет переполнение АЦП. Переполнение АЦП происходит тогда, когда текущее преобразование закончено, а флаг AD0INT все еще не сброшен в 0 после предыдущего преобразования. Если регистры данных не были прочитаны, то они будут обновлены новыми значениями, а результат предыдущего преобразования будет потерян. Общий флаг ошибки AD0ERR указывает на то, что произошла ошибка AD0S3C, AD0FFC или AD0OVR, либо свидетельствует о том, что результат калибровки выходит за пределы допустимых значений регистров коэффициентов смещения или крутизны. Регистры выходных данных АЦП обновляются по окончании каждого преобразования независимо от того, произошла ошибка или нет.

5.4. Смещающий ЦАП

МК C8051F350/1 содержит смещающий ЦАП, который можно использовать для коррекции смещения в пределах приблизительно $\pm 1/2$ диапазона входных напряжений АЦП при любом значении коэффициента усиления PGA. Регистр ADC0DAC (см. SFR-описание 5.7) управляет выходным напряжением смещающего ЦАП. Значение этого регистра декодируется как двоичное слово со знаком. Старший бит (бит 7) определяет полярность выходного напряжения ЦАП (0 = положительная, 1 = отрицательная), а оставшиеся семь бит (биты 6 – 0) определяют величину выходного напряжения. Каждый МЗР смещающего ЦАП равен приблизительно 0.4% диапазона входных напряжений АЦП. Запись значения в регистр ADC0DAC инициирует изменение выходного напряжения смещающего ЦАП.

5.5. Источники тестирующих токов

Источники тестирующих токов можно использовать для обнаружения оборванных или короткозамкнутых цепей на входах АЦП. Источники тестирующих токов включаются установкой в 1 бита AD0BCE в регистре ADC0CN (см. SFR-описание 5.1). Источник тестирующего тока положительного канала АЦП генерирует вытекающий ток приблизительно 2 мкА на AIN+, а источник тестирующего тока отрицательного канала АЦП генерирует втекающий ток приблизительно 2 мкА на AIN-. Если между AIN+ и AIN- существует оборванная цепь, то, когда включены источники тестирующих токов, на выходе АЦП будет получено положительное значение полной шкалы. Если между AIN+ и AIN- существует короткозамкнутая цепь, то, когда включены источники тестирующих токов, на выходе АЦП будет получено значение, приблизительно равное нулю. Во время обычного режима измерений АЦП источники тестирующих токов должны быть отключены.

SFR-описание 5.1. ADC0CN: Регистр управления АЦПО

R	R	R	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	AD0POL	AD0BCE	AD0GN			00010000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF4

Биты 7-5: Не используются. Читаются как 000b. Запись не оказывает никакого влияния.

Бит 4: AD0PL: Полярность АЦПО.
0: АЦП функционирует в однополярном режиме (результат в прямом двоичном коде).
1: АЦП функционирует в биполярном режиме (результат в дополнительном коде).

Бит 3: AD0BCE: Включение источников тестирующих токов АЦПО.
0: Источники тестирующих токов АЦП отключены.
1: Источники тестирующих токов АЦП включены.

Биты 2-0: AD0GN: Коэффициент усиления программируемого усилителя АЦПО.
000: Коэффициент усиления PGA = 1.
001: Коэффициент усиления PGA = 2.
010: Коэффициент усиления PGA = 4.
011: Коэффициент усиления PGA = 8.
100: Коэффициент усиления PGA = 16.
101: Коэффициент усиления PGA = 32.
110: Коэффициент усиления PGA = 64.
111: Коэффициент усиления PGA = 128.

Этот SFR-регистр можно модифицировать только тогда, когда АЦПО находится в режиме ожидания.



SFR-описание 5.2. ADC0CF: Регистр конфигурации АЦПО

R	R	R	R/W	R	R/W	R	R	Значение при сбросе: 00000000 SFR Адрес: 0xFB
-	-	-	AD0ISEL	-	AD0VREF	-	-	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-5: Не используются. Читаются как 000b. Запись не оказывает никакого влияния.

Бит 4: AD0ISEL: Выбор источника прерывания от АЦПО.
Этот бит выбирает фильтр, при завершении работы которого будет устанавливаться флаг прерывания AD0INT.
0: Фильтр SINC3.
1: Фильтр Fast.

Бит 3: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Бит 2: AD0VREF: Выбор источника опорного напряжения (VREF) АЦПО.
0: АЦПО использует внутреннее VREF (2.5В). Сброс этого бита в 0 включает внутренний ИОН.
1: АЦПО использует внешнее VREF.

Биты 1-0: Не используются. Читаются как 00b. Запись не оказывает никакого влияния.

Этот SFR-регистр можно модифицировать только тогда, когда АЦПО находится в режиме ожидания.

SFR-описание 5.3. ADC0MD: Регистр режима АЦПО

R/W	R	R/W	R/W	R	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF3
AD0EN	-	Зарезерв.	Зарезерв.	-	AD0SM			
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: AD0EN: Бит включения АЦПО.
0: АЦПО отключен. АЦП находится в режиме остановки.
1: АЦПО включен. АЦП активен и готов к выполнению калибровки или преобразования.

Бит 6: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Биты 5-4: Зарезервированы. Должны быть записаны значением 00b.

Бит 3: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Биты 2-0: AD0SM: Выбор системного режима АЦПО.
Эти биты определяют режим функционирования АЦП. Они используются для инициации всех циклов преобразования или калибровки АЦП.
000: Режим ожидания.
001: Полная внутренняя калибровка (калибровка смещения и крутизны).
010: Единичное преобразование.
011: Непрерывное преобразование.
100: Внутренняя калибровка смещения.
101: Внутренняя калибровка крутизны.
110: Калибровка смещения в составе системы.
111: Калибровка крутизны в составе системы.

Примечание: Любое изменение системного режима пользователем во время преобразования или калибровки завершит текущую операцию и испортит результат ее выполнения. Чтобы записать новое значение в большинство других регистров модуля АЦПО, необходимо сначала сбросить биты AD0SM в 000b (режим ожидания).



SFR-описание 5.4. ADC0CLK: Делитель частоты тактирования модулятора АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ADC0CLK								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF7

Биты 7-0: ADC0CLK: Делитель частоты тактирования модулятора АЦПО.
Значение этого регистра устанавливает частоту тактирования модулятора (MDCLK) путем деления системной тактовой частоты (SYSCLK). Выборка входного сигнала модулятором осуществляется с частотой MDCLK/128. Оптимальная производительность достигается в том случае, если делитель выбран таким образом, чтобы частота тактирования модулятора была равна 2.4576 МГц (скорость выборки модулятора = 19.2 кГц).

Деление системной тактовой частоты осуществляется в соответствии со следующим уравнением:

$$MDCLK = SYSCLK / (ADC0CLK + 1)$$

Примечание: Частота выборки модулятора не равна частоте генерации выходного слова АЦП (см. раздел 5.1.4).

SFR-описание 5.5. ADC0DECH: Регистр старшего байта коэффициента децимации АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	DECI10	DECI9	DECI8	00000111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9B

Биты 7-3: Не используются. Читаются как 00000b. Запись не оказывает никакого влияния

Биты 2-0: DECI[10:8]: Биты 10-8 коэффициента децимации АЦПО.
Этот регистр содержит старшие биты 11-разрядного коэффициента децимации АЦП. Коэффициент децимации определяет частоту генерации выходного слова АЦПО (см. описание регистра ADC0DECL).

Этот SFR-регистр можно модифицировать только тогда, когда АЦПО находится в режиме ожидания.

SFR-описание 5.6. ADC0DECL: Регистр младшего байта коэффициента децимации АЦПО

R/W	Значение при сбросе: 11111111 SFR Адрес: 0x9A							
DECI7	DECI6	DECI5	DECI4	DECI3	DECI2	DECI1	DECI0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: DECI[7:0]: Биты 7-0 коэффициента децимации АЦПО.
 Этот регистр содержит младший байт 11-разрядного коэффициента децимации АЦП. Коэффициент децимации определяет количество выборки входного сигнала модулятором, используемое для генерации одного выходного слова АЦП.

Коэффициент децимации АЦПО определяется следующим образом:

Коэффициент децимации = DECI[10:0] + 1

Период выборки и частота генерации выходного слова определяются следующими уравнениями:

Период преобразования АЦПО = [(DECI[10:0] + 1) * 128] / MDCLK

Частота генерации выходного слова АЦПО = MDCLK / [128 * (DECI[10:0] + 1)]

Минимальное значение коэффициента децимации составляет 20. Любое значение регистра, которое меньше 19, будет автоматически интерпретировано как 19.

Важное примечание: При использовании фильтра Fast коэффициент децимации должен быть установлен кратным 8 (DECI[2:0] = 11b).

Этот SFR-регистр можно модифицировать только тогда, когда АЦПО находится в режиме ожидания.

SFR-описание 5.7. ADC0DAC: Смещающий ЦАП АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xBF
ADC0DAC								
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: ADC0DAC: Величина выходного напряжения смещающего ЦАП.
 Этот регистр определяет величину выходного напряжения смещающего ЦАП модуля АЦПО. Значение этого регистра представляется в виде числа со знаком. Бит 7 определяет полярность выходного напряжения ЦАП (0 = положительное, 1 = отрицательное), а биты 6-0 задают его величину.

Этот SFR-регистр можно модифицировать только тогда, когда АЦПО находится в режиме ожидания.



SFR-описание 5.8. ADC0BUF: Регистр управления входными буферами АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
AD0BPHE	AD0BPLE	AD0BPS		AD0BNHE	AD0BNLE	AD0BNS		SFR Адрес: 0xBD
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: AD0BPHE: Включение «старшего» буфера положительного канала. 0: «Старший» буфер положительного канала отключен. 1: «Старший» буфер положительного канала включен.</p>								
<p>Бит 6: AD0BPLE: Включение «младшего» буфера положительного канала. 0: «Младший» буфер положительного канала отключен. 1: «Младший» буфер положительного канала включен.</p>								
<p>Биты 5-4: AD0BPS: Настройка буферов для положительного канала. 00 = Буферы не используются, т.е. зашунтированы накоротко (по умолчанию). 01 = Используется «младший» буфер. 10 = Используется «старший» буфер. 11 = Зарезервировано.</p>								
<p>Бит 3: AD0BNHE: Включение «старшего» буфера отрицательного канала. 0: «Старший» буфер отрицательного канала отключен. 1: «Старший» буфер отрицательного канала включен.</p>								
<p>Бит 2: AD0BNLE: Включение «младшего» буфера отрицательного канала. 0: «Младший» буфер отрицательного канала отключен. 1: «Младший» буфер отрицательного канала включен.</p>								
<p>Биты 1-0: AD0BNS: Настройка буферов для отрицательного канала. 00 = Буферы не используются, т.е. зашунтированы накоротко (по умолчанию). 01 = Используется «младший» буфер. 10 = Используется «старший» буфер. 11 = Зарезервировано.</p>								
<p>Этот SFR-регистр можно модифицировать только тогда, когда АЦПО находится в режиме ожидания.</p>								

SFR-описание 5.9. ADC0STA: Регистр состояния АЦПО

R	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
AD0BUSY	AD0CBSY	AD0INT	AD0S3C	AD0FFC	AD0CALC	AD0ERR	AD0OVR	SFR Адрес: 0xE8
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 <small>(доступен в битовом режиме адресации)</small>	
<p>Бит 7: AD0BUSY: Флаг занятости АЦПО процессом преобразования. 0: АЦПО не выполняет преобразование данных. 1: АЦПО выполняет преобразование данных.</p> <p>Бит 6: AD0CBSY: Флаг занятости АЦПО процессом калибровки. 0: АЦПО не выполняет калибровку. 1: АЦПО выполняет калибровку.</p> <p>Бит 5: AD0INT: Флаг прерывания (по окончании преобразования) от модуля АЦПО. Этот флаг должен сбрасываться программно. 0: АЦПО не закончил преобразование данных (с момента последнего обнуления этого флага). 1: АЦПО закончил преобразование данных.</p> <p>Бит 4: AD0S3C: Флаг среза фильтра SINC3 АЦПО. Этот флаг ошибки означает, что в процессе преобразования данных произошел срез фильтра SINC3. 0: Не было среза фильтра SINC3. 1: Произошел срез фильтра SINC3 в процессе преобразования.</p> <p>Бит 3: AD0FFC: Флаг среза фильтра Fast АЦПО. Этот флаг ошибки означает, что в процессе преобразования данных произошел срез фильтра Fast. 0: Не было среза фильтра Fast. 1: Произошел срез фильтра Fast в процессе преобразования.</p> <p>Бит 2: AD0CALC: Флаг окончания калибровки АЦПО. 0: Калибровка АЦПО не завершена. 1: Калибровка АЦПО завершена.</p> <p>Бит 1: AD0ERR: Флаг ошибки АЦПО. Этот бит аппаратно устанавливается в 1 при следующих условиях: 1) В процессе преобразования произошла ошибка AD0OVR, AD0S3C или AD0FFC. 2) В процессе калибровки получены результаты, которые выходят за пределы допустимых значений регистров смещения или крутизны. 0: Не было ошибки АЦПО. 1: Произошла ошибка АЦПО.</p> <p>Бит 0: AD0OVR: Флаг переполнения АЦПО. Установка этого флага означает ошибку переполнения. 0: Переполнение АЦПО не произошло. 1: Переполнение АЦПО произошло.</p>								



**SFR-описание 5.10. ADC0CON: Регистр старшего байта
коэффициента калибровки смещения АЦПО**

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xBC							
OCAL23	OCAL22	OCAL21	OCAL20	OCAL19	OCAL18	OCAL17	OCAL16	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: OCAL[23:16]: Старший байт регистра калибровки смещения АЦПО.
Этот регистр содержит старший байт 24-разрядного калибровочного коэффициента смещения АЦП.

**SFR-описание 5.11. ADC0COM: Регистр среднего байта
коэффициента калибровки смещения АЦПО**

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xBB
OCAL15	OCAL14	OCAL13	OCAL12	OCAL11	OCAL10	OCAL9	OCAL8	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: OCAL[15:8]: Средний байт регистра калибровки смещения АЦПО.
Этот регистр содержит средний байт 24-разрядного калибровочного коэффициента смещения АЦП.

**SFR-описание 5.12. ADC0COL: Регистр младшего байта
коэффициента калибровки смещения АЦПО**

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xBA							
OCAL7	OCAL6	OCAL5	OCAL4	OCAL3	OCAL2	OCAL1	OCAL0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: OCAL[7:0]: Младший байт регистра калибровки смещения АЦПО.
Этот регистр содержит младший байт 24-разрядного калибровочного коэффициента смещения АЦП.

**SFR-описание 5.13. ADC0CGH: Регистр старшего байта
коэффициента калибровки крутизны АЦПО**

R/W	Значение при сбросе: 10000000 SFR Адрес: 0хAD							
GCAL23	GCAL22	GCAL21	GCAL20	GCAL19	GCAL18	GCAL17	GCAL16	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: GCAL[23:16]: Старший байт регистра калибровки крутизны АЦПО.
Этот регистр содержит старший байт 24-разрядного калибровочного коэффициента крутизны АЦП.

**SFR-описание 5.14. ADC0CGM: Регистр среднего байта
коэффициента калибровки крутизны АЦПО**

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0хAC
GCAL15	GCAL14	GCAL13	GCAL12	GCAL11	GCAL10	GCAL9	GCAL8	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: GCAL[15:8]: Средний байт регистра калибровки крутизны АЦПО.
Этот регистр содержит средний байт 24-разрядного калибровочного коэффициента крутизны АЦП.

**SFR-описание 5.15. ADC0CGL: Регистр младшего байта
коэффициента калибровки крутизны АЦПО**

R/W	Значение при сбросе: 00000000 SFR Адрес: 0хAB							
GCAL7	GCAL6	GCAL5	GCAL4	GCAL3	GCAL2	GCAL1	GCAL0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: GCAL[7:0]: Младший байт регистра калибровки крутизны АЦПО.
Этот регистр содержит младший байт 24-разрядного калибровочного коэффициента крутизны АЦП.



SFR-описание 5.16. ADC0H: Регистр старшего байта результата преобразования АЦПО (выход фильтра SINC3)

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC5							
ADC0H								
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: ADC0H: Регистр старшего байта результата преобразования АЦПО, полученного с выхода фильтра SINC3.
C8051F350/1: Этот регистр содержит биты 23-16 24-разрядного результата преобразования АЦПО, полученного с выхода фильтра SINC3.
C8051F352/3: Этот регистр содержит биты 15-8 16-разрядного результата преобразования АЦПО, полученного с выхода фильтра SINC3.

SFR-описание 5.17. ADC0M: Регистр среднего байта результата преобразования АЦПО (выход фильтра SINC3)

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC4							
ADC0M								
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: ADC0M: Регистр среднего байта результата преобразования АЦПО, полученного с выхода фильтра SINC3.
C8051F350/1: Этот регистр содержит биты 15-8 24-разрядного результата преобразования АЦПО, полученного с выхода фильтра SINC3.
C8051F352/3: Этот регистр содержит биты 7-0 16-разрядного результата преобразования АЦПО, полученного с выхода фильтра SINC3.

SFR-описание 5.18. ADC0L: Регистр младшего байта результата преобразования АЦПО (выход фильтра SINC3)

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC3							
ADC0L								
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: ADC0L: Регистр младшего байта результата преобразования АЦПО, полученного с выхода фильтра SINC3.
C8051F350/1: Этот регистр содержит биты 7-0 24-разрядного результата преобразования АЦПО, полученного с выхода фильтра SINC3.
C8051F352/3: Этот регистр содержит нулевое значение (00000000b).

SFR-описание 5.19. ADC0FH: Регистр старшего байта результата преобразования АЦПО (выход фильтра Fast)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ADC0FH								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xFE

Биты 7-0: ADC0FH: Регистр старшего байта результата преобразования АЦПО, полученного с выхода фильтра Fast.

C8051F350/1: Этот регистр содержит биты 23-16 24-разрядного результата преобразования АЦПО, полученного с выхода фильтра Fast.

C8051F352/3: Этот регистр содержит биты 15-8 16-разрядного результата преобразования АЦПО, полученного с выхода фильтра Fast.

SFR-описание 5.20. ADC0FM: Регистр среднего байта результата преобразования АЦПО (выход фильтра Fast)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ADC0FM								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xFD

Биты 7-0: ADC0FM: Регистр среднего байта результата преобразования АЦПО, полученного с выхода фильтра Fast.

C8051F350/1: Этот регистр содержит биты 15-8 24-разрядного результата преобразования АЦПО, полученного с выхода фильтра Fast.

C8051F352/3: Этот регистр содержит биты 7-0 16-разрядного результата преобразования АЦПО, полученного с выхода фильтра Fast.

SFR-описание 5.21. ADC0FL: Регистр младшего байта результата преобразования АЦПО (выход фильтра Fast)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ADC0FL								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xFC

Биты 7-0: ADC0FL: Регистр младшего байта результата преобразования АЦПО, полученного с выхода фильтра Fast.

C8051F350/1: Этот регистр содержит биты 7-0 24-разрядного результата преобразования АЦПО, полученного с выхода фильтра Fast.

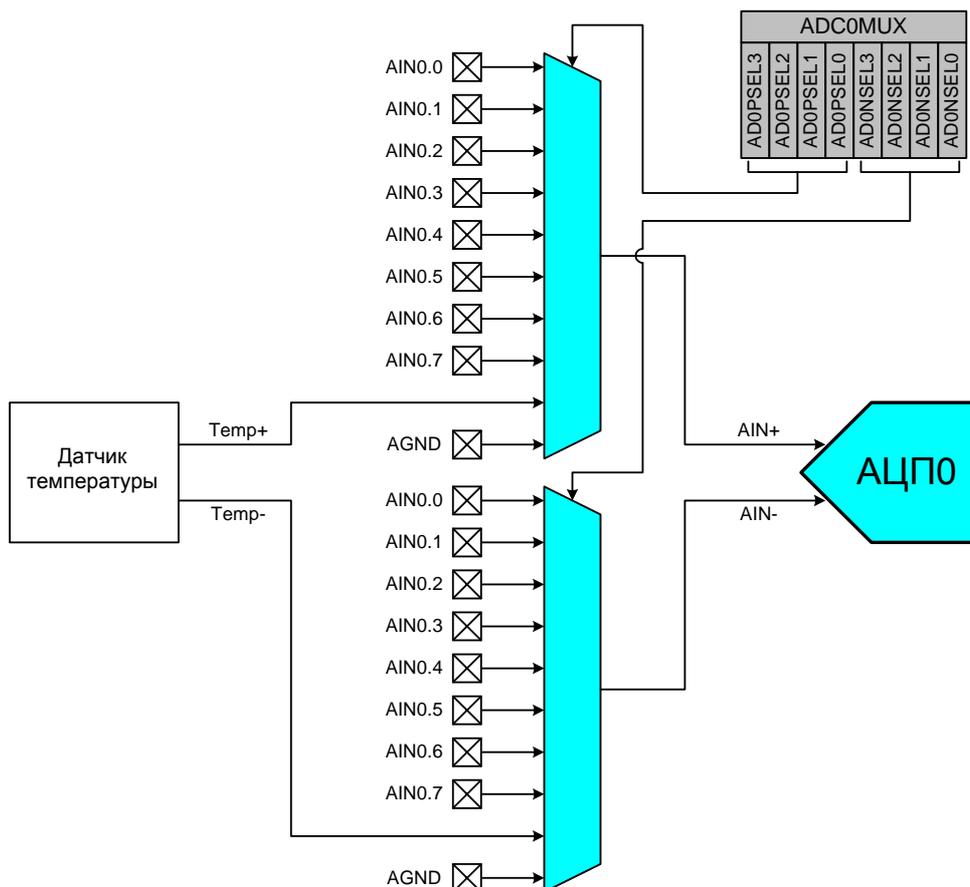
C8051F352/3: Этот регистр содержит нулевое значение (00000000b).



5.6. Аналоговый мультиплексор

АЦПО содержит аналоговый мультиплексор с возможностью независимого выбора входных сигналов для входов AIN+ и AIN-. Каждый вывод можно подключить к одному из 10 источников входного сигнала: AIN0.0 – AIN0.7, AGND или схема встроенного датчика температуры (см. рис.5.5). Регистр ADC0MUX (см. SFR-описание 5.22) управляет выбором входных сигналов для обоих входных каналов. Конфигурация мультиплексора позволяет осуществлять измерения однофазных или дифференциальных сигналов. Однофазное измерение можно выполнить, подключив один из входов АЦП к AGND. Кроме этого, выходное напряжение датчика температуры можно измерять как в однофазном, так и в дифференциальном режиме. Датчик температуры автоматически включается при выборе его с помощью мультиплексора АЦП. Подробная информация о датчике температуры приведена в разделе 8 «Датчик температуры» на стр.77.

Рисунок 5.5. Структурная схема аналогового мультиплексора АЦПО



SFR-описание 5.22. ADC0MUX: Регистр управления аналоговым мультиплексором АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC6
ADOPSEL				ADONSEL				
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Биты 7-4: ADOPSEL: Выбор положительного канала аналогового мультиплексора АЦПО.</p> <p>0000 = AIN0.0 0001 = AIN0.1 0010 = AIN0.2 0011 = AIN0.3 0100 = AIN0.4 0101 = AIN0.5 0110 = AIN0.6 0111 = AIN0.7 1111 = Датчик температуры Все остальные значения = AGND</p> <p>Биты 3-0: ADONSEL: Выбор отрицательного канала аналогового мультиплексора АЦПО.</p> <p>0000 = AIN0.0 0001 = AIN0.1 0010 = AIN0.2 0011 = AIN0.3 0100 = AIN0.4 0101 = AIN0.5 0110 = AIN0.6 0111 = AIN0.7 1111 = Датчик температуры Все остальные значения = AGND</p> <p>Этот SFR-регистр можно модифицировать только тогда, когда АЦПО находится в режиме ожидания.</p>								



Таблица 5.3. Электрические характеристики АЦПО

VDD = AV+ = 3.0В, VREF = 2.5В (внешнее), Коэффициент усиления PGA = 1, MDCLK = 2.4576 МГц, Коэффициент децимации = 1920, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
24-разрядный АЦП (C8051F350/1)					
Разрядность			24		бит
Отсутствие недостающих кодов			24		бит
16-разрядный АЦП (C8051F352/3)					
Разрядность			16		бит
Отсутствие недостающих кодов			16		бит
Все МК					
Интегральная нелинейность				$\pm 15 \times 10^{-6}$	FS
Погрешность смещения нуля (калибруется)			± 5		10^{-6}
Температурный дрейф смещения нуля			10		нВ/°C
Погрешность крутизны (калибруется)			$\pm 0,002$		%
Температурный дрейф крутизны			± 0.5		$10^{-6}/^{\circ}\text{C}$
Частота тактирования модулятора (MDCLK)			2.4576		МГц
Частота выборки модулятора			MDCLK/128		Гц
Частота генерации выходного слова				1000	преобр./с
Аналоговые входы					
Диапазон аналоговых входных напряжений (AIN+ - AIN-)	K _{усил. PGA} = 1, биполярный режим K _{усил. PGA} = 1, однополярный режим	-VREF 0		+VREF +VREF	В
Абсолютное напряжение на выводах AIN+ или AIN- относительно AGND	Входные буферы отключены	0		AV+	В
Входной ток	Входной буфер включен		± 0.5		нА
Входной импеданс	Входной буфер отключен, K _{усил. PGA} = 1		7		МОм
Коэффициент подавления синфазного сигнала	DC 50/60 Гц	95	110 100		дБ дБ
Входные буферы					
Диапазон входных напряжений «старшего» буфера относительно AGND	K _{усил. PGA} = 1, 2, 4 или 8	1.4		AV+ - 0.1	В
	K _{усил. PGA} = 16	1.45		AV+ - 0.15	В
	K _{усил. PGA} = 32	1.5		AV+ - 0.2	В
	K _{усил. PGA} = 64 или 128	1.6		AV+ - 0.25	В
Диапазон входных напряжений «младшего» буфера относительно AGND	K _{усил. PGA} = 1, 2, 4 или 8	0.1		AV+ - 1.4	В
	K _{усил. PGA} = 16	0.15		AV+ - 1.45	В
	K _{усил. PGA} = 32	0.2		AV+ - 1.5	В
	K _{усил. PGA} = 64 или 128	0.25		AV+ - 1.6	В
Источники тестирующих токов					
Ток положительного (AIN+) канала			2		мкА
Ток отрицательного (AIN-) канала			- 2		мкА

Таблица 5.3. Электрические характеристики АЦПО (продолжение)

VDD = AV+ = 3.0В, VREF = 2.5В (внешнее), Коэффициент усиления PGA = 1, MDCLK = 2.4576 МГц,
Коэффициент децимации = 1920, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Параметры питания					
Ток потребления АЦПО по цепи AV+			230		мкА
Ток потребления входных буферов (каждого включенного буфера) по цепи AV+			30		мкА
Нестабильность по напряжению питания		80			дБ

Таблица 5.4. Типичные значения среднеквадратичного шума фильтра SINC3 модуля АЦПО (мкВ)

Коэффициент децимации	Частота генерации выходного слова*	Коэффициент усиления программируемого усилителя PGA							
		1	2	4	8	16	32	64	128
1920	10 Гц	2.38	1.23	0.68	0.41	0.24	0.16	0.12	0.11
768	25 Гц	3.90	2.04	1.14	0.68	0.44	0.33	0.28	0.27
640	30 Гц	4.50	2.39	1.31	0.81	0.54	0.42	0.36	0.36
384	50 Гц	6.00	3.21	1.86	1.20	0.86	0.73	0.66	0.66
320	60 Гц	7.26	3.96	2.32	1.51	1.11	0.97	0.89	0.89
192	100 Гц	13.1	7.11	4.24	2.85	2.16	1.91	1.79	1.77
80	240 Гц	93.2	47.7	24.8	13.9	9.34	7.61	6.97	6.67
40	480 Гц	537	267	135	69.5	38.8	25.7	20.9	18.9
20	960 Гц	2974	1586	771	379	196	108	70.0	45.4

* **Примечание:** Предполагается, что частота тактирования модулятора равна 2.4576 МГц
(частота выборки = 19.2 кГц)



Таблица 5.5. Реальное разрешение¹ фильтра SINC3 модуля АЦПО в однополярном режиме (биты)

Коэффициент децимации	Частота генерации выходного слова ²	Коэффициент усиления программируемого усилителя PGA							
		1	2	4	8	16	32	64	128
1920	10 Гц	20.00	19.95	19.81	19.54	19.31	18.90	18.31	17.44
768	25 Гц	19.29	19.22	19.06	18.81	18.44	17.85	17.09	16.14
640	30 Гц	19.08	19.00	18.86	18.56	18.14	17.51	16.73	15.73
384	50 Гц	18.67	18.57	18.36	17.99	17.47	16.71	15.85	14.85
320	60 Гц	18.39	18.27	18.04	17.66	17.10	16.30	15.42	14.42
192	100 Гц	17.54	17.42	17.17	16.74	16.14	15.32	14.41	13.43
80	240 Гц	14.71	14.68	14.62	14.46	14.03	13.33	12.45	11.52
40	480 Гц	12.18	12.19	12.18	12.13	11.98	11.57	10.87	10.01
20	960 Гц	9.72	9.62	9.66	9.69	9.64	9.50	9.12	8.75

Примечания:

1. Реальное разрешение = $\log_2[\text{ПолныйДиапазонВходныхСигналов}(B) / \text{СреднеквадратичныйШум}(B)]$

где $\text{ПолныйДиапазонВходныхСигналов} = V_{REF}/K_{PGA}$ в однополярном режиме
 $\text{СреднеквадратичныйШум}$ = значение из таблицы 5.4.

2. Предполагается, что частота тактирования модулятора равна 2.4576 МГц (частота выборки = 19.2 кГц).

Таблица 5.6. Сглаженное (свободное от шумов) разрешение¹ фильтра SINC3 модуля АЦПО в однополярном режиме (биты)

Коэффициент децимации	Частота генерации выходного слова ²	Коэффициент усиления программируемого усилителя PGA							
		1	2	4	8	16	32	64	128
1920	10 Гц	17.28	17.23	17.09	16.82	16.59	16.17	15.59	14.72
768	25 Гц	16.57	16.50	16.34	16.09	15.72	15.13	14.37	13.42
640	30 Гц	16.36	16.27	16.14	15.84	15.42	14.78	14.00	13.00
384	50 Гц	15.95	15.85	15.64	15.27	14.75	13.99	13.13	12.13
320	60 Гц	15.67	15.55	15.32	14.94	14.38	13.57	12.70	11.70
192	100 Гц	14.82	14.70	14.45	14.02	13.42	12.60	11.69	10.71
80	240 Гц	11.99	11.96	11.90	11.73	11.31	10.60	9.73	8.79
40	480 Гц	9.46	9.47	9.45	9.41	9.25	8.85	8.15	7.29
20	960 Гц	6.99	6.90	6.94	6.96	6.92	6.78	6.40	6.03

Примечания:

1. Сглаженное разрешение = $\log_2[\text{ПолныйДиапазонВходныхСигналов}(B) / (6.6 \times \text{СреднеквадратичныйШум}(B))]$

где $\text{ПолныйДиапазонВходныхСигналов} = V_{REF}/K_{PGA}$ в однополярном режиме
 $\text{СреднеквадратичныйШум}$ = значение из таблицы 5.4.

2. Предполагается, что частота тактирования модулятора равна 2.4576 МГц (частота выборки = 19.2 кГц).

**Таблица 5.7. Типичные значения среднеквадратичного шума
фильтра Fast модуля АЦПО (мкВ)**

Коэффициент десимации	Частота генерации выходного слова*	Коэффициент усиления программируемого усилителя PGA							
		1	2	4	8	16	32	64	128
1920	10 Гц	4.84	2.68	1.55	1.03	0.75	0.61	0.56	0.58
768	25 Гц	17.92	9.77	5.85	3.72	2.79	2.45	2.28	2.21
640	30 Гц	29.98	14.84	7.81	5.39	3.89	3.27	3.19	3.03
384	50 Гц	103.93	48.53	25.71	14.07	9.24	7.17	6.45	6.06
320	60 Гц	171.12	89.87	42.99	23.05	13.81	10.33	9.00	8.52
192	100 Гц	550.29	305.55	140.58	72.90	40.97	25.52	19.96	17.68

* **Примечание:** Предполагается, что частота тактирования модулятора равна 2.4576 МГц
(частота выборки = 19.2 кГц)

**Таблица 5.8. Реальное разрешение¹ фильтра Fast модуля АЦПО в
однополярном режиме (биты)**

Коэффициент десимации	Частота генерации выходного слова ²	Коэффициент усиления программируемого усилителя PGA							
		1	2	4	8	16	32	64	128
1920	10 Гц	18.98	18.83	18.62	18.21	17.67	16.97	16.09	15.04
768	25 Гц	17.09	16.97	16.71	16.36	15.77	14.96	14.06	13.11
640	30 Гц	16.35	16.36	16.29	15.82	15.29	14.54	13.58	12.65
384	50 Гц	14.55	14.65	14.57	14.44	14.05	13.41	12.56	11.65
320	60 Гц	13.83	13.76	13.83	13.73	13.47	12.88	12.08	11.16
192	100 Гц	12.15	12.00	12.12	12.07	11.90	11.58	10.93	10.11

Примечания:

1. $\text{Реальное разрешение} = \log_2[\text{ПолныйДиапазонВходныхСигналов}(V) / \text{СреднеквадратичныйШум}(V)]$

где $\text{ПолныйДиапазонВходныхСигналов} = V_{REF}/K_{PGA}$ в однополярном режиме
 $\text{СреднеквадратичныйШум}$ = значение из таблицы 5.7.

2. Предполагается, что частота тактирования модулятора равна 2.4576 МГц (частота выборки = 19.2 кГц).



**Таблица 5.9. Сглаженное (свободное от шумов) разрешение¹ фильтра
Fast модуля АЦП0 в однополярном режиме (биты)**

Коэффициент десимации	Частота генерации выходного слова ²	Коэффициент усиления программируемого усилителя PGA							
		1	2	4	8	16	32	64	128
1920	10 Гц	16.26	16.11	15.90	15.49	14.95	14.24	13.37	12.32
768	25 Гц	14.37	14.24	13.98	13.64	13.05	12.24	11.34	10.39
640	30 Гц	13.63	13.64	13.57	13.10	12.57	11.82	10.86	9.93
384	50 Гц	11.83	11.93	11.85	11.72	11.32	10.69	9.84	8.93
320	60 Гц	11.11	11.04	11.11	11.00	10.74	10.16	9.36	8.44
192	100 Гц	9.43	9.28	9.40	9.34	9.17	8.86	8.21	7.39

Примечания:

1. $\text{Сглаженное разрешение} = \log_2[\text{ПолныйДиапазонВходныхСигналов}(B) / (6.6 \times \text{СреднеквадратичныйШум}(B))]$

где $\text{ПолныйДиапазонВходныхСигналов} = V_{REF}/K_{PGA}$ в однополярном режиме

$\text{СреднеквадратичныйШум}$ = значение из таблицы 5.7.

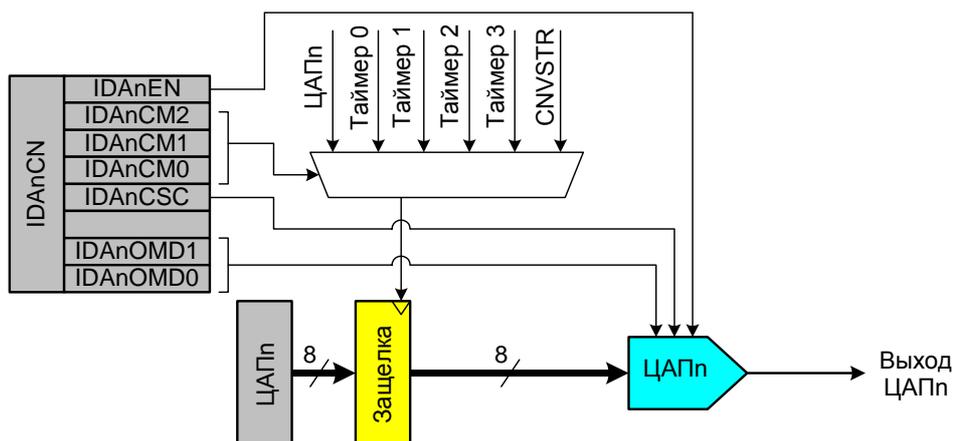
2. Предполагается, что частота тактирования модулятора равна 2.4576 МГц (частота выборки = 19.2 кГц).

Примечания:

6. 8-разрядные ЦАП с токовым выходом (ЦАП0 и ЦАП1)

МК C8051F350/1/2/3 содержат два 8-разрядных ЦАП, выходным сигналом которых является ток (т.е. с токовым выходом). Максимальный выходной ток каждого ЦАП можно настроить, выбрав любое из следующих значений: 0.25 мА, 0.5 мА, 1 мА или 2 мА. Каждый ЦАП можно индивидуально включать/отключать с помощью битов разрешения в соответствующих регистрах управления ЦАП (IDA0CN или IDA1CN). Для генерации опорного тока этих ЦАП используется внутренний генератор смещения. Обновления выходного сигнала ЦАП могут выполняться «по требованию» программы, при переполнении таймера или синхронно с фронтом сигнала на внешнем выводе. На рис.6.1 приведена функциональная схема ЦАП.

Рисунок 6.1. Функциональная схема ЦАП



6.1. Обновление выходного сигнала ЦАП.

Каждый ЦАП отличает гибкий механизм обновления выходного сигнала, который позволяет плавно («бесшовно») изменять выходной сигнал во всем диапазоне выходных значений и поддерживает обновление выходного сигнала без накопления фазовых искажений. Возможны три режима обновления выходного сигнала ЦАП:

1. Обновление при записи в регистр данных ЦАП.
2. Обновление при переполнении таймера.
3. Обновление синхронно с фронтом сигнала на внешнем выводе.

6.1.1. Обновление выходного сигнала “по требованию”.

В режиме по умолчанию ($IDAnCN.[6:4] = '111'$) выходной сигнал ЦАПn обновляется “по требованию” при записи регистра данных ЦАПn ($IDAn$). В этом режиме данные сразу же «защелкиваются» в ЦАП после записи в его регистр данных.

6.1.2. Обновление выходного сигнала при переполнении таймера.

Для обновления выходного сигнала ЦАП можно использовать переполнение таймера. Эту возможность выгодно использовать в системах, в которых ЦАП используется для генерации сигнала с определенной частотой выборки, т.к. задержка реакции на прерывание и время выполнения команд не будут влиять на временные параметры выходного сигнала ЦАП. Если состояние битов $IDAnCM$ ($IDAnCN.[6:4]$) равно '000', '001', '010' или '011', то при записи регистра данных ЦАП ($IDAn$) записываемые значения удерживаются до момента переполнения соответствующего таймера (Таймер 0, Таймер 1, Таймер 2 или Таймер 3 соответственно). В момент переполнения содержимое регистра данных копируется во входные защелки ЦАП, вызывая тем самым обновление выходного сигнала ЦАП.

6.1.3. Обновление выходного сигнала по фронту CNVSTR

Каждый ЦАП можно настроить таким образом, чтобы его выходной сигнал обновлялся по переднему фронту, по заднему фронту или по обоим фронтам сигнала на внешнем выводе CNVSTR. Если состояние битов $IDAnCM$ ($IDAnCN.[6:4]$) равно '100', '101' или '110', то при записи регистра данных ЦАП ($IDAn$) записываемые значения удерживаются до момента обнаружения фронта сигнала на внешнем входе CNVSTR. Конкретные значения битов $IDAnCM$ определяют, по какому фронту (по переднему, по заднему или по обоим) будет происходить обновление выходного сигнала ЦАП. При обнаружении соответствующего фронта содержимое регистра данных копируется во входные защелки ЦАП, вызывая тем самым обновление выходного сигнала ЦАП.

6.2. Диапазон выходных сигналов ЦАП.

На рис.6.2 показано, каким образом входное слово данных ЦАП преобразуется в выходной сигнал ЦАП. Значение выходного тока полной шкалы ЦАП выбирается с помощью бит $IDAnOMD$ ($IDAnCN[1:0]$). По умолчанию максимальное значение выходного тока устанавливается равным 0.25 мА. С помощью бит $IDAnOMD$ можно также выбрать значения 0.5 мА, 1 мА или 2 мА.

Рисунок 6.2. Преобразование входного слова данных ЦАП в выходной ток ЦАП

Слово данных ЦАПn (D7 – D0)	Выходной ток в зависимости от значения бит $IDAnOMD$			
	'11' (2 мА)	'10' (1 мА)	'01' (0.5 мА)	'00' (0.25 мА)
0x00	0 мА	0 мА	0 мА	0 мА
0x01	$1/256 \times 2$ мА	$1/256 \times 1$ мА	$1/256 \times 0.5$ мА	$1/256 \times 0.25$ мА
0x80	$128/256 \times 2$ мА	$128/256 \times 1$ мА	$128/256 \times 0.5$ мА	$128/256 \times 0.25$ мА
0xFF	$255/256 \times 2$ мА	$255/256 \times 1$ мА	$255/256 \times 0.5$ мА	$255/256 \times 0.25$ мА



SFR-описание 6.1. IDA0CN: Регистр управления ЦАПО

R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	Значение при сбросе: 01110000 SFR Адрес: 0xB9
IDA0EN	IDA0CM			IDA0CSC	-	IDA0OMD		
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: IDA0EN: Бит включения ЦАПО 0: ЦАПО выключен. 1: ЦАПО включен.</p> <p>Биты 6-4: IDA0CM[2-0]: Биты выбора режима обновления выходного сигнала ЦАПО. 000: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 0. 001: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 1. 010: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 2. 011: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 3. 100: Обновление выходного сигнала ЦАП происходит по переднему фронту сигнала CNVSTR. 101: Обновление выходного сигнала ЦАП происходит по заднему фронту сигнала CNVSTR. 110: Обновление выходного сигнала ЦАП происходит по обоим фронтам сигнала CNVSTR. 111: Обновление выходного сигнала ЦАП происходит при записи в регистр IDA0.</p> <p>Бит 3: IDA0CSC: Ток потребления ЦАПО. 0: Ток потребления ЦАПО (по цепи VDD) зависит от выходного сигнала ЦАПО. 1: Ток потребления ЦАПО (по цепи VDD) не зависит от выходного сигнала ЦАПО.</p> <p>Бит 2: Не используется. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Биты 1-0: IDA0OMD[1:0]: Биты выбора максимального выходного тока ЦАПО. 00: Выходной ток полной шкалы = 0.25 мА. 01: Выходной ток полной шкалы = 0.5 мА. 10: Выходной ток полной шкалы = 1.0 мА. 11: Выходной ток полной шкалы = 2.0 мА.</p>								

SFR-описание 6.2. IDA0: Регистр данных ЦАПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x96
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Биты 7-0: Биты слова данных ЦАПО. Биты 7-0 содержат 8-разрядное слово данных ЦАПО.</p>								

SFR-описание 6.3. IDA1CN: Регистр управления ЦАП1

R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	Значение при сбросе: 01110000 SFR Адрес: 0xD7
IDA1EN	IDA1CM			IDA1CSC	-	IDA1OMD		
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: IDA1EN: Бит включения ЦАП1 0: ЦАП1 выключен. 1: ЦАП1 включен.</p> <p>Биты 6-4: IDA1CM[2-0]: Биты выбора режима обновления выходного сигнала ЦАП1. 000: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 0. 001: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 1. 010: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 2. 011: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 3. 100: Обновление выходного сигнала ЦАП происходит по переднему фронту сигнала CNVSTR. 101: Обновление выходного сигнала ЦАП происходит по заднему фронту сигнала CNVSTR. 110: Обновление выходного сигнала ЦАП происходит по обоим фронтам сигнала CNVSTR. 111: Обновление выходного сигнала ЦАП происходит при записи в регистр IDA1.</p> <p>Бит 3: IDA1CSC: Ток потребления ЦАП1. 0: Ток потребления ЦАП1 (по цепи VDD) зависит от выходного сигнала ЦАП1. 1: Ток потребления ЦАП1 (по цепи VDD) не зависит от выходного сигнала ЦАП1.</p> <p>Бит 2: Не используется. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Биты 1-0: IDA1OMD[1:0]: Биты выбора максимального выходного тока ЦАП1. 00: Выходной ток полной шкалы = 0.25 мА. 01: Выходной ток полной шкалы = 0.5 мА. 10: Выходной ток полной шкалы = 1.0 мА. 11: Выходной ток полной шкалы = 2.0 мА.</p>								

SFR-описание 6.4. IDA0: Регистр данных ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xDD
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Биты 7-0: Биты слова данных ЦАП1. Биты 7-0 содержат 8-разрядное слово данных ЦАП1.</p>								



6.3. Подключение внешних выводов к выходам ЦАП

Выход ЦАП0 подключается к порту P1.6. Выход ЦАП1 подключается к порту P1.7. Если бит включения ЦАП (IDAnEN) сброшен в 0, то выход соответствующего ЦАП функционирует как обычный вывод ввода/вывода общего назначения. Если IDAnEN = 1, то драйвер цифрового выхода и слаботочковая подтяжка соответствующего вывода отключаются и этот вывод подключается к выходу ЦАП. При использовании ЦАП связанные с ними порты должны пропускаться матрицей при назначении выводов. Для этого необходимо установить в 1 соответствующие биты в регистрах PnSKIP. Подключение портов к выходам ЦАП показано на рис.6.3.

Рисунок 6.3. Подключение выходов ЦАП

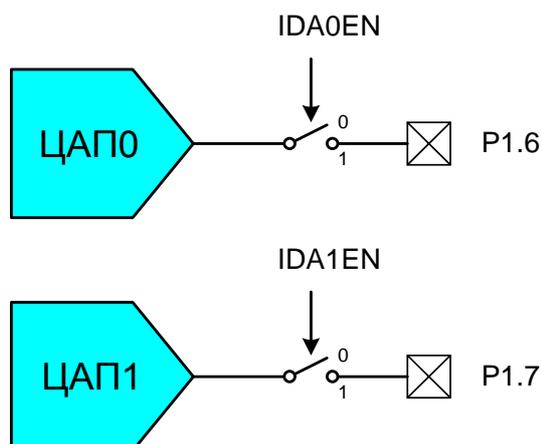


Таблица 6.1. Электрические характеристики ЦАП

T = -40°C ... +85°C, VDD = 3.0В, ток полной шкалы установлен равным 2 мА, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Статические параметры					
Разрядность		8			биты
Интегральная нелинейность			±0,5		МЗР
Дифференциальная нелинейность	Монотонность преобразования		±0,5	±1	МЗР
Диапазон выходных напряжений				VDD – 1.2	В
Выходной шум	$I_{out} = 2 \text{ мА}; R_{нагр} = 100 \text{ Ом}$		2		нА/Гц
Погрешность смещения нуля			0		МЗР
Максимальный выходной ток	Ток полной шкалы = 2 мА	1.6	2.0	2.4	мА
Коэффициент температурной нестабильности			3×10^{-3}		%/°C
Коэффициент нестабильности по напряжению питания VDD			30		мкА/В
Выходная емкость			2		пФ
Динамические параметры					
Время установления выходного тока в пределах 1/2 МЗР			5		мкс
Время запуска			5		мкс
Увеличение отклонений для других диапазонов выходного тока (по сравнению с диапазоном 2 мА)	Выходной ток полной шкалы = 1 мА Выходной ток полной шкалы = 0.5 мА Выходной ток полной шкалы = 0.25 мА		±1 ±1 ±1		% % %
Энергопотребление					
Ток потребления (IDA0CSC = 0)	I_{out} = Ток, вытекающий с выхода ЦАП		$I_{out} + 100$		мкА
Ток потребления (IDA0CSC = 1)	Выходной ток полной шкалы = 2 мА		2100		мкА
	Выходной ток полной шкалы = 1 мА		1100		мкА
	Выходной ток полной шкалы = 0.5 мА		600		мкА
	Выходной ток полной шкалы = 0.25 мА		350		мкА



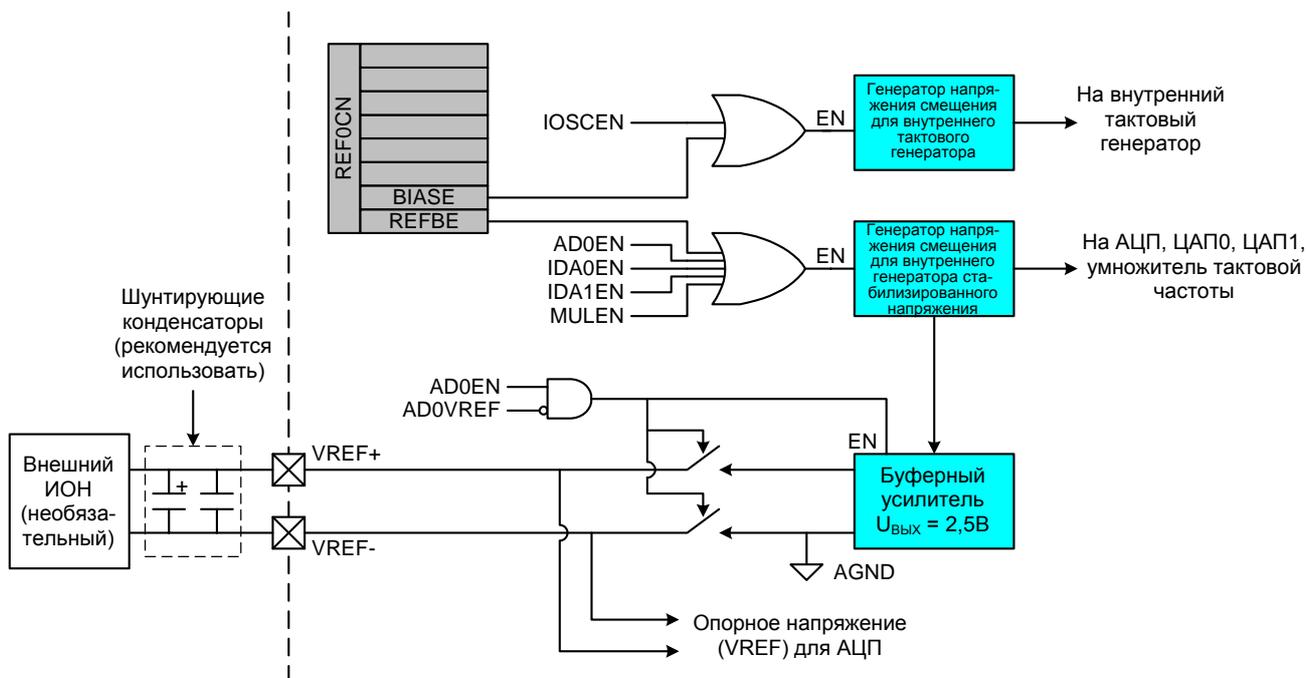
7. Источник опорного напряжения

МК C8051F350/1/2/3 позволяют использовать два источника опорного напряжения (ИОН) для АЦП: внутренний 2.5В ИОН или внешний ИОН (см. рис.7.1). Выбор ИОН осуществляется с помощью бита AD0VREF в регистре ADC0CF.

Схема внутреннего ИОН состоит из генератора стабилизированного напряжения 1,25В, устойчивого к изменениям температуры, и выходного буферного усилителя с $K_{уст} = 2$. Если используется внутренний ИОН, то стабилизированное напряжение выдается на вывод VREF+, а вывод VREF- подключается к цепи AGND. Внутренний ИОН включается установкой в 1 бита AD0EN в регистре ADC0MD и сбросом в 0 бита AD0VREF в регистре ADC0CF (см. раздел 5 «24-разрядный или 16-разрядный АЦП» на стр.41). Электрические характеристики внутреннего ИОН и генераторов напряжений смещения приведены в табл.7.1.

Генератор напряжения смещения для внутреннего тактового генератора включается автоматически всякий раз при включении тактового генератора. Кроме этого, для определения требований по питанию можно с помощью бита BIASE в регистре REF0CN включить генератор напряжения смещения для внутреннего тактового генератора, когда сам внутренний тактовый генератор отключен. Аналогичным образом, используя бит REFBE в регистре REF0CN, можно включить генератор напряжения смещения для внутреннего генератора стабилизированного напряжения, который используется АЦП, ЦАП, умножителем тактовой частоты и внутренним ИОН. Генератор напряжения смещения для внутреннего генератора стабилизированного напряжения включается автоматически всякий раз при включении периферийного модуля, использующего его. Описание регистра REF0CN приведено в SFR-описании 7.1.

Рисунок 7.1. Структурная схема ИОН



SFR-описание 7.1. REF0CN: Регистр управления ИОН

R	R	R	R	R	R	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD1
-	-	-	-	-	-	BIASE	REFBE	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

ПРИМЕЧАНИЕ: В большинстве приложений не требуется модификация этого регистра. Соответствующая схема включается автоматически, если она требуется периферийному модулю.

Биты 7-2: **Не используются**: читаются как 000000b; запись не оказывает никакого влияния.

Бит 1: BIASE: Бит включения генератора напряжения смещения для внутреннего тактового генератора. Этот бит и бит включения внутреннего тактового генератора объединяются по схеме ИЛИ и оба могут включать генератор напряжения смещения для внутреннего тактового генератора.
0: Включение генератора напряжения смещения для внутреннего тактового генератора определяется битом включения внутреннего тактового генератора.
1: Генератор напряжения смещения для внутреннего тактового генератора включен.

Бит 0: REFBE: Бит включения генератора напряжения смещения для внутреннего генератора стабилизированного напряжения. Этот бит и биты включения АЦПО, ЦАПО, ЦАП1 и умножителя тактовой частоты объединяются по схеме ИЛИ и все они могут включать генератор напряжения смещения для внутреннего генератора стабилизированного напряжения.
0: Включение генератора напряжения смещения для внутреннего генератора стабилизированного напряжения определяется конкретным периферийным модулем.
1: Генератор напряжения смещения для внутреннего генератора стабилизированного напряжения включен.



Таблица 7.1. Электрические характеристики ИОН

VDD = 3.0В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Внутренний ИОН					
Выходное напряжение	T _{окр. ср.} = 25°C		2.45		В
Ток вывода VREF при коротком замыкании	В цепь AGND В цепь AV+		9 20		мА мкА
Температурный коэффициент нестабильности напряжения на выводе VREF			0,0015		%/°C
Нестабильность тока по нагрузке	Ток нагрузки = (0-200мкА) в цепь AGND		5 x 10 ⁻⁵		%/мкА
Время (1) стабилизации напряжения на выводе VREF (0.01%)	Танталовый шунтирующий конденсатор емкостью 4.7мкФ, керамический шунтирующий конденсатор емкостью 0.1мкФ		3.9		мс
Время (2) стабилизации напряжения на выводе VREF (0.01%)	Керамический шунтирующий конденсатор емкостью 0.1мкФ		400		мкс
Время (3) стабилизации напряжения на выводе VREF (0.01%)	Без шунтирующего конденсатора		3		мкс
Внешний ИОН (REFBE = 0)					
Диапазон входных напряжений (VREF+ - VREF-)		1	2.5	AV+	В
Напряжение на выводе VREF+ или VREF- относительно AGND		0		AV+	В
Входной ток			2		мкА
Коэффициент подавления синфазного сигнала			120		дБ
Энергопотребление					
Генератор напряжения смещения для внутреннего тактового генератора					мкА
Генератор напряжения смещения для внутреннего генератора стабилизированного напряжения			42		мкА
Внутренний генератор стабилизированного напряжения			70		мкА

Примечания:

8. Датчик температуры

Система датчика температуры состоит из двух диодов с различными температурными характеристиками и двух источников постоянного тока. Эти два канала внутренними цепями МК подключаются к входам АЦП с помощью аналогового мультиплексора АЦП. Система датчика температуры может использоваться в однофазном или дифференциальном режимах для измерения температуры МК C8051F350/1/2/3. При одноканальном измерении отклонение выходного напряжения на каждый °С больше, чем при дифференциальном измерении, но хуже линейность. Электрические характеристики датчика температуры приведены в таблице 8.1.

Каналы датчика температуры автоматически включаются при выборе их с помощью аналогового мультиплексора. Для использования датчика температуры в режиме одноканального измерения следует настроить аналоговый мультиплексор таким образом, чтобы один его канал был подключен к датчику температуры, а другой канал – к цепи AGND. В дифференциальном режиме измерения датчик температуры должен быть выбран для обоих каналов АЦП.

Передаточные функции для одноканального и дифференциального режимов измерения приведены на рис.8.2 и рис.8.3 соответственно. Параметры смещения и крутизны передаточной характеристики приведены в табл.8.1.

Рисунок 8.1. Структурная схема датчика температуры

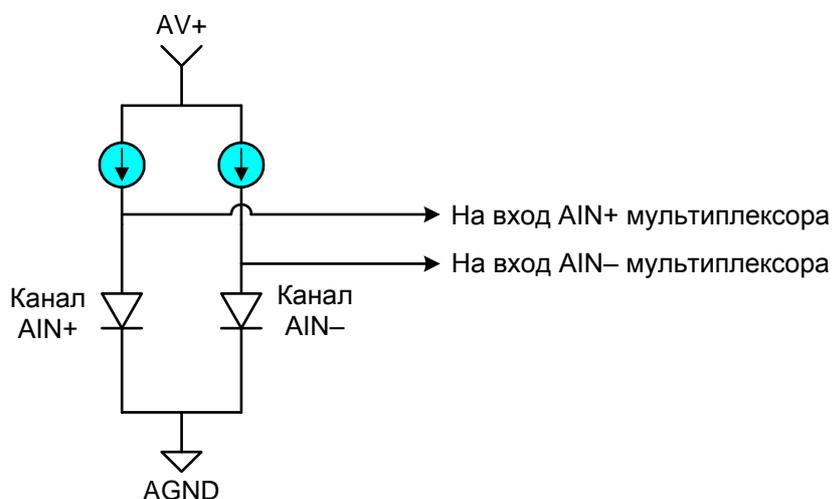


Таблица 8.1. Электрические характеристики датчика температуры

VDD = 3.0В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Линейность	Одноканальный режим измерения		±0.4		°С
	Дифференциальный режим измерения		±0.01		°С
Смещение	Измерение по каналу AIN+, T = 0°C		757		мВ
	Дифференциальное измерение, T = 0°C		54.3		мВ
Погрешность смещения*			±1		мВ
Крутизна	Измерение по каналу AIN+		-1.73		мВ/°С
	Дифференциальное измерение		205		мкВ/°С
Погрешность крутизны*			±6.6		мкВ/°С
Ток потребления по цепи AV+	Одноканальный режим измерения		10		мкА
	Дифференциальный режим измерения		20		мкА

*Примечание: Представляет собой одно стандартное отклонение от средней величины.

Рисунок 8.2. Передаточная функция для одноканального режима измерения

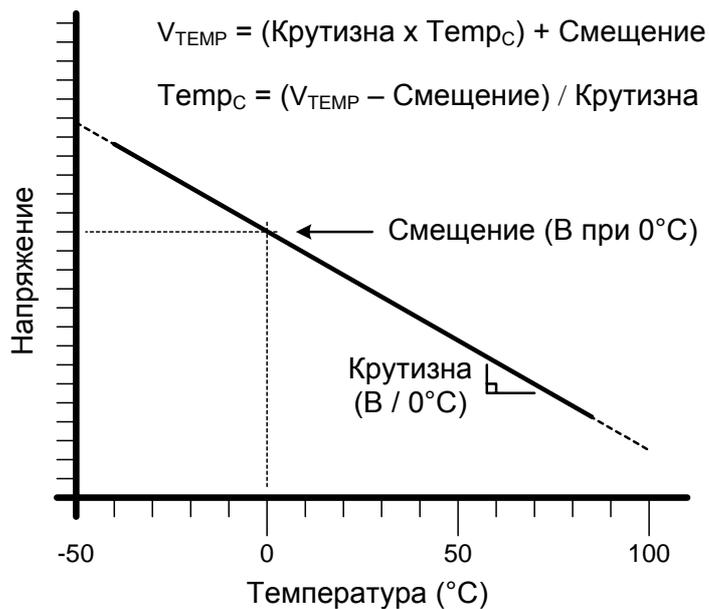
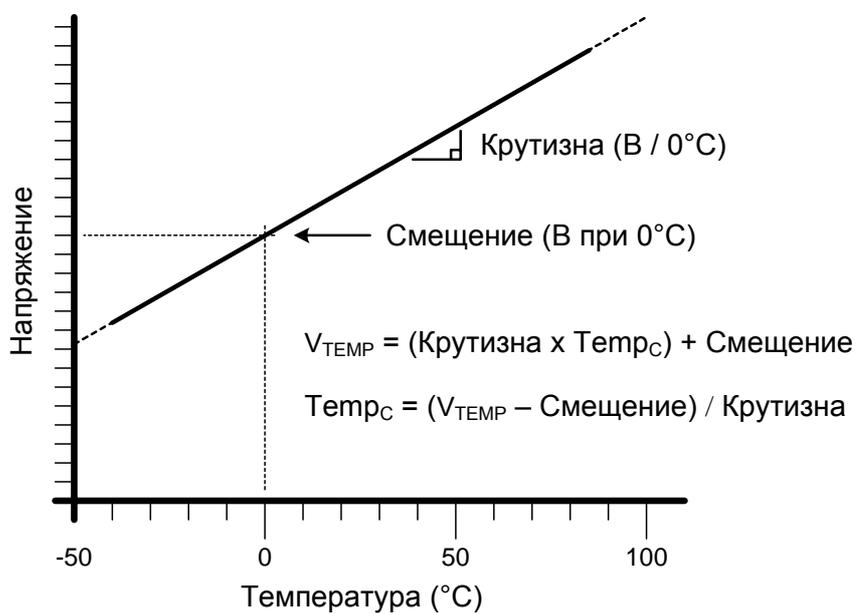


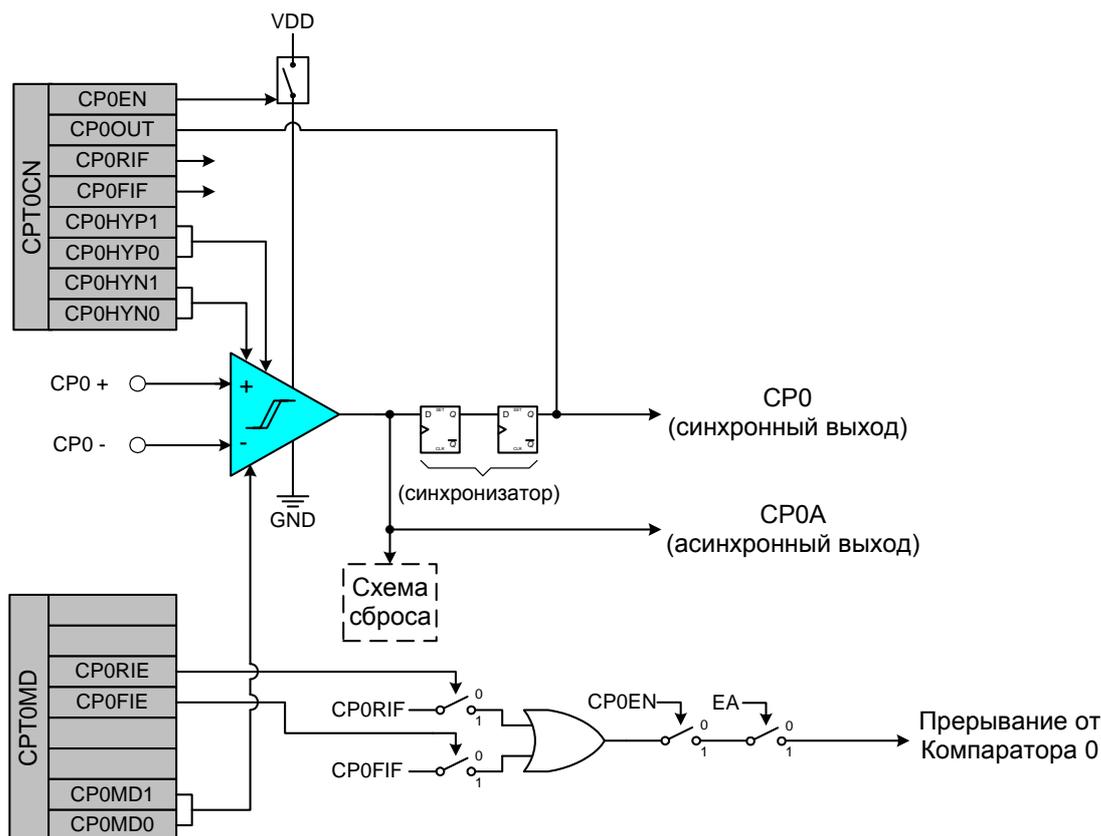
Рисунок 8.3. Передаточная функция для дифференциального режима измерения



9. Компаратор 0

МК C8051F350/1/2/3 содержат встроенный программируемый компаратор напряжения (Компаратор 0), функциональная схема которого приведена на рис.9.1. Время отклика и гистерезис компаратора могут программироваться. Компаратор имеет два выхода, которые могут быть доступны (при необходимости) на внешних выводах порта: синхронный фиксируемый выход (CP0) и асинхронный «сырой» выход (CP0A). Асинхронный сигнал CP0A доступен даже в том случае, если тактирование системы остановлено. Это позволяет компаратору функционировать и генерировать выходной сигнал при нахождении МК в режиме остановки. Если выход компаратора назначен (матрицей) выводу порта, то этот вывод можно настроить как выход с открытым стоком или как двухтактный цифровой выход (см. раздел 18.2 «Инициализация порта ввода/вывода» на стр.141). Компаратор 0 можно использовать также в качестве источника сброса (см. раздел 14.5 «Сброс от Компаратора 0» на стр.118).

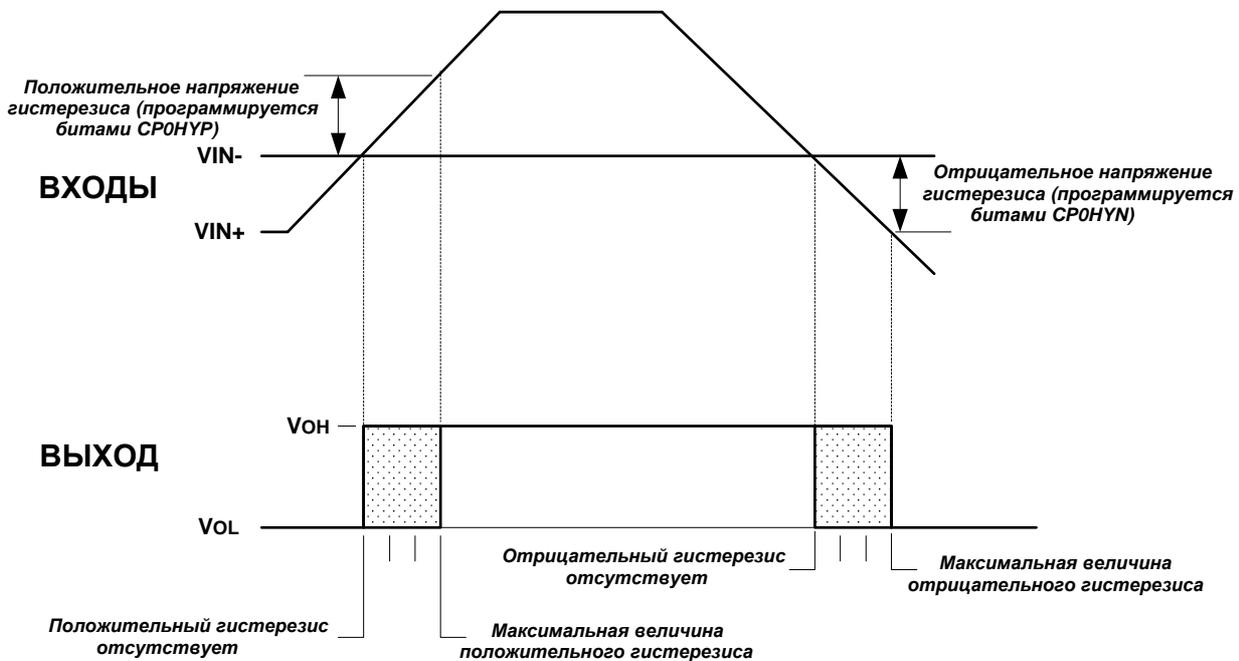
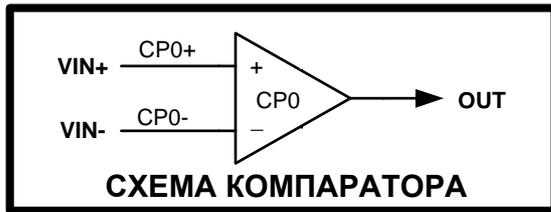
Рисунок 9.1. Функциональная схема Компаратора 0



Выход компаратора можно опрашивать программно, использовать как источник прерывания и/или развести на внешний вывод порта. Если выход компаратора разведен на внешний вывод порта, то сигнал на этом выводе может быть синхронным или асинхронным с системным тактовым сигналом; асинхронный выходной сигнал компаратора доступен даже в режиме остановки (при остановленном тактировании системы). Если компаратор отключен, то на его выходе по умолчанию устанавливается низкий логический уровень, а ток потребления компаратора не превышает 100 нА. На входы компаратора можно подавать внешние входные сигналы с напряжением от -0.25В до $(\text{VDD}) + 0.25\text{В}$, не опасаясь повреждения МК или сбоя в его работе. Полные электрические характеристики компаратора приведены в табл.9.1.

Время отклика компаратора можно настроить программно с помощью регистра CPT0MD (см. SFR-описание 9.2). Увеличение времени отклика компаратора позволяет снизить его энергопотребление. Временные параметры и параметры энергопотребления компаратора приведены в таблице 9.1.

Рисунок 9.2. Гистерезис компаратора



Параметры гистерезиса компаратора настраиваются программно при помощи регистра управления компаратором CP0CN. Пользователь может запрограммировать общую ширину петли гистерезиса (касается входного напряжения), задав по отдельности положительное и отрицательное напряжение этого гистерезиса относительно порогового значения.

Параметры гистерезиса Компаратора 0 программируются битами 3-0 регистра управления компаратора CP0CN (см. SFR-описание 9.1). Величина отрицательного напряжения гистерезиса определяется битами CP0HYN. Как показано на рис.9.2, величина отрицательного гистерезиса может быть 20, 10 или 5 мВ, либо отрицательный гистерезис может отсутствовать вовсе. Аналогично величина положительного напряжения гистерезиса определяется битами CP0HYP.

Прерывания от компаратора могут быть сгенерированы по переднему или заднему фронту выходного сигнала. (Разрешение прерываний и управление приоритетами прерываний описаны в разделе 12 «Обработка прерываний» на стр.105). Флаг CP0FIF устанавливается в 1 при возникновении прерывания по заднему фронту выходного сигнала компаратора. Флаг CP0RIF устанавливается в 1 при возникновении прерывания по переднему фронту выходного сигнала компаратора. Эти флаги остаются установленными до тех пор, пока не будут сброшены программно. Для разрешения прерывания по переднему фронту выходного сигнала компаратора следует установить в 1 бит CP0RIE. Для разрешения прерывания по заднему фронту выходного сигнала компаратора следует установить в 1 бит CP0FIE.

Состояние выхода компаратора можно получить в любой момент опросом бита CPnOUT. Компаратор включается установкой в 1 бита CP0EN и отключается сбросом в 0 этого бита.

Следует иметь в виду, что могут быть обнаружены ложные передние и задние фронты при первом включении компаратора, а также при изменении бит, управляющих временем отклика или параметрами гистерезиса компаратора. Поэтому рекомендуется после включения компаратора или изменения битов, определяющих режим его работы, явным образом сбросить в 0 на короткое время флаги переднего и заднего фронтов. Время включения указано в табл.9.1 на стр.85.

SFR-описание 9.1. СРТ0СN: Регистр управления Компаратора 0

R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CP0EN	CP0OUT	CP0RIF	CP0FIF	CP0HYP1	CP0HYP0	CP0HYN1	CP0HYN0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9C

Бит 7: CP0EN: Бит включения Компаратора 0.
0: Компаратор 0 отключен.
1: Компаратор 0 включен.

Бит 6: CP0OUT: Флаг состояния выхода Компаратора 0.
0: Напряжение на вх. CPn+ < CPn-
1: Напряжение на вх. CPn+ > CPn-

Бит 5: CP0RIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 0. Этот флаг должен сбрасываться программно.
0: Прерывания по переднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0RIF не было.
1: Произошло прерывание по переднему фронту выходного сигнала Компаратора 0.

Бит 4: CP0FIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 0. Этот флаг должен сбрасываться программно.
0: Прерывания по заднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0FIF не было.
1: Произошло прерывание по заднему фронту выходного сигнала Компаратора 0.

Биты 3-2: CP0HYP1-0: Биты управления положительным гистерезисом Компаратора 0.
00: Положительный гистерезис отсутствует.
01: Положительный гистерезис = 5 мВ.
10: Положительный гистерезис = 10 мВ.
11: Положительный гистерезис = 20 мВ.

Биты 1-0: CP0HYN1-0: Биты управления отрицательным гистерезисом Компаратора 0.
00: Отрицательный гистерезис отсутствует.
01: Отрицательный гистерезис = 5 мВ.
10: Отрицательный гистерезис = 10 мВ.
11: Отрицательный гистерезис = 20 мВ.

SFR-описание 9.2. CP0MD: Регистр выбора режима Компаратора 0

R	R	R/W	R/W	R	R	R/W	R/W	Значение при сбросе: 00000010 SFR Адрес: 0x9D
-	-	CP0RIE	CP0FIE	-	-	CP0MD1	CP0MD0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-6: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Бит 5: CP0RIE: Флаг разрешения прерывания от нарастающего фронта выходного сигнала Компаратора 0.
0: Прерывание от нарастающего фронта выходного сигнала Компаратора 0 запрещено.
1: Прерывание от нарастающего фронта выходного сигнала Компаратора 0 разрешено.

Бит 4: CP0FIE: Флаг разрешения прерывания от спадающего фронта выходного сигнала Компаратора 0.
0: Прерывание от спадающего фронта выходного сигнала Компаратора 0 запрещено.
1: Прерывание от спадающего фронта выходного сигнала Компаратора 0 разрешено.

Биты 3-2: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Биты 1-0: CP0MD1-0: Выбор режима Компаратора 0.
Эти биты определяют время отклика Компаратора 0.

Режим	CP0MD1	CP0MD0	Примечания
0	0	0	Минимальное время отклика
1	0	1	-
2	1	0	-
3	1	1	Минимальная потребляемая мощность



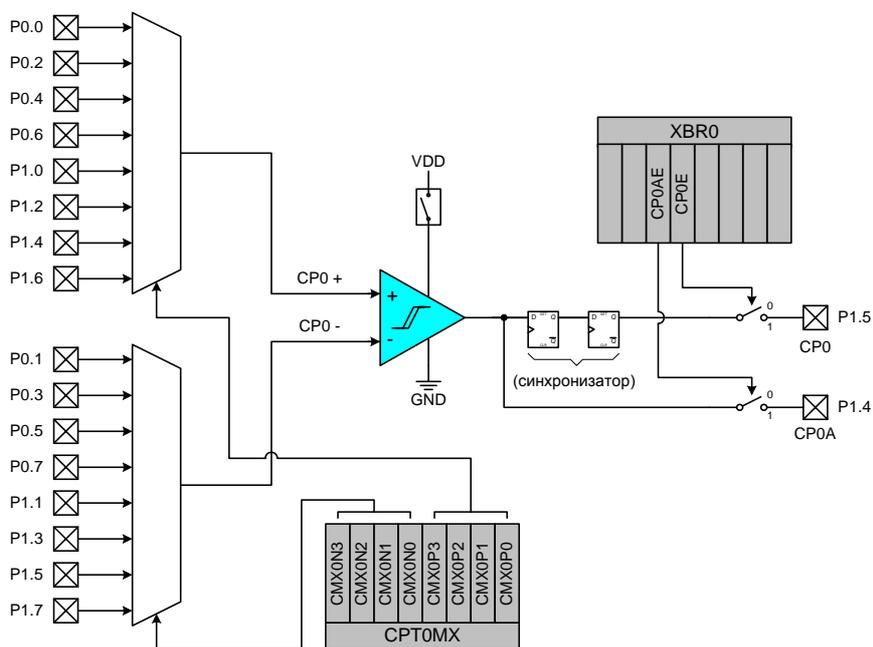
9.1. Входы и выходы Компаратора 0

На рис.9.3 показано соединение входов и выходов Компаратора 0 с внешними выводами. Положительный и отрицательный входы компаратора можно соединить (каждый) с одним из восьми внешних выводов, используя мультиплексор компаратора. Выходы компаратора можно развести на выводы портов (при необходимости), используя коммутирующую матрицу.

Входы компаратора выбираются в регистре CPT0MX (см. SFR-описание 9.3). Биты CMX0P3 – CMX0P0 выбирают положительный вход компаратора; биты CMX0N3 – CMX0N0 выбирают отрицательный вход компаратора. **Важное примечание относительно входов компаратора:** Выводы порта, выбранные в качестве входов компаратора, должны быть настроены как аналоговые входы в соответствующем регистре конфигурации порта, а также должны пропускаться матрицей при назначении выводов.

Два типа выходов компаратора можно развести на выводы порта с помощью матрицы портов ввода/вывода. «Сырой» (асинхронный) выход компаратора CP0A подключается с помощью бита 5 регистра XBR0 и будет доступен на выводе P1.2. Выход CP0 (синхронный с SYSCLK) подключается с помощью бита 4 регистра XBR0 и будет доступен на выводе P1.3.

Рисунок 9.3. Подключение выводов компаратора



SFR-описание 9.3. СРТ0МХ: Регистр управления мультиплексором Компаратора 0

R/W	Значение при сбросе: 11111111							
CMX0N3	CMX0N2	CMX0N1	CMX0N0	CMX0P3	CMX0P2	CMX0P1	CMX0P0	SFR Адрес: 0x9F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7-4: CMX0N3 - CMX0N0: Бит выбора отрицательного канала мультиплексора Компаратора 0. Эти биты определяют, какой вывод порта используется в качестве отрицательного входа Компаратора 0.

CMX0N3	CMX0N2	CMX0N1	CMX0N0	Отрицательный вход
0	0	0	0	P0.1
0	0	0	1	P0.3
0	0	1	0	P0.5
0	0	1	1	P0.7
0	1	0	0	P1.1
0	1	0	1	P1.3
0	1	1	0	P1.5
0	1	1	1	P1.7
1	x	x	x	Не подключен

Бит 3-0: CMX0P3 - CMX0P0: Бит выбора положительного канала мультиплексора Компаратора 0. Эти биты определяют, какой вывод порта используется в качестве положительного входа Компаратора 0.

CMX0P3	CMX0P2	CMX0P1	CMX0P0	Положительный вход
0	0	0	0	P0.0
0	0	0	1	P0.2
0	0	1	0	P0.4
0	0	1	1	P0.6
0	1	0	0	P1.0
0	1	0	1	P1.2
0	1	1	0	P1.4
0	1	1	1	P1.6
1	x	x	x	Не подключен



Таблица 9.1. Электрические характеристики компаратора

VDD = 3.0В, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Время отклика: Режим 0, $V_{\text{син}}^* = 1.5\text{В}$	$(\text{CP}0+) - (\text{CP}0-) = 100\text{ мВ}$		100		нс
	$(\text{CP}0+) - (\text{CP}0-) = -100\text{ мВ}$		250		нс
Время отклика: Режим 1, $V_{\text{син}}^* = 1.5\text{В}$	$(\text{CP}0+) - (\text{CP}0-) = 100\text{ мВ}$		175		нс
	$(\text{CP}0+) - (\text{CP}0-) = -100\text{ мВ}$		500		нс
Время отклика: Режим 2, $V_{\text{син}}^* = 1.5\text{В}$	$(\text{CP}0+) - (\text{CP}0-) = 100\text{ мВ}$		320		нс
	$(\text{CP}0+) - (\text{CP}0-) = -100\text{ мВ}$		1100		нс
Время отклика: Режим 3, $V_{\text{син}}^* = 1.5\text{В}$	$(\text{CP}0+) - (\text{CP}0-) = 100\text{ мВ}$		1050		нс
	$(\text{CP}0+) - (\text{CP}0-) = -100\text{ мВ}$		5200		нс
Коэффициент подавления синфазного сигнала			1.5	4	мВ/В
Положительный гистерезис 1	$\text{CP}0\text{HYR}1-0 = 00$		0	1	мВ
Положительный гистерезис 2	$\text{CP}0\text{HYR}1-0 = 01$	2	5	10	мВ
Положительный гистерезис 3	$\text{CP}0\text{HYR}1-0 = 10$	7	10	20	мВ
Положительный гистерезис 4	$\text{CP}0\text{HYR}1-0 = 11$	15	20	30	мВ
Отрицательный гистерезис 1	$\text{CP}0\text{HYN}1-0 = 00$		0	1	мВ
Отрицательный гистерезис 2	$\text{CP}0\text{HYN}1-0 = 01$	2	5	10	мВ
Отрицательный гистерезис 3	$\text{CP}0\text{HYN}1-0 = 10$	7	10	20	мВ
Отрицательный гистерезис 4	$\text{CP}0\text{HYN}1-0 = 11$	15	20	30	мВ
Диапазон напряжений на инвертирующем или неинвертирующем входах		-0.25		(VDD) + 0.25	В
Входная емкость			4		пФ
Входной ток смещения			0.001		нА
Входное напряжение смещения		-5		+5	мВ
Параметры питания					
Время включения			10		мкс
Нестабильность по напряжению питания			0.1		мВ/В
Ток потребления	Режим 0		7,6		мкА
	Режим 1		3,2		мкА
	Режим 2		1,3		мкА
	Режим 3		0,4		мкА

* **Примечание:** $V_{\text{син}}$ – напряжение синфазного сигнала на выводах CP0+ и CP0-.

Примечания:

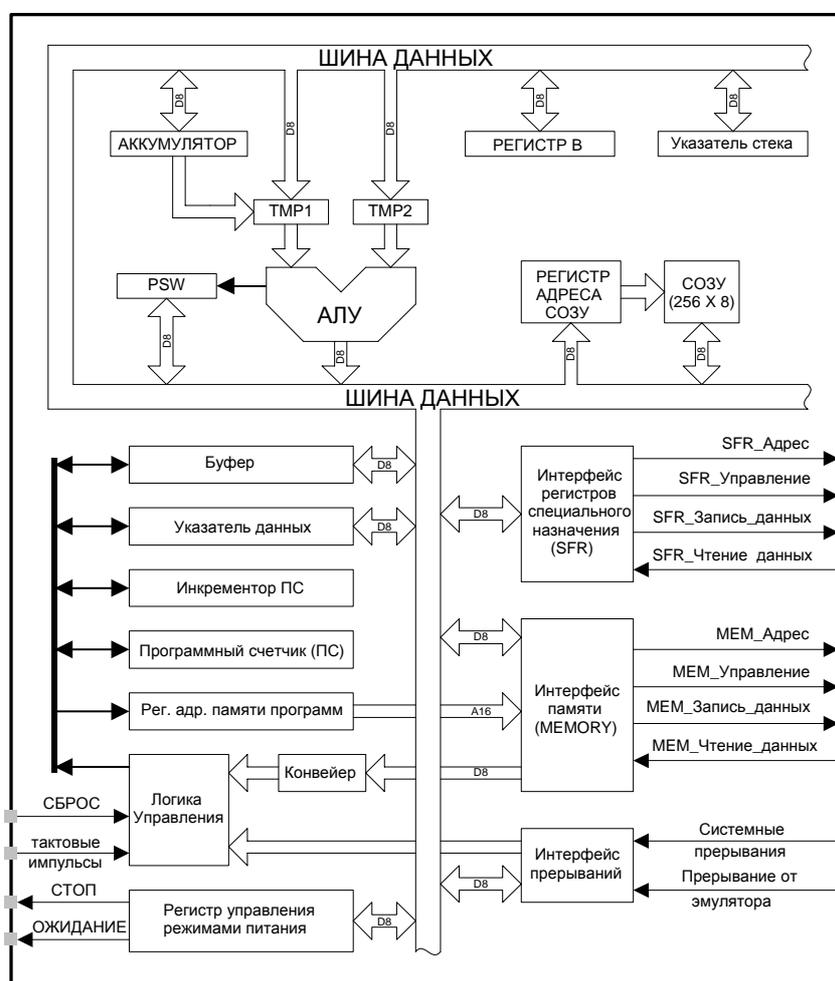
10. ПРОЦЕССОРНОЕ ЯДРО CIP-51

МК C8051F35x используют процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51TM. Для разработки программного обеспечения могут использоваться стандартные (803x/805x) ассемблеры и компиляторы. В состав МК данного семейства входят все периферийные модули, соответствующие стандарту 8051. (Информация о доступных периферийных модулях приведена в разделе 1 «Краткий обзор» на стр.17). Ядро CIP-51 содержит встроенные аппаратные средства отладки, которые взаимодействуют непосредственно с аналоговыми и цифровыми модулями МК, что позволяет реализовать на одной микросхеме законченную систему управления или сбора данных.

МК на основе CIP-51 имеют стандартную для архитектуры 8051 структуру и периферию. Кроме этого введены дополнительные специализированные периферийные модули и функции, улучшающие возможности МК (см. структурную схему на рис.10.1). Ниже перечислены основные характеристики ядра CIP-51:

- Полная совместимость с MCS-51 по системе команд
- Максимальная производительность 50 MIPS
- 256 байт внутреннего ОЗУ
- Развитая система прерываний
- Вход сброса
- Различные режимы энергопотребления
- Встроенные средства отладки

Рисунок 10.1. Структурная схема CIP-51



Производительность

CIP-51 использует конвейерную архитектуру, что существенно повышает скорость выполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 тактовых цикла, а максимальная тактовая частота составляет обычно 12 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два тактовых цикла, и ни одна команда не требует более восьми тактовых циклов.

При работе на максимальной тактовой частоте 50 МГц производительность ядра CIP-51 может достигать 50 MIPS. Система команд CIP-51 состоит из 109 команд, которые требуют от одного до восьми тактовых цикла:

Количество команд	26	50	5	14	7	3	1	2	1
Количество тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

Средства поддержки программирования и отладки

Последовательный интерфейс Cygnal 2-Wire (C2) предназначен для внутрисистемного программирования Flash-памяти программ и взаимодействия со встроенными средствами отладки. Кроме этого перепрограммируемая Flash-память может быть прочитана и изменена прикладной программой в любое время в побайтном режиме, используя команды MOVC и MOVX. Эта возможность позволяет использовать память программ для долговременного хранения данных, а также обновлять программный код под управлением программы.

Встроенные аппаратные средства отладки позволяют осуществлять внутрисхемную отладку в режиме реального времени, при этом возможны расстановка точек останова, запуск, остановка и пошаговое исполнение программы (включая процедуры обработки прерываний), проверка программного стека, чтение/запись содержимого регистров и памяти. Этот метод отладки является полностью «неразрушающим» и не требует использования внутренних ресурсов МК (например, ОЗУ, стека, таймеров и др.).

CIP-51 поддерживается аппаратными и программными средствами разработки от фирмы Silicon Laboratories и других фирм. Фирма Silicon Laboratories предлагает интегрированную среду проектирования (IDE), которая включает в себя редактор, макроассемблер, отладчик и программатор. Отладчик и программатор, входящие в состав IDE, взаимодействуют с CIP-51 посредством интерфейса C2, что позволяет осуществлять быстрое и эффективное программирование МК и его отладку. Доступны также макроассемблеры и C-компиляторы независимых фирм-производителей.



10.1. СИСТЕМА КОМАНД

Система команд CIP-51 полностью совместима с системой команд MCS-51™, поэтому разработка программного обеспечения может осуществляться с использованием средств проектирования для стандартной архитектуры 8051. Все команды CIP-51 являются двоичным и функциональным эквивалентом аналогичных команд MCS-51™, включая коды операций, режимы адресации и изменение флагов состояния. Однако, по времени выполнения команды отличаются.

10.1.1. Временные параметры команд и CPU

Во многих МК с архитектурой 8051 существует различие между машинным циклом и циклом тактирования, при этом машинный цикл длится от 2 до 12 циклов тактирования. Однако, CIP-51 основан исключительно на синхронизации тактовым сигналом и все временные параметры команд приводятся на основе циклов тактирования.

Благодаря конвейерной архитектуре CIP-51, количество тактовых циклов, требуемых для выполнения большинства команд, равно количеству байтов в команде. Команды условных переходов требуют для завершения на один цикл меньше, если переход не происходит (по сравнению с тем случаем, когда переход происходит). Система команд CIP-51 приведена в таблице 10.1, которая содержит мнемонику, количество байтов и количество тактовых циклов для каждой команды.

10.1.2. Команда MOVX и память программ

Команда MOVX обычно используется для доступа к данным, хранимым в памяти XDATA. В CIP-51 команда MOVX может также использоваться для записи или стирания встроенной памяти программ, которая реализована в виде перепрограммируемой Flash-памяти. Возможность доступа к Flash-памяти программ обеспечивает механизм, посредством которого программа пользователя может обновлять программный код и использовать область памяти программ для долговременного хранения данных (см. раздел 15 «Flash-память» на стр.121).

Таблица 10.1. Система команд CIP-51

Мнемоника команд	Описание	Байты	Циклы
АРИФМЕТИЧЕСКИЕ ОПЕРАЦИИ			
ADD A,Rn	Сложение аккумулятора с регистром (n = 0...7)	1	1
ADD A,direct	Сложение аккумулятора с прямо-адресуемым байтом	2	2
ADD A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
ADD A,#data	Сложение аккумулятора с константой	2	2
ADDC A,Rn	Сложение аккумулятора с регистром и переносом	1	1
ADDC A,direct	Сложение аккумулятора с прямо-адресуемым байтом и переносом	2	2
ADDC A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ и переносом	1	2
ADDC A,#data	Сложение аккумулятора с константой и переносом	2	2
SUBB A,Rn	Вычитание из аккумулятора регистра и заема	1	1
SUBB A,direct	Вычитание из аккумулятора прямо-адресуемого байта и заема	2	2
SUBB A,@Ri	Вычитание из аккумулятора косвенно-адресуемого байта ОЗУ и заема	1	2
SUBB A,#data	Вычитание из аккумулятора константы и заема	2	2
INC A	Инкремент аккумулятора	1	1
INC Rn	Инкремент регистра	1	1
INC direct	Инкремент прямо-адресуемого байта	2	2
INC @Ri	Инкремент косвенно-адресуемого байта ОЗУ	1	2
DEC A	Декремент аккумулятора	1	1
DEC Rn	Декремент регистра	1	1
DEC direct	Декремент прямо-адресуемого байта	2	2
DEC @Ri	Декремент косвенно-адресуемого байта ОЗУ	1	2
INC DPTR	Инкремент указателя данных	1	1
MUL AB	Умножение аккумулятора на регистр В	1	4
DIV AB	Деление аккумулятора на регистр В	1	8
DA A	Десятичная коррекция аккумулятора	1	1
ЛОГИЧЕСКИЕ ОПЕРАЦИИ			
ANL A,Rn	Логическое И аккумулятора и регистра	1	1
ANL A,direct	Логическое И аккумулятора и прямо-адресуемого байта	2	2
ANL A,@Ri	Логическое И аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ANL A,#data	Логическое И аккумулятора и константы	2	2
ANL direct,A	Логическое И прямо-адресуемого байта и аккумулятора	2	2
ANL direct,#data	Логическое И прямо-адресуемого байта и константы	3	3
ORL A,Rn	Логическое ИЛИ аккумулятора и регистра	1	1
ORL A,direct	Логическое ИЛИ аккумулятора и прямо-адресуемого байта	2	2
ORL A,@Ri	Логическое ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ORL A,#data	Логическое ИЛИ аккумулятора и константы	2	2
ORL direct,A	Логическое ИЛИ прямо-адресуемого байта и аккумулятора	2	2
ORL direct,#data	Логическое ИЛИ прямо-адресуемого байта и константы	3	3
XRL A,Rn	Исключающее ИЛИ аккумулятора и регистра	1	1
XRL A,direct	Исключающее ИЛИ аккумулятора и прямо-адресуемого байта	2	2
XRL A,@Ri	Исключающее ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
XRL A,#data	Исключающее ИЛИ аккумулятора и константы	2	2
XRL direct,A	Исключающее ИЛИ прямо-адресуемого байта и аккумулятора	2	2
XRL direct,#data	Исключающее ИЛИ прямо-адресуемого байта и константы	3	3
CLR A	Сброс аккумулятора	1	1
CPL A	Инверсия аккумулятора	1	1
RL A	Сдвиг аккумулятора влево циклический	1	1
RLC A	Сдвиг аккумулятора влево через перенос	1	1



Мнемоника команды	Описание	Байты	Циклы
RR A	Сдвиг аккумулятора вправо циклический	1	1
RRC A	Сдвиг аккумулятора вправо через перенос	1	1
SWAP A	Обмен местами тетрад в аккумуляторе	1	1
КОМАНДЫ ПЕРЕДАЧИ ДАННЫХ			
MOV A,Rn	Пересылка в аккумулятор из регистра (n = 0...7)	1	1
MOV A,direct	Пересылка в аккумулятор прямо-адресуемого байта	2	2
MOV A,@Ri	Пересылка в аккумулятор косвенно-адресуемого байта ОЗУ	1	2
MOV A,#data	Загрузка в аккумулятор константы	2	2
MOV Rn,A	Пересылка в регистр из аккумулятора	1	1
MOV Rn,direct	Пересылка в регистр прямо-адресуемого байта	2	2
MOV Rn,#data	Загрузка в регистр константы	2	2
MOV direct,A	Пересылка по прямому адресу аккумулятора	2	2
MOV direct,Rn	Пересылка по прямому адресу регистра	2	2
MOV direct,direct	Пересылка прямо-адресуемого байта по прямому адресу	3	3
MOV direct,@Ri	Пересылка косвенно-адресуемого байта ОЗУ по прямому адресу	2	2
MOV direct,#data	Пересылка по прямому адресу константы	3	3
MOV @Ri,A	Пересылка в косвенно-адресуемую ячейку ОЗУ аккумулятора	1	2
MOV @Ri,direct	Пересылка в косвенно-адресуемую ячейку ОЗУ прямо-адресуемого байта	2	2
MOV @Ri,#data	Пересылка в косвенно-адресуемую ячейку ОЗУ константы	2	2
MOV DPTR,#data16	Загрузка указателя данных	3	3
MOVC A,@A+DPTR	Пересылка в аккумулятор байта из памяти программ	1	3
MOVC A,@A+PC	Пересылка в аккумулятор байта из памяти программ	1	3
MOVX A,@Ri	Пересылка в аккумулятор байта из внешней памяти данных	1	3
MOVX @Ri,A	Пересылка байта из аккумулятора во внешнюю память данных	1	3
MOVX A,@DPTR	Пересылка в аккумулятор из расширенной внешней памяти данных	1	3
MOVX @DPTR,A	Пересылка из аккумулятора в расширенную внешнюю память данных	1	3
PUSH direct	Загрузка в стек	2	2
POP direct	Извлечение из стека	2	2
XCH A,Rn	Обмен аккумулятора с регистром	1	1
XCH A,direct	Обмен аккумулятора с прямо-адресуемым байтом	2	2
XCH A,@Ri	Обмен аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
XCHD A,@Ri	Обмен младшей тетрады аккумулятора с младшей тетрадой косвенно-адресуемого байта ОЗУ	1	2
ОПЕРАЦИИ С БИТАМИ			
CLR C	Сброс переноса	1	1
CLR bit	Сброс бита	2	2
SETB C	Установка переноса	1	1
SETB bit	Установка бита	2	2
CPL C	Инверсия переноса	1	1
CPL bit	Инверсия бита	2	2
ANL C,bit	Логическое И бита и переноса	2	2
ANL C,/bit	Логическое И инверсии бита и переноса	2	2
ORL C,bit	Логическое ИЛИ бита и переноса	2	2
ORL C,/bit	Логическое ИЛИ инверсии бита и переноса	2	2
MOV C,bit	Пересылка бита в перенос	2	2
MOV bit,C	Пересылка переноса в бит	2	2
JC rel	Переход, если перенос равен единице	2	2/3

Мнемоника команды	Описание	Байты	Циклы
JNC rel	Переход, если перенос равен нулю	2	2/3
JB bit,rel	Переход, если бит равен единице	3	3/4
JNB bit,rel	Переход, если бит равен нулю	3	3/4
JBC bit,rel	Переход, если бит установлен, с последующим сбросом бита	3	3/4
ПРОГРАММНЫЕ ПЕРЕХОДЫ			
ACALL addr11	Абсолютный вызов подпрограммы в пределах страницы в 2 Кбайта	2	3
LCALL addr16	Длинный вызов подпрограммы	3	4
RET	Возврат из подпрограммы	1	5
RETI	Возврат из подпрограммы обработки прерывания	1	5
AJMP addr11	Абсолютный переход внутри страницы в 2 Кбайта	2	3
LJMP addr16	Длинный переход в полном объеме памяти программ	3	4
SJMP rel	Короткий относительный переход внутри страницы в 256 байт	2	3
JMP @A+DPTR	Косвенный относительный переход	1	3
JZ rel	Переход, если аккумулятор равен нулю	2	2/3
JNZ rel	Переход, если аккумулятор не равен нулю	2	2/3
CJNE A,direct,rel	Сравнение аккумулятора с прямо-адресуемым байтом и переход, если не равно	3	3/4
CJNE A,#data,rel	Сравнение аккумулятора с константой и переход, если не равно	3	3/4
CJNE Rn,#data,rel	Сравнение регистра с константой и переход, если не равно	3	3/4
CJNE @Ri,#data,rel	Сравнение косвенно-адресуемого байта ОЗУ с константой и переход, если не равно	3	4/5
DJNZ Rn,rel	Декремент регистра и переход, если не нуль	2	2/3
DJNZ direct,rel	Декремент прямо-адресуемого байта и переход, если не нуль	3	3/4
NOP	Холостая команда	1	1

Условные обозначения:

Rn - Регистр R0-R7 выбранного банка регистров.

@Ri – Ячейка ОЗУ данных, адресуемая косвенно через регистры R0-R1

rel - 8-битное смещение со знаком (в дополнительном коде) относительно первого байта следующей команды. Используется командой SJMP и всеми командами условных переходов.

direct - 8-битный адрес ячейки внутреннего ОЗУ данных. Это может быть ячейка ОЗУ данных прямого доступа (0x00-0x7F) или регистр специального назначения SFR (0x80-0xFF).

#data - 8-битная константа

#data 16 - 16-битная константа

bit – Прямо-адресуемый бит ячейки ОЗУ данных или регистра специального назначения SFR.

addr 11 - 11-битный адрес перехода, используемый командами ACALL и AJMP. Переход должен осуществляться в пределах той 2-Кбайтной страницы памяти программ, в которой расположен первый байт следующей команды.

addr 16 - 16-битный адрес перехода, используемый командами LCALL и LJMP. Переход может осуществляться в пределах всего 64-Кбайтного пространства памяти программ.

Существует один неиспользуемый код операции (0xA5), который исполняется аналогично команде NOP.

На всю мнемонику распространяется авторское право © Intel Corporation 1980.



10.2. Описания регистров

Ниже приведены описания регистров SFR, связанных с работой ядра CIP-51. Зарезервированные биты не следует устанавливать в логическую 1. Будущие версии МК могут использовать эти биты для реализации новых функций, тогда при сбросе в эти биты будут записаны логические нули, выбирая тем самым состояние по умолчанию для новых функций. Подробные описания остальных SFR включены в разделы настоящего руководства, посвященные описанию связанных с ними системных модулей и функций.

SFR-описание 10.1. SP: Указатель стека

R/W	Значение при сбросе: 00000111 SFR Адрес: 0x81							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SP: Указатель стека.
Указатель стека содержит адрес вершины стека. Указатель стека инкрементируется перед каждой операцией PUSH. После сброса регистр SP содержит значение по умолчанию 0x07.

SFR-описание 10.2. DPL: Младший байт указателя данных

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x82							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: DPL: Младший байт указателя данных.
Регистр DPL является младшим байтом 16-разрядного регистра DPTR.
DPTR используется для доступа к адресуемой в косвенном режиме памяти XRAM и Flash-памяти.

SFR-описание 10.3. DPH: Старший байт указателя данных

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x83							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: DPH: Старший байт указателя данных.
Регистр DPH является младшим байтом 16-разрядного регистра DPTR.
DPTR используется для доступа к адресуемой в косвенном режиме памяти XRAM и Flash-памяти.

SFR-описание 10.4. PSW: Слово состояния программы

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	Значение при сбросе: 00000000 SFR Адрес: 0xD0																				
CY	AC	F0	RS1	RS0	OV	F1	PARITY																					
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)																					
<p>Бит 7: CY: Флаг переноса. Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) или заем (вычитание). Он сбрасывается в 0 всеми другими арифметическими операциями.</p> <p>Бит 6: AC: Флаг десятичного переноса. Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) в старший полубайт или заем (вычитание) из старшего полубайта. Он сбрасывается в 0 всеми другими арифметическими операциями.</p> <p>Бит 5: F0: Флаг пользователя 0. Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.</p> <p>Биты 4-3: RS1-RS0: Биты выбора банка регистров. Эти биты определяют активный банк регистров.</p> <table border="1"> <thead> <tr> <th>RS1</th> <th>RS0</th> <th>Банк регистров</th> <th>Адреса</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0x00-0x07</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0x08-0x0F</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> <td>0x10-0x17</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> <td>0x18-0x1F</td> </tr> </tbody> </table> <p>Бит 2: OV: Флаг переполнения. Этот бит устанавливается в 1 в следующих случаях:</p> <ul style="list-style-type: none"> - если в результате выполнения команды ADD, ADDC или SUBB произошло переполнение с изменением знака; - если в результате выполнения команды MUL произошло переполнение (результат превышает значение 255); - если при выполнении команды DIV произошло деление на ноль. <p>Бит OV сбрасывается в 0 командами ADD, ADDC, SUBB, MUL и DIV во всех других случаях.</p> <p>Бит 1: F1: Флаг пользователя 1. Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.</p> <p>Бит 0: PARITY: Флаг четности. Этот бит устанавливается в 1, если сумма восьми бит в аккумуляторе нечетная и сбрасывается в 0, если сумма четная.</p>									RS1	RS0	Банк регистров	Адреса	0	0	0	0x00-0x07	0	1	1	0x08-0x0F	1	0	2	0x10-0x17	1	1	3	0x18-0x1F
RS1	RS0	Банк регистров	Адреса																									
0	0	0	0x00-0x07																									
0	1	1	0x08-0x0F																									
1	0	2	0x10-0x17																									
1	1	3	0x18-0x1F																									



SFR-описание 10.5. ACC: Аккумулятор

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xE0							
ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Биты 7-0: ACC: Аккумулятор
Этот регистр является аккумулятором для арифметических операций.

SFR-описание 10.6. В: Регистр В

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF0							
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Биты 7-0: В: Регистр В
Этот регистр работает в качестве второго аккумулятора для некоторых арифметических операций.

10.3. Режимы управления электропитанием

Ядро CIP-51 имеет два программируемых режима управления электропитанием: режим ожидания и режим остановки. В режиме ожидания процессорное ядро (CPU) останавливается, а периферийные модули и тактирование остаются активными. В режиме остановки CPU и внутренний тактовый генератор останавливаются, все источники прерываний и таймеры (кроме детектора исчезновения тактирования) неактивны (аналоговые периферийные модули остаются в выбранном для них состоянии; режим работы внешнего генератора не изменяется). Т.к. в режиме ожидания тактирование системы сохраняется, то энергопотребление зависит от системной тактовой частоты и количества периферийных модулей, оставленных в активном режиме до входа в режим ожидания. В режиме остановки энергопотребление наименьшее. SFR-описание 10.7 описывает регистр управления питанием (PCON), используемый для настройки режимов электропитания CIP-51.

Хотя CIP-51 имеет встроенные режимы ожидания и остановки (как любой МК со стандартной архитектурой 8051), управление питанием всего МК наиболее эффективно осуществляется путем включения/отключения отдельных периферийных модулей. Каждый аналоговый периферийный модуль, когда он не используется, может быть отключен и переведен в режим пониженного энергопотребления. Цифровые периферийные модули, такие как таймеры или последовательные интерфейсы, потребляют мало энергии, когда не используются. Отключение генераторов значительно снижает энергопотребление, но после этого требуется сброс для запуска МК.

10.3.1. Режим ожидания

Установка в 1 бита выбора режима ожидания (PCON.0) заставит CIP-51 остановить процессорное ядро и перейти в режим ожидания сразу же после завершения команды, которая устанавливает этот бит. Все внутренние регистры и память сохраняют свои данные. Все аналоговые и цифровые периферийные модули могут оставаться активными во время режима ожидания.

Выйти из режима ожидания можно или по сигналу сброса, или по прерыванию. Любой из разрешенных сигналов прерывания приведет к сбросу бита PCON.0 и возобновлению работы процессорного ядра. Прерывание будет обслужено и после выхода из прерывания (RETI) будет исполнена команда, которая следует в программе за командой, установившей бит выбора режима ожидания (PCON.0). Если режим ожидания завершается по внутреннему или внешнему сигналу сброса, то CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если сторожевой таймер включен, то со временем он вызовет сброс от сторожевого таймера, что приведет к выходу из режима ожидания. Эта возможность защищает систему от непреднамеренного постоянного отключения в случае случайной записи регистра PCON. Когда такое поведение нежелательно, сторожевой таймер может быть отключен программно до входа в режим ожидания, если первоначально он был настроен на разрешение такой операции. Это обеспечивает возможность дополнительного уменьшения энергопотребления, т.к. система остается в режиме ожидания неопределенно долгое время, ожидая внешнего сигнала пробуждения системы.

10.3.2. Режим остановки

Установка в 1 бита выбора режима остановки (PCON.1) заставит CIP-51 перейти в режим остановки сразу же после завершения команды, которая устанавливает этот бит. В режиме остановки внутренний тактовый генератор, процессорное ядро и все цифровые периферийные модули останавливаются; состояние схемы внешнего тактового генератора не изменяется. Каждый аналоговый периферийный модуль (включая схему внешнего тактового генератора) можно отключить индивидуально до перехода в режим остановки. Выйти из режима остановки можно только по внутреннему или внешнему сигналу сброса. При сбросе CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если включен детектор исчезновения тактовых импульсов (Missing Clock Detector – MCD), то он вызовет внутренний сброс и тем самым выведет МК из режима остановки. Детектор исчезновения тактовых импульсов следует отключить, если необходимо перевести МК в режим остановки на время, большее времени задержки MCD (100 мкс).



SFR-описание 10.7. PCON: Регистр управления электропитанием

R/W	Значение при сбросе:							
-	-	-	-	-	-	STOP	IDLE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x87

Биты 7-2: Зарезервированы.

Бит 1: STOP: Выбор режима остановки.
Установка в 1 этого бита переведет CIP-51 в режим остановки. Этот бит всегда будет читаться как '0'.
1: Переход в режим остановки (Остановка внутреннего тактового генератора).

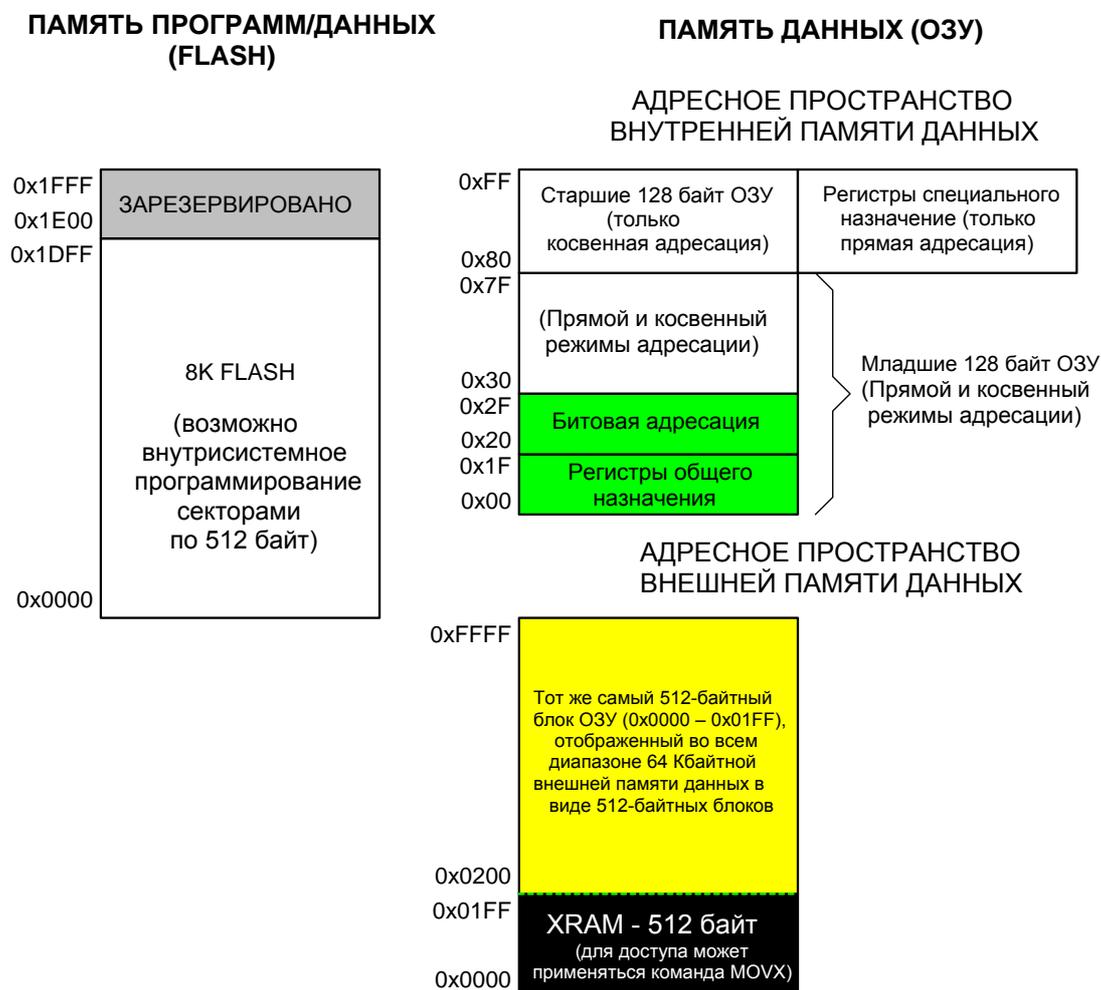
Бит 0: IDLE: Выбор режима ожидания.
Установка в 1 этого бита переведет CIP-51 в режим ожидания. Этот бит всегда будет читаться как '0'.
1: Переход в режим ожидания. (Отключение тактирования процессорного ядра, однако тактирование таймеров, прерываний и всех периферийных модулей сохраняется).

Примечания:

11. Организация памяти и SFR-регистры

Организация памяти МК C8051F350/1/2/3 соответствует стандарту 8051. Имеется две отдельных области памяти, память программ и память данных, которые разделяют одно и то же адресное пространство, но доступ к ним осуществляется командами различного типа. Организация памяти CIP-51 показана на рис.11.1.

Рисунок 11.1. Карта распределения памяти



11.1. Память программ

CIP-51 имеет адресное пространство памяти программ 64 Кбайт. В МК C8051F350/1/2/3 физически реализовано 8 Кбайт этой памяти программ, которая является внутрисистемной перепрограммируемой Flash-памятью, занимающей непрерывный блок адресов от 0x0000 до 0x1DFF. Адреса, превышающие 0x1DFF, зарезервированы.

По умолчанию память программ настраивается только для чтения. Однако МК C8051F350/1/2/3 может записывать данные в память программ (с использованием команды MOVX), для чего необходимо установить в 1 бит разрешения записи памяти программ (PSCTL.0). Эта возможность позволяет CIP-51 обновлять программный код и использовать память программ для долговременного хранения данных. Подробная информация о работе с Flash-памятью приведена в разделе 15 «Flash-память» на стр.121.

11.2. Память данных

В МК C8051F350/1/2/3 физически реализовано 256 байт внутреннего ОЗУ, отображенного в пространстве памяти данных с адресами от 0x00 до 0xFF. Младшие 128 байт памяти данных используются для регистров общего назначения (РОН) и сверхоперативного ЗУ (СОЗУ). Для доступа к младшим 128 байтам памяти данных можно использовать либо прямую, либо косвенную адресацию. Ячейки с адресами от 0x00 до 0x1F разбиты на четыре банка РОН, каждый банк состоит из восьми однобайтовых регистров. Следующие 16 байт (0x20 - 0x2F) могут адресоваться побайтно или побитно как 128 бит, доступные в режиме прямой битовой адресации.

Старшие 128 байт памяти данных доступны только в режиме косвенной адресации. Эта область памяти занимает то же самое адресное пространство, что и регистры специального назначения (Special Function Registers - SFR), но физически отделена от них. При обращении к ячейкам памяти с адресами 0x7F - 0xFF использующийся в команде режим адресации определяет, к чему осуществляется доступ: к старшим 128 байтам памяти данных или к SFR. Команды, которые используют режим прямой адресации, будут обращаться к SFR. Команды, использующие режим косвенной адресации, будут обращаться к старшим 128 байтам памяти данных. На рис.11.1 показана организация памяти данных МК C8051F350/1/2/3.

МК C8051F350/1/2/3 также содержат 512 байт встроенного ОЗУ, отображенные в адресном пространстве внешней памяти (XDATA). Доступ к этому ОЗУ осуществляется с помощью команды MOVX. Подробная информация о памяти XRAM приведена в разделе 16 «Внешнее ОЗУ» на стр.127.

11.3. Регистры общего назначения

Младшие 32 байта памяти данных (0x00 - 0x1F) разбиты на четыре банка регистров общего назначения. Каждый банк состоит из восьми однобайтовых регистров, обозначаемых R0-R7. В конкретный момент времени может быть активен лишь один банк, определяемый битами RS0 (PSW.3) и RS1 (PSW.4) в слове состояния программы (program status word) PSW (см. SFR-описание 10.4). Это позволяет осуществлять быстрое переключение контекста при вызове подпрограмм и процедур обработки прерываний. Режимы косвенной адресации используют регистры R0 и R1 в качестве индексных регистров.

11.4. Ячейки памяти с битовой адресацией

Кроме прямого (побайтного) доступа к памяти данных 16 ячеек этой памяти с адресами 0x20 - 0x2F доступны также как 128 индивидуально адресуемых бит. Каждый бит имеет битовый адрес от 0x00 до 0x7F. Бит 0 байта 0x20 имеет битовый адрес 0x00, а бит 7 байта 0x20 имеет битовый адрес 0x07. Бит 7 байта 0x2F имеет битовый адрес 0x7F. Битовый доступ можно отличить от байтового доступа по типу используемой команды (операнды исходных данных и результата в первом случае являются битами, во втором – байтами).

Ассемблер MCS-51™ допускает альтернативную запись для режима битовой адресации в форме XX.B, где XX – адрес байта, а B – позиция бита внутри этого байта. Например, команда:

```
MOV C, 22h.3
```

присваивает значение бита 0x13 (бит 3 в ячейке с адресом 0x22) флагу переноса.

11.5. Стек

Программный стек может быть размещен в любом месте 256-байтной памяти данных. Область стека определяется с помощью указателя стека (Stack Pointer - SP, 0x81). SP будет указывать на последнюю использованную ячейку. Следующее значение, загружаемое в стек, размещается по адресу SP+1, и затем SP инкрементируется. При сбросе SP инициализируется значением 0x07. Поэтому первое значение, загружаемое в стек, размещается по адресу 0x08, которое также является первым регистром (R0) регистрового банка 1. Таким образом, если требуется использовать более одного банка регистров, SP следует инициализировать адресом ячейки ОЗУ, не используемой для хранения данных. Стек может иметь глубину до 256 байт.



11.6. Регистры специального назначения

Ячейки памяти данных с адресами от 0x80 до 0xFF, доступные в режиме прямой адресации, образуют регистры специального назначения (special function registers - SFR). SFR позволяют управлять ресурсами ядра CIP-51 и периферийными модулями, а также осуществлять обмен данными с ними. CIP-51 дублирует SFR, типичные для архитектуры 8051, и содержит дополнительные SFR, используемые для настройки подсистем, уникальных для данного семейства МК, и доступа к ним. Это позволяет реализовать новые возможности при сохранении совместимости с системой команд MCS-51™. В таблице 11.1 перечислены все SFR МК на основе CIP-51.

Регистры SFR доступны в любое время, когда для доступа к ячейкам памяти с адресами от 0x80 до 0xFF используется режим прямой адресации. SFR с адресами, оканчивающимися на 0x0 или 0x8 (т.е. P0, TCON, IE, и т.д.), адресуются как побайтно, так и побитно. Все другие SFR адресуются только побайтно. Незанятые адреса в области SFR зарезервированы для дальнейшего использования. Обращение к ячейкам из этой области даст неопределенный результат и должно быть исключено. Подробное описание каждого регистра приведено на соответствующей странице данного руководства, указанной в табл. 11.2.

Таблица 11.1. Распределение регистров специального назначения в памяти

F8	SPI0CN	PCA0L	PCA0H	ADC0CF	ADC0FL	ADC0FM	ADC0FH	VDM0CN
F0	B	P0MDIN	P1MDIN	ADC0MD	ADC0CN		EIP1	ADC0CLK
E8	ADC0STA	PCA0CPL0	PCA0CPH0	PCA0CPL1	PCA0CPH1	PCA0CPL2	PCA0CPH2	RSTSRC
E0	ACC	XBR0	XBR1	PFE0CN	IT01CF		EIE1	
D8	PCA0CN	PCA0MD	PCA0CPM0	PCA0CPM1	PCA0CPM2	IDA1		
D0	PSW	REF0CN			P0SKIP	P1SKIP		IDA1CN
C8	TMR2CN		TMR2RLL	TMR2RLH	TMR2L	TMR2H		
C0	SMB0CN	SMB0CF	SMB0DAT	ADC0L	ADC0M	ADC0H	ADC0MUX	
B8	IP	IDA0CN	ADC0COL	ADC0COM	ADC0COH	ADC0BUF	CKMUL	ADC0DAC
B0		OSCXCN	OSCICN	OSCICL			FLSCL	FLKEY
A8	IE	CLKSEL	EMI0CN	ADC0CGL	ADC0CGM	ADC0CGH		
A0	P2	SPI0CFG	SPI0CKR	SPI0DAT	P0MDOUT	P1MDOUT	P2MDOUT	
98	SCON0	SBUF0	ADC0DECL	ADC0DECH	CPT0CN	CPT0MD		CPT0MX
90	P1	TMR3CN	TMR3RLL	TMR3RLH	TMR3L	TMR3H	IDA0	
88	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	PSCTL
80	P0	SP	DPL	DPH				PCON

↑
0(8) 1(9) 2(A) 3(B) 4(C) 5(D) 6(E) 7(F)

Доступны в режиме побитной адресации

Таблица 11.2. Регистры специального назначения

SFR перечислены в алфавитном порядке. Все неопределенные ячейки в области SFR зарезервированы.

Адрес	Регистр	Описание	№ стр.
0xE0	ACC	Аккумулятор	95
0xBD	ADC0BUF	Управление буфером АЦПО	53
0xFB	ADC0CF	Конфигурация АЦПО	49
0xAD	ADC0CGH	Старший байт калибровочного коэффициента крутизны АЦПО	56
0xAB	ADC0CGL	Младший байт калибровочного коэффициента крутизны АЦПО	56
0xAC	ADC0CGM	Средний байт калибровочного коэффициента крутизны АЦПО	56
0xF7	ADC0CLK	Тактирование АЦПО	51
0xF4	ADC0CN	Управление АЦПО	48
0xBC	ADC0COH	Старший байт калибровочного коэффициента смещения АЦПО	55
0xBA	ADC0COL	Младший байт калибровочного коэффициента смещения АЦПО	55
0xBB	ADC0COM	Средний байт калибровочного коэффициента смещения АЦПО	55
0xBF	ADC0DAC	Смещающий ЦАП модуля АЦПО	52
0x9B	ADC0DECH	Старший байт коэффициента децимации АЦПО	51
0x9A	ADC0DECL	Младший байт коэффициента децимации АЦПО	52
0xFE	ADC0FH	Старший байт результата преобразования с выхода фильтра Fast	58
0xFC	ADC0FL	Младший байт результата преобразования с выхода фильтра Fast	58
0xFD	ADC0FM	Средний байт результата преобразования с выхода фильтра Fast	58
0xC5	ADC0H	Слово данных АЦПО (старший байт)	57
0xC3	ADC0L	Слово данных АЦПО (младший байт)	57
0xC4	ADC0M	Слово данных АЦПО (средний байт)	57
0xF3	ADC0MD	Режим АЦПО	50
0xC6	ADC0MUX	Мультиплексор АЦПО	60
0xE8	ADC0STA	Состояние АЦПО	54
0xF0	B	Регистр B	95
0x8E	CKCON	Управление тактированием таймеров 0, 1, 2 и 3	201
0xBE	CLKMUL	Умножитель тактовой частоты	135
0xA9	CLKSEL	Выбор источника тактирования	136
0x9C	CPT0CN	Управление Компаратором 0	81
0x9D	CPT0MD	Выбор режима Компаратора 0	82
0x9F	CPT0MX	Выбор канала мультиплексора Компаратора 0	84
0x83	DPH	Указатель данных (старший байт)	93
0x82	DPL	Указатель данных (младший байт)	93
0xE6	EIE1	Дополнительный регистр разрешения прерываний 1	109
0xF6	EIP1	Дополнительный регистр приоритетов прерываний 1	110
0xAA	EMI0CN	Управление интерфейсом внешней памяти	127
0xB7	FLKEY	Блокировка и ключевой код Flash-памяти	125
0xB6	FLSCL	Делитель модуля Flash-памяти	126
0x96	IDA0	Слово данных ЦАП	69



Адрес	Регистр	Описание	№ стр.
0xB9	IDA0CN	Управление ЦАП0	69
0xDD	IDA1	Слово данных ЦАП1	70
0xD7	IDA1CN	Управление ЦАП1	70
0xA8	IE	Разрешение прерываний	107
0xB8	IP	Управление приоритетами прерываний	108
0xE4	IT01CF	Конфигурация INT0/INT1	112
0xB3	OSCICL	Калибровка внутреннего генератора	130
0xB2	OSCICN	Управление внутренним генератором	130
0xB1	OSXCXCN	Управление внешним генератором	134
0x80	P0	Регистр-защелка Порта 0	145
0xF1	P0MDIN	Регистр настройки входов Порта 0	145
0xA4	P0MDOUT	Регистр настройки выходов Порта 0	146
0xD4	P0SKIP	Регистр выбора выводов Порта 0, пропускаемых матрицей	146
0x90	P1	Регистр-защелка Порта 1	147
0xF2	P1MDIN	Регистр настройки входов Порта 1	147
0xA5	P1MDOUT	Регистр настройки выходов Порта 1	148
0xD5	P1SKIP	Регистр выбора выводов Порта 1, пропускаемых матрицей	148
0xA0	P2	Регистр-защелка Порта 2	149
0xA6	P2MDOUT	Регистр настройки выходов Порта 2	149
0xD8	PCA0CN	Управление программируемым массивом счетчиков (ПМС) 0	222
0xEA	PCA0CPH0	Слово данных модуля захвата 0 (старший байт)	226
0xEC	PCA0CPH1	Слово данных модуля захвата 1 (старший байт)	226
0xEE	PCA0CPH2	Слово данных модуля захвата 2 (старший байт)	226
0xE9	PCA0CPL0	Слово данных модуля захвата 0 (младший байт)	226
0xEB	PCA0CPL1	Слово данных модуля захвата 1 (младший байт)	226
0xED	PCA0CPL2	Слово данных модуля захвата 2 (младший байт)	226
0xDA	PCA0CPM0	Настройка модуля захват/сравнение 0	224
0xDB	PCA0CPM1	Настройка модуля захват/сравнение 1	224
0xDC	PCA0CPM2	Настройка модуля захват/сравнение 2	224
0xFA	PCA0H	Слово данных таймера/счетчика ПМС (старший байт)	225
0xF9	PCA0L	Слово данных таймера/счетчика ПМС (младший байт)	225
0xD9	PCA0MD	Режим ПМС 0	223
0x87	PCON	Управление питанием	97
0xE3	PFE0CN	Управление механизмом упреждающей выборки	113
0x8F	PSCTL	Управление режимом чтения/записи памяти программ	125
0xD0	PSW	Слово состояния программы	94
0xD1	REF0CN	Регистр управления ИОН	74
0xEF	RSTSRC	Регистр источника сброса	119
0x99	SBUF0	Буфер данных УАППО	177
0x98	SCON0	Управление последовательным портом УАППО	176
0xC1	SMB0CF	Конфигурация модуля SMBus0	158

Адрес	Регистр	Описание	№ стр.
0xC0	SMB0CN	Управление модулем SMBus0	160
0xC2	SMB0DAT	Регистр данных модуля SMBus 0	162
0x81	SP	Указатель стека	93
0xA1	SPI0CFG	Конфигурация модуля SPI	187
0xA2	SPI0CKR	Управление частотой тактирования модуля SPI	189
0xF8	SPI0CN	Управление модулем SPI	188
0xA3	SPI0DAT	Регистр данных модуля SPI	190
0x88	TCON	Управление таймером/счетчиком	199
0x8C	TH0	Слово данных таймера/счетчика 0 (старший байт)	202
0x8D	TH1	Слово данных таймера/счетчика 1 (старший байт)	202
0x8A	TL0	Слово данных таймера/счетчика 0 (младший байт)	202
0x8B	TL1	Слово данных таймера/счетчика 1 (младший байт)	202
0x89	TMOD	Режим таймера/счетчика	200
0xC8	TMR2CN	Управление таймером 2	205
0xCD	TMR2H	Старший байт таймера 2	206
0xCC	TMR2L	Младший байт таймера 2	206
0xCB	TMR2RLH	Старший байт регистра перезагрузки таймера 2	206
0xCA	TMR2RLL	Младший байт регистра перезагрузки таймера 2	206
0x91	TMR3CN	Управление таймером 3	209
0x95	TMR3H	Старший байт таймера 3	210
0x94	TMR3L	Младший байт таймера 3	210
0x93	TMR3RLH	Старший байт регистра перезагрузки таймера 3	210
0x92	TMR3RLL	Младший байт регистра перезагрузки таймера 3	210
0xFF	VDM0CN	Управление схемой слежения за напряжением питания	117
0xE1	XBR0	Конфигурация 1 матрицы портов ввода/вывода	142
0xE2	XBR1	Конфигурация 2 матрицы портов ввода/вывода	143



12. ОБРАБОТКА ПРЕРЫВАНИЙ

МК C8051F350/1/2/3 имеют развитую систему прерываний, поддерживающую в общей сложности 12 источников прерываний с двумя уровнями приоритета. Распределение источников прерываний между встроенными периферийными модулями и внешними входными выводами зависит от конкретного типа МК. Каждый источник прерываний имеет один или несколько связанных с ним флагов прерываний, размещенных в SFR. Когда периферийный модуль или внешний источник прерываний регистрирует событие, удовлетворяющее условию прерывания, соответствующий флаг прерывания устанавливается в 1.

Если прерывание от источника прерываний разрешено, то при установке флага прерывания генерируется запрос прерывания. Как только выполнение текущей команды завершится, будет сгенерирована команда LCALL перехода по предопределенному адресу, откуда начнется исполнение процедуры обслуживания прерывания (interrupt service routine - ISR). Каждая ISR должна заканчиваться командой RETI, которая возвращает управление прерванной программе и приводит к выполнению той команды, которая исполнилась бы, если бы запроса прерывания не было. Если прерывания не разрешены, флаг прерывания игнорируется и выполнение программы продолжается в нормальном режиме. (Флаг прерывания устанавливается в 1 независимо от того, разрешены прерывания или запрещены).

Прерывание от каждого источника прерываний может быть разрешено или запрещено с помощью соответствующих битов разрешения прерываний в регистрах SFR (IE и EIE1). Однако, сначала прерывания необходимо разрешить глобально установкой в 1 бита EA (IE.7), только после этого состояние индивидуальных флагов разрешения прерываний будет иметь силу. Сброс в 0 бита EA запрещает прерывания от всех источников прерываний независимо от состояния индивидуальных флагов разрешения прерываний. Следует иметь в виду, что прерывания, которые произойдут при EA = 0, будут удерживаться в отложенном состоянии и не будут обслужены до тех пор, пока бит EA не установится в 1.

Некоторые флаги прерываний сбрасываются автоматически аппаратными средствами при переходе к процедуре ISR. Однако большинство флагов прерываний не сбрасываются аппаратно и должны быть сброшены программно до возвращения из процедуры ISR. Если флаг прерывания остается установленным после завершения выполнения команды возврата из прерывания (RETI), то сразу же будет сгенерирован новый запрос прерывания и после завершения выполнения следующей команды произойдет повторный переход к процедуре ISR.

12.1. Источники и векторы прерываний

Данное семейство МК поддерживает 12 источников прерываний. Программа может симулировать прерывание установкой в 1 любого флага прерывания. Если прерывание для этого флага разрешено, будет сгенерирован запрос прерывания и произойдет переход по адресу процедуры ISR, связанной с этим флагом прерывания. Источники прерываний МК, соответствующие им адреса прерываний, уровень приоритета и биты управления перечислены в таблице 12.1 на стр.106. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

12.2. Приоритеты прерываний

Каждому источнику прерываний можно программно присвоить один из двух уровней приоритета: низкий или высокий. Процедура ISR с низким приоритетом может быть прервана прерыванием с высоким приоритетом. Прерывание с высоким приоритетом не может быть прервано. Каждое прерывание имеет связанный с ним бит приоритета в регистрах SFR (IP или EIP1), используемый для настройки уровня приоритета. По умолчанию присваивается низкий приоритет. Если два прерывания происходят одновременно, прерывание с более высоким приоритетом обслуживается первым. Если оба прерывания имеют одинаковый приоритет, то для арбитража используется фиксированный уровень приоритета, приведенный в табл.12.1.

12.3. Задержка обработки прерывания

Время реакции на прерывание зависит от состояния процессорного ядра в момент возникновения прерывания. Опрос флага прерывания и декодирование приоритета осуществляется каждый системный тактовый цикл. Поэтому, наименьшее возможное время реакции на прерывание составляет 5 тактовых циклов: 1 цикл для определения прерывания и 4 цикла для выполнения команды LCALL перехода к процедуре ISR. Если в момент выполнения команды RETI появляется прерывание, то до выполнения команды LCALL перехода на процедуру обслуживания этого прерывания будет исполнена одна команда основной программы. Поэтому максимальное время реакции на прерывание (если в настоящий момент не обслуживается другое прерывание или если новое прерывание имеет более высокий приоритет) будет тогда, когда выполняется команда RETI, а следом за ней должна выполняться команда DIV. В этом случае время реакции составляет 18 тактовых циклов: 1 цикл для определения прерывания, 5 циклов для выполнения команды RETI, 8 циклов для выполнения команды DIV и 4 цикла для выполнения команды LCALL перехода на процедуру ISR. Если

выполняется процедура ISR для прерывания с равным или более высоким приоритетом, новое прерывание не будет обслужено до тех пор, пока не завершится текущая процедура ISR, включая команду RETI и следующую команду.

Таблица 12.1. Источники прерываний

Источник прерывания	Вектор прерывания	Приоритет	Флаг прерывания	Битовая адресация ?	Аппаратный сброс ?	Бит разрешения	Управление приоритетом
Сброс	0x0000	Наивысший	Нет	N/A	N/A	Разрешен всегда	Всегда наивысший
Внешнее прерывание 0 (INT0)	0x0003	0	IE0 (TCON.1)	Y	Y	EX0 (IE.0)	PX0 (IP.0)
Переполнение Таймера 0	0x000B	1	TF0 (TCON.5)	Y	Y	ET0 (IE.1)	PT0 (IP.1)
Внешнее прерывание 1 (INT1)	0x0013	2	IE1 (TCON.3)	Y	Y	EX1 (IE.2)	PX1 (IP.2)
Переполнение Таймера 1	0x001B	3	TF1 (TCON.7)	Y	Y	ET1 (IE.3)	PT1 (IP.3)
Последовательный порт УАППО	0x0023	4	RI0 (SCON0.0) TI0 (SCON0.1)	Y	N	ES0 (IE.4)	PS0 (IP.4)
Переполнение Таймера 2	0x002B	5	TF2H (TMR2CN.7) TF2L (TMR2CN.6)	Y	N	ET2 (IE.5)	PT2 (IP.5)
Модуль SPI0	0x0033	6	SPIF (SPI0CN.7) WCOL (SPI0CN.6) MODF (SPI0CN.5) RXOVRN (SPI0CN.4)	Y	N	ESPI0 (IE.6)	PSPI0 (IP.6)
Модуль SMBus0	0x003B	7	SI (SMB0CN.0)	Y	N	ESMB0 (EIE1.0)	PSMB0 (EIP1.0)
ЗАРЕЗЕРВИРОВАНО	0x0043	8	N/A	N/A	N/A	N/A	N/A
ЗАРЕЗЕРВИРОВАНО	0x004B	9	N/A	N/A	N/A	N/A	N/A
АЦПО	0x0053	10	AD0INT (ADC0STA.5)	Y	N	EADC0 (EIE1.3)	PADC0 (EIP1.3)
Программируемый массив счетчиков	0x005B	11	CF (PCA0CN.7) CCFn (PCA0CN.n)	Y	N	EPCA0 (EIE1.4)	PPCA0 (EIP1.4)
Компаратор 0	0x0063	12	CP0FIF/CP0RIF (CPT0CN.4/.5)	N	N	ECP0 (EIE1.5)	PCP0 (EIP1.5)
ЗАРЕЗЕРВИРОВАНО	0x006B	13	N/A	N/A	N/A	N/A	N/A
Переполнение Таймера 3	0x0073	14	TF3H (TMR3CN.7) TF3L (TMR3CN.6)	N	N	ET3 (EIE1.7)	PT3 (EIP1.7)



12.4. Описание регистров прерываний

Регистры SFR, используемые для разрешения/запрещения источников прерываний и установки их приоритетов, описаны ниже. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

SFR-описание 12.1. IE: Регистр разрешения прерываний

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA8
EA	ESPI0	ET2	ES0	ET1	EX1	ET0	EX0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: EA: Бит разрешения всех прерываний. Этот бит глобально разрешает/запрещает все прерывания. Будучи сброшенным в 0, он перекрывает индивидуальные маски прерываний 0: Все источники прерываний запрещены. 1: Каждое прерывание разрешено/запрещено в соответствии с его индивидуальной маской.</p>								
<p>Бит 6: ESPI0: Бит разрешения прерываний от модуля SPI0. Этот бит устанавливает маскирование прерывания от модуля SPI0. 0: Все прерывания от модуля SPI0 запрещены. 1: Разрешены запросы прерываний, генерируемые модулем SPI0.</p>								
<p>Бит 5: ET2: Бит разрешения прерывания от Таймера 2. Этот бит устанавливает маскирование прерывания от Таймера 2. 0: Все прерывания от Таймера 2 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флагов TF2L или TF2H.</p>								
<p>Бит 4: ES0: Бит разрешения прерываний от последовательного порта УАППО. Этот бит устанавливает маскирование прерывания от последовательного порта УАППО. 0: Прерывания от УАППО запрещены. 1: Прерывания от УАППО разрешены.</p>								
<p>Бит 3: ET1: Бит разрешения прерывания от Таймера 1. Этот бит устанавливает маскирование прерывания от Таймера 1. 0: Все прерывания от Таймера 1 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF1.</p>								
<p>Бит 2: EX1: Бит разрешения внешнего прерывания 1. Этот бит устанавливает маскирование внешнего прерывания 1. 0: Внешнее прерывание 1 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на входе /INT1.</p>								
<p>Бит 1: ET0: Бит разрешения прерывания от Таймера 0. Этот бит устанавливает маскирование прерывания от Таймера 0. 0: Все прерывания от Таймера 0 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF0.</p>								
<p>Бит 0: EX0: Бит разрешения внешнего прерывания 0. Этот бит устанавливает маскирование внешнего прерывания 0. 0: Внешнее прерывание 0 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на входе /INT0.</p>								

SFR-описание 12.2. IP: Регистр приоритетов прерываний

R	R/W	Значение при сбросе:						
-	PSPI0	PT2	PS0	PT1	PX1	PT0	PX0	10000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xB8

Бит 7: Не используется. Читается как 1b. Запись не оказывает никакого влияния.

Бит 6: PSPI0: Управление приоритетом прерывания от модуля SPI0.
Этот бит устанавливает приоритет прерывания от модуля SPI0.
0: Прерыванию от модуля SPI0 назначается низкий уровень приоритета.
1: Прерыванию от модуля SPI0 назначается высокий уровень приоритета.

Бит 5: PT2: Управление приоритетом прерывания от Таймера 2.
Этот бит устанавливает приоритет прерываний от Таймера 2.
0: Прерыванию от Таймера 2 назначается низкий уровень приоритета.
1: Прерываниям от Таймера 2 назначается высокий уровень приоритета.

Бит 4: PS0: Управление приоритетом прерывания от последовательного порта УАППО.
Этот бит устанавливает приоритет прерываний от последовательного порта УАППО.
0: Прерываниям от УАППО назначается низкий уровень приоритета.
1: Прерываниям от УАППО назначается высокий уровень приоритета.

Бит 3: PT1: Управление приоритетом прерывания от Таймера 1.
Этот бит устанавливает приоритет прерываний от Таймера 1.
0: Прерываниям от Таймера 1 назначается низкий уровень приоритета.
1: Прерываниям от Таймера 1 назначается высокий уровень приоритета.

Бит 2: PX1: Управление приоритетом внешнего прерывания 1.
Этот бит устанавливает приоритет внешнего прерывания 1.
0: Внешнему прерыванию 1 назначается низкий уровень приоритета.
1: Внешнему прерыванию 1 назначается высокий уровень приоритета.

Бит 1: PT0: Управление приоритетом прерывания от Таймера 0.
Этот бит устанавливает приоритет прерываний от Таймера 0.
0: Прерываниям от Таймера 0 назначается низкий уровень приоритета.
1: Прерываниям от Таймера 0 назначается высокий уровень приоритета.

Бит 0: PX0: Управление приоритетом внешнего прерывания 0.
Этот бит устанавливает приоритет внешнего прерывания 0.
0: Внешнему прерыванию 0 назначается низкий уровень приоритета.
1: Внешнему прерыванию 0 назначается высокий уровень приоритета.



SFR-описание 12.3. EIE1: Дополнительный регистр разрешения прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xE6
ET3	Зарезерв.	ЕСР0	ЕРСА0	ЕАDC0	Зарезерв.	Зарезерв.	ESMB0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: ET3: Бит разрешения прерывания от Таймера 3.
Этот бит устанавливает маскирование прерывания от Таймера 3.
0: Все прерывания от Таймера 3 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флагов TF3L или TF3H.

Бит 6: Зарезервирован. Читается как 0b. Должен быть записан значением 0b.

Бит 5: ЕСР0: Бит разрешения прерываний от Компаратора 0 (CP0).
Этот бит устанавливает маскирование прерывания от CP0.
0: Прерывания от CP0 запрещены.
1: Разрешены запросы прерываний, генерируемые при установке флагов CP0RIF или CP0FIF.

Бит 4: ЕРСА0: Бит разрешения прерываний от программируемого массива счетчиков (РСА0).
Этот бит устанавливает маскирование прерывания от РСА0.
0: Все прерывания от РСА0 запрещены.
1: Разрешены запросы прерываний, генерируемые РСА0.

Бит 3: ЕАDC0: Бит разрешения прерываний, возникающих при завершении преобразования АЦПО.
Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦПО.
0: Прерывание, возникающее при завершении преобразования АЦПО, запрещено.
1: Разрешены запросы прерываний, генерируемые при установке флага ADOINT.

Биты 2-1: Зарезервированы. Читаются как 00b. Должны быть записаны значением 00b.

Бит 0: ESMB0: Бит разрешения прерываний от модуля SMBus (SMB0).
Этот бит устанавливает маскирование прерывания от модуля SMB0.
0: Все прерывания от модуля SMB0 запрещены.
1: Разрешены запросы прерываний, генерируемые модулем SMB0.

SFR-описание 12.4. EIP1: Дополнительный регистр приоритетов прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF6
PT3	Зарезерв.	PCP0	PPCA0	PADC0	Зарезерв.	Зарезерв.	PSMB0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: PT3: Управление приоритетом прерывания от Таймера 3. Этот бит устанавливает приоритет прерываний от Таймера 3. 0: Прерыванию от Таймера 3 назначается низкий уровень приоритета. 1: Прерываниям от Таймера 3 назначается высокий уровень приоритета.</p> <p>Бит 6: Зарезервирован. Читается как 0b. Должен быть записан значением 0b.</p> <p>Бит 5: PCP0: Управление приоритетом прерываний от Компаратора 0 (CP0). Этот бит устанавливает приоритет прерывания от CP0. 0: Прерыванию от CP0 назначается низкий уровень приоритета. 1: Прерыванию от CP0 назначается высокий уровень приоритета.</p> <p>Бит 4: PPCA0: Управление приоритетом прерывания от программируемого массива счетчиков (PCA0). Этот бит устанавливает приоритет прерывания от PCA0. 0: Прерыванию от PCA0 назначается низкий уровень приоритета. 1: Прерыванию от PCA0 назначается высокий уровень приоритета.</p> <p>Бит 3: PADC0: Управление приоритетом прерывания от флага завершения преобразования АЦПО. Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦПО. 0: Прерыванию от флага завершения преобразования АЦПО назначается низкий уровень приоритета. 1: Прерыванию от флага завершения преобразования АЦПО назначается высокий уровень приоритета.</p> <p>Биты 2-1: Зарезервированы. Читаются как 00b. Должны быть записаны значением 00b.</p> <p>Бит 0: PSMB0: Управление приоритетом прерывания от модуля SMBus (SMB0). Этот бит устанавливает приоритет прерывания от модуля SMB0. 0: Прерыванию от модуля SMB0 назначается низкий уровень приоритета. 1: Прерыванию от модуля SMB0 назначается высокий уровень приоритета.</p>								



12.5. Внешние прерывания

Два внешних источника прерываний (/INT0 и /INT1) настраиваются как входы с активным низким или активным высоким уровнем, чувствительные к уровню или к фронту сигнала. Биты IN0PL (полярность /INT0) и IN1PL (полярность /INT1) в регистре IT01CF выбирают активный уровень (высокий или низкий); биты IT0 и IT1 регистра TCON (см. раздел 22.1 «Таймер 0 и Таймер 1» на стр.195) определяют чувствительность (к уровню или к фронту). В приведенных ниже таблицах показаны возможные конфигурации.

IT0	IN0PL	Прерывание /INT0
1	0	Активный уровень – низкий, Чувствительность – к фронту.
1	1	Активный уровень – высокий, Чувствительность – к фронту.
0	0	Активный уровень – низкий, Чувствительность – к уровню.
0	1	Активный уровень – высокий, Чувствительность – к уровню.

IT1	IN1PL	Прерывание /INT1
1	0	Активный уровень – низкий, Чувствительность – к фронту.
1	1	Активный уровень – высокий, Чувствительность – к фронту.
0	0	Активный уровень – низкий, Чувствительность – к уровню.
0	1	Активный уровень – высокий, Чувствительность – к уровню.

/INT0 и /INT1 разводятся на выводы порта в соответствии с настройками регистра IT01CF (см. SFR-описание 12.5). Следует иметь в виду, что назначение выводов порта /INT0 и /INT1 не зависит от любых назначений выводов, сделанных матрицей. /INT0 и /INT1 будут отслеживать состояние связанных с ними выводов порта, не мешая функционированию периферийных модулей, которым назначены (посредством матрицы) эти выводы. Чтобы назначить вывод(ы) порта только /INT0 и/или /INT1, следует заставить матрицу пропускать эти порты при назначении выводов, настроив ее соответствующим образом. Для этого необходимо установить соответствующий бит в регистре XBR0 (подробная информация о настройке матрицы приведена в разделе 18.1 «Приоритетный декодер матрицы» на стр.139).

Биты IE0 (TCON.1) и IE1 (TCON.3) служат флагами прерываний для внешних прерываний /INT0 и /INT1 соответственно. Если вход /INT0 или /INT1 настроен как чувствительный к фронту, то соответствующий флаг прерывания автоматически сбрасывается аппаратными средствами при переходе к процедуре ISR. Если вход /INT0 или /INT1 настроен как чувствительный к уровню, то флаг прерывания остается установленным в 1 все то время, пока на соответствующем входе присутствует активный уровень сигнала, определяемый соответствующим битом полярности (IN0PL или IN1PL); флаг прерывания сбрасывается в 0, когда уровень сигнала на входе становится неактивным. Внешний источник прерывания должен удерживать на входе прерывания активный уровень до тех пор, пока запрос прерывания не будет распознан. Затем необходимо деактивировать запрос прерывания до окончания выполнения процедуры ISR, иначе будет сгенерирован другой запрос прерывания.

SFR-описание 12.5. IT01CF: Регистр конфигурации INT0/INT1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000001 SFR Адрес: 0xE4
IN1PL	IN1SL2	IN1SL1	IN1SL0	IN0PL	IN0SL2	IN0SL1	IN0SL0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Примечание: Описание выбора типа чувствительности (к уровню или к фронту) INT0/INT1 приведено в SFR-описании 22.1.

Бит 7: IN1PL: Полярность /INT1.
0: Вход /INT1 имеет низкий активный уровень.
1: Вход /INT1 имеет высокий активный уровень.

Биты 6-4: IN1SL2-0: Биты выбора выводов порта для /INT1.
Эти биты определяют, какой вывод порта будет назначен для /INT1. Следует иметь в виду, что назначение этого вывода не зависит от настроек матрицы. /INT1 будет отслеживать состояние связанного с ним вывода порта, не мешая функционированию периферийных модулей, которым назначен (посредством матрицы) этот вывод. Матрица не будет назначать этот вывод порта периферийным модулям, если настроить ее соответствующим образом, заставив пропускать этот порт при назначении выводов (для этого необходимо установить в 1 соответствующий бит в регистре POSKIP).

IN1SL2-0	Вывод порта /INT1
000	P0.0
001	P0.1
010	P0.2
011	P0.3
100	P0.4
101	P0.5
110	P0.6
111	P0.7

Бит 3: IN0PL: Полярность /INT0.
0: Вход /INT0 имеет низкий активный уровень.
1: Вход /INT0 имеет высокий активный уровень.

Биты 2-0: IN0SL2-0: Биты выбора выводов порта для /INT0.
Эти биты определяют, какой вывод порта будет назначен для /INT0. Следует иметь в виду, что назначение этого вывода не зависит от настроек матрицы. /INT0 будет отслеживать состояние связанного с ним вывода порта, не мешая функционированию периферийных модулей, которым назначен (посредством матрицы) этот вывод. Матрица не будет назначать этот вывод порта периферийным модулям, если настроить ее соответствующим образом, заставив пропускать этот порт при назначении выводов (для этого необходимо установить в 1 соответствующий бит в регистре POSKIP).

IN0SL2-0	Вывод порта /INT0
000	P0.0
001	P0.1
010	P0.2
011	P0.3
100	P0.4
101	P0.5
110	P0.6
111	P0.7



13. Механизм упреждающей выборки

МК C8051F350/1/2/3 содержат 2-байтный механизм упреждающей выборки. Т.к. время доступа к Flash-памяти составляет 40 нс, а минимальное время выполнения команды равно 20 нс, то для выполнения программного кода без задержек необходим механизм упреждающей выборки. Механизм упреждающей выборки считывает команды из Flash-памяти по два байта за раз и передает их для выполнения процессорному ядру CIP-51. При выполнении линейного кода (т.е. без каких-либо переходов или ветвлений) механизм упреждающей выборки обеспечивает выполнение команд без задержек. Если происходит программный переход, то процессор может остановиться на время до двух тактовых циклов, пока следующий набор команд (кодов) не будет извлечен из Flash-памяти. Бит FLRT (FLSCL.4) определяет, сколько тактовых циклов используется для чтения каждого двухбайтного набора кодов из Flash-памяти. Если системная тактовая частота не превышает 25 МГц, то бит FLRT должен быть сброшен в 0, т.е. механизм упреждающей выборки использует только один тактовый цикл для каждой операции чтения. Если системная тактовая частота превышает 25 МГц (до 50 МГц), то бит FLRT должен быть установлен в 1, т.е. каждая операция чтения упреждающего кода длится два тактовых цикла.

SFR-описание 13.1. PFE0CN: Регистр управления механизмом упреждающей выборки

R	R	R/W	R	R	R	R	R/W	Значение при сбросе: 00100000 SFR Адрес: 0xE3
		PFEN					FLBWE	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-6: Не используются. Читаются как 00b. Запись не оказывает никакого влияния.

Бит 5: PFEN: Разрешение упреждающей выборки.
Этот бит включает механизм упреждающей выборки.
0: Механизм упреждающей выборки отключен.
1: Механизм упреждающей выборки включен.

Биты 4-1: Не используются. Читаются как 0000b. Запись не оказывает никакого влияния.

Бит 0: FLBWE: Разрешение записи блока Flash-памяти.
Этот бит разрешает операции записи блоков Flash-памяти из программы пользователя.
0: Каждый байт, записываемый во Flash-память из программы пользователя, записывается индивидуально.
1: Байты Flash-памяти записываются группами по два.

Примечания:

14. ИСТОЧНИКИ СБРОСА

Схема сброса позволяет легко перевести МК в predetermined по умолчанию состояние. При переходе к этому состоянию сброса происходит следующее:

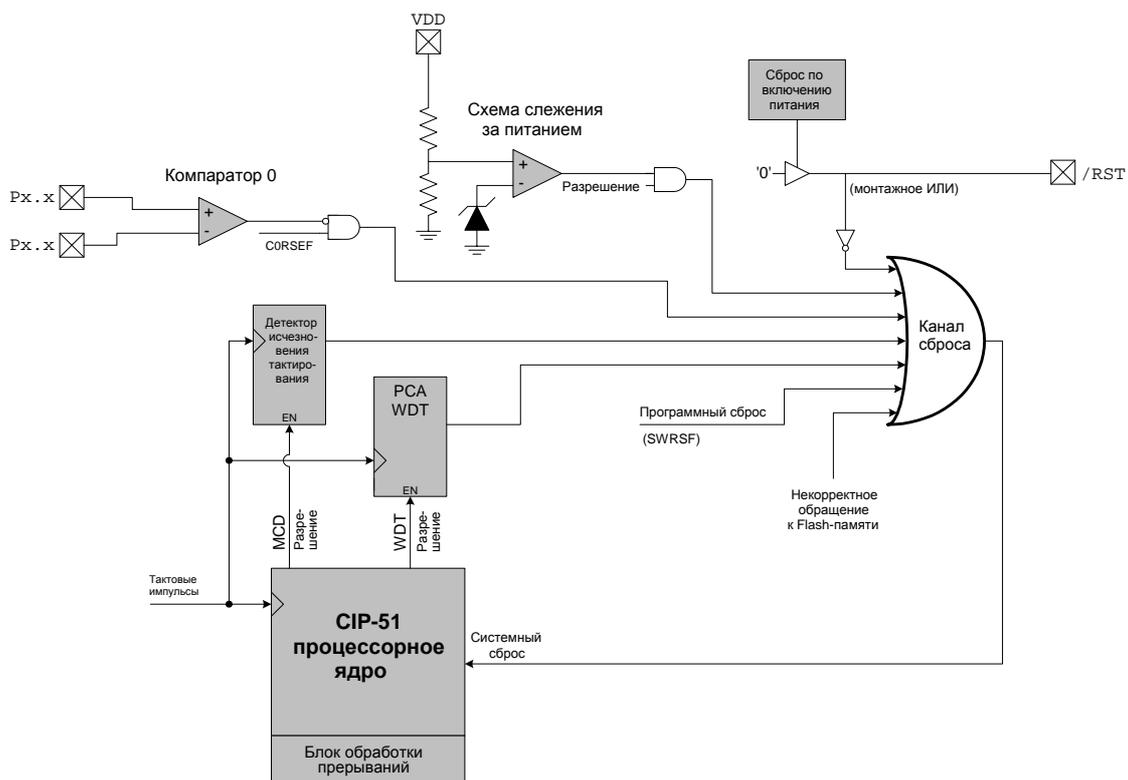
- CIP-51 останавливает выполнение программы;
- регистры SFR инициализируются значениями по умолчанию;
- выводы внешних портов устанавливаются в известное состояние;
- прерывания и таймеры запрещаются.

Все регистры SFR принимают значения по умолчанию. В SFR-описании каждого регистра приведено значение, загружаемое в этот регистр при сбросе. Содержимое внутренней памяти данных не изменяется при сбросе и ранее сохраненные данные остаются неизменными. Однако, т.к. регистр указателя стека сбрасывается, стек фактически теряется, хотя данные в нем не изменяются.

Зашелки портов ввода/вывода сбрасываются в состояние 0xFF (все логические единицы) и переводятся в режим с открытым стоком. Слаботочковые подтяжки активируются в течение и после сброса. В случае сброса от схемы слежения за напряжением питания или при сбросе типа POR на выводе /RST удерживается низкий логический уровень до выхода МК из состояния сброса.

При выходе из состояния сброса программный счетчик (PC) сбрасывается, а тактирование системы осуществляется по умолчанию от внутреннего генератора. Информация о выборе и настройке источника системного тактового сигнала приведена в разделе 17 «Генераторы» на стр.129. Сторожевой таймер включен и использует тактовый сигнал SYCLK/12 (подробная информация об использовании сторожевого таймера приведена в разделе 23.3 «Режим сторожевого таймера» на стр.220). Выполнение программы начинается с адреса 0x0000.

Рисунок 14.1. Структурная схема источников сброса



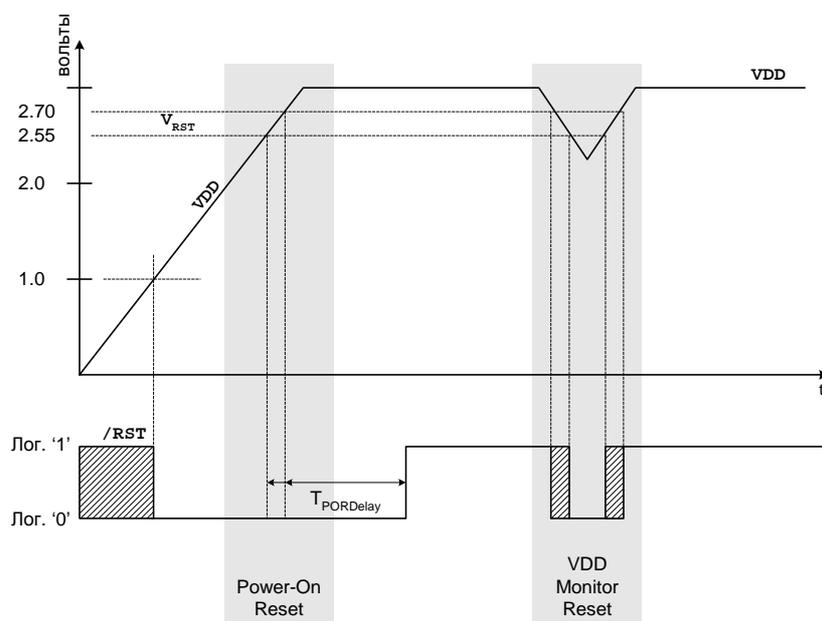
14.1. Сброс при включении питания (Power-on Reset - POR)

Во время включения питания МК удерживается в состоянии сброса и на выводе /RST удерживается низкий логический уровень до тех пор, пока напряжение VDD не превысит в процессе включения уровень V_{RST} . Задержка по включению питания ($T_{PORDelay}$) предшествует выходу МК из состояния сброса; эта задержка уменьшается с увеличением времени нарастания VDD (время нарастания VDD определяется скоростью изменения VDD от 0 до V_{RST}). На рис.14.2 приведены временные диаграммы сброса типа POR и сброса от схемы слежения за напряжением питания. Для корректных значений времени нарастания (менее 1 мс) задержка по включению питания ($T_{PORDelay}$) обычно не превышает 0.3мс.

Примечание: Максимальное время нарастания VDD составляет 1 мс; более длительное время нарастания VDD может привести к тому, что МК выйдет из состояния сброса до того, как напряжение VDD превысит уровень V_{RST} .

При завершении сброса типа POR флаг PORSF (RSTSRC.1) аппаратно устанавливается в 1. Если флаг PORSF установлен в 1, то все другие флаги сброса в регистре RSTSRC являются неопределенными. Флаг PORSF сбрасывается в 0 при сбросе от любого другого источника. Т.к. при сбросе любого типа выполнение программы начинается с одного и того же адреса (0x0000), то программа может опросить флаг PORSF, чтобы определить, было ли включение питания причиной сброса. Содержимое внутренней памяти данных после сброса типа POR следует считать неопределенным. После сброса типа POR включается схема слежения за напряжением питания.

Рисунок 14.2. Временная диаграмма работы схемы слежения за напряжением питания



14.2. Сброс при исчезновении питания (Power-fail Reset – PFR)/Схема слежения за напряжением питания

Когда при выключении или сбое питания напряжение питания VDD опускается ниже уровня V_{RST} , схема слежения за напряжением питания установит на выводе /RST низкий логический уровень и переведет CIP-51 в состояние сброса (см. рис.14.2). Когда VDD превысит уровень V_{RST} , CIP-51 выйдет из состояния сброса. Следует иметь в виду, что, хотя содержимое внутренней памяти данных и не изменяется при сбросе типа PFR, невозможно определить, опускалось ли напряжение VDD ниже уровня, необходимого для сохранения данных. Если флаг PORSF установлен в 1, то данные нельзя более считать действительными. После сброса типа POR схема слежения за напряжением питания включается и выбирается в качестве источника сброса; однако ее состояние (включена/отключена) на изменяется после сброса от любого другого источника. Например, если схема слежения за напряжением питания программно отключена и выполняется программный сброс, то схема слежения за напряжением питания будет оставаться отключенной и после этого сброса. **Для обеспечения целостности содержимого Flash-памяти строго рекомендуется схему слежения за напряжением питания оставлять включенной и выбранной в качестве источника сброса, если программа содержит процедуры, которые осуществляют стирание или запись Flash-памяти.**

Схему слежения за напряжением питания необходимо включить до выбора ее в качестве источника сброса. Выбор схемы слежения за напряжением питания в качестве источника сброса до ее включения и стабилизации может привести к сбросу системы. Ниже приведена процедура повторного включения схемы слежения за напряжением питания и настройки ее в качестве источника сброса:

Шаг 1. Включить схему слежения за напряжением питания (бит VDMEN в регистре VDM0CN = '1').

Шаг 2. Ожидать стабилизации схемы слежения за напряжением питания (время включения схемы слежения за напряжением питания приведено в таблице 14.1).

Примечание: Эта задержка должна быть пропущена, если программа содержит процедуры, которые осуществляют стирание или запись Flash-памяти.

Шаг 3. Выбрать схему слежения за напряжением питания в качестве источника сброса (бит PORSF в регистре RSTSRC = '1').

Временная диаграмма работы схемы слежения за напряжением питания приведена на рис.14.2; следует отметить, что после сброса от схемы слежения за напряжением отсутствует задержка выхода из состояния сброса. Электрические характеристики схемы слежения за напряжением питания приведены в таблице 14.1.

SFR-описание 14.1. VDM0CN: Регистр управления схемой слежения за напряжением питания

R/W	R	R	R	R	R	R	R	Значение при сбросе: xxxxxxxx
VDMEN	VDDSTAT	Зарезерв.	Зарезерв.	Зарезерв.	Зарезерв.	Зарезерв.	Зарезерв.	SFR Адрес: 0xFF
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: VDMEN: Включение схемы слежения за напряжением питания.
 Этот бит включает/отключает схему слежения за напряжением питания. Схема слежения за напряжением питания не может генерировать системные сбросы до тех пор, пока она не будет выбрана также в качестве источника сброса в регистре RSTSRC (см. SFR-описание 14.2). Схема слежения за напряжением питания должна стабилизироваться до выбора ее в качестве источника сброса. **Выбор схемы слежения за напряжением питания в качестве источника сброса до ее стабилизации может вызвать сброс системы.** Минимальное время включения схемы слежения за напряжением питания приведено в таблице 14.1.
 0: Схема слежения за напряжением питания отключена.
 1: Схема слежения за напряжением питания включена (по умолчанию).

Бит 6: VDDSTAT: Состояние VDD.
 Этот бит показывает текущее состояние напряжения питания (выход схемы слежения за напряжением питания).
 0: VDD не превышает пороговое значение схемы слежения за напряжением питания.
 1: VDD превышает пороговое значение схемы слежения за напряжением питания.

Биты 5-0: Зарезервированы. Результат чтения различен. Запись не оказывает никакого влияния.

14.3. Внешний сброс

Внешний вывод /RST позволяет внешней схеме перевести МК в состояние сброса. Подача на вывод /RST сигнала с низким активным уровнем заставит МК перейти в состояние сброса. Желательно обеспечить на выводе /RST внешние подтягивающие и/или развязывающие цепи, чтобы предотвратить ложные сбросы, вызванные шумом. Электрические параметры для вывода /RST приведены в таблице 14.1. При завершении внешнего сброса устанавливается в 1 флаг PINRSF (RSTSRC.0).

14.4. Сброс от детектора исчезновения тактирования

Детектор исчезновения тактирования (Missing Clock Detector – MCD) фактически представляет собой одновибратор, который управляется системным тактовым сигналом. Если интервал времени между нарастающими фронтами импульсов системного тактового сигнала превысит 100мкс, то одновибратор сработает и сгенерирует сброс. После сброса типа MCD будет установлен в 1 флаг MCDRSF (RSTSRC.2), показывая, что источником сброса был MCD; в иных случаях этот бит читается как 0. Детектор исчезновения тактирования включается установкой бита MCDRSF (RSTSRC.2) в 1 и отключается сбросом в 0 этого бита. Этот сброс не влияет на состояние вывода /RST.

14.5. Сброс от Компаратора 0

Установка в 1 флага CORSEF (RSTSRC.5) настраивает Компаратор 0 как вход сброса с низким активным уровнем. До записи бита CORSEF необходимо включить Компаратор 0 и дождаться его стабилизации, чтобы дребезг на выходе не привел к генерации нежелательного сброса. Если напряжение на инвертирующем входе (CP0+) меньше, чем напряжение на инвертирующем входе (CP0-), то генерируется системный сброс. После сброса от Компаратора 0 флаг CORSEF (RSTSRC.5) будет читаться как 1, показывая, что Компаратор 0 был источником сброса; в иных случаях этот бит читается как 0. Этот сброс не влияет на состояние вывода /RST.

14.6. Сброс от сторожевого таймера ПМС

Программируемый сторожевой таймер (WDT) модуля ПМС может использоваться для предотвращения выхода программы из-под контроля в случае системного сбоя. Функцию WDT модуля ПМС можно включать/отключать программно, как описано в разделе 23.3 «Режим сторожевого таймера» на стр.220; после любого сброса WDT включается, при этом используется тактовый сигнал SYSCLK/12. Если из-за системного сбоя программа пользователя не может обновить WDT, то генерируется сброс и устанавливается в 1 бит WDTRSF (RSTSRC.5). Этот сброс не влияет на состояние вывода /RST.

14.7. Сброс от контроллера Flash-памяти

Если операции чтения/записи/стирания Flash-памяти или чтения памяти программ обращаются по некорректному адресу, то генерируется системный сброс. Это может быть вызвано одной из следующих причин:

- Попытка записать или стереть Flash-память выше пользовательского кодового пространства. Это происходит в том случае, если PSWE = 1 и операция записи, использующая команду MOVX, пытается обратиться по адресу, превышающему 0x1DFF.
- Попытка прочитать Flash-память выше пользовательского кодового пространства. Это происходит в том случае, когда команда MOVC пытается обратиться по адресу, превышающему 0x1DFF.
- Попытка прочитать память программ выше пользовательского кодового пространства. Это происходит в том случае, когда в программе пользователя встречается переход по адресу, превышающему 0x1DFF.
- Доступ к Flash-памяти для операций чтения, записи или стирания ограничен с помощью опций защиты Flash-памяти (см. раздел 15.3 «Защита Flash-памяти» на стр.123).

После сброса, вызванного некорректным обращением к Flash-памяти, устанавливается в 1 бит FERROR (RSTSRC.6). Этот сброс не влияет на состояние вывода /RST.

14.8. Программный сброс

Программа может вызвать сброс установкой в 1 бита SWRSF (RSTSRC.4). После сброса, вызванного программой, бит SWRSF будет читаться как '1'. Этот сброс не влияет на состояние вывода /RST.



SFR-описание 14.2. RSTSRC: Регистр источников сброса

R	R	R/W	R/W	R	R/W	R/W	R	Значение при сбросе: XXXXXXXX
-	FERROR	CORSEF	SWRSF	WDTRSF	MCDRSF	PORSF	PINRSF	SFR Адрес: 0xEF
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Бит 6: FERROR: Флаг некорректного обращения к Flash-памяти.

0: Источником последнего сброса не является некорректная операция чтения/записи/стирания Flash-памяти.

1: Источником последнего сброса была некорректная операция чтения/записи/стирания Flash-памяти.

Бит 5: CORSEF: Разрешение и флаг сброса от Компаратора 0.

0: **Чтение:** Последний сброс не был сбросом от Компаратора 0;

Запись: Компаратор 0 не является источником сброса.

1: **Чтение:** Последний сброс был сбросом от Компаратора 0;

Запись: Компаратор 0 является источником сброса (активный уровень - низкий).

Бит 4: SWRSF: Бит инициации и флаг программного сброса

0: **Чтение:** Предыдущий сброс не был вызван установкой в 1 бита SWRSF;

Запись: Не вызывает никаких действий.

1: **Чтение:** Предыдущий сброс был вызван установкой в 1 бита SWRSF;

Запись: Вызывает системный сброс.

Бит 3: WDTRSF: Флаг сброса от сторожевого таймера

0: WDT не был источником предыдущего сброса.

1: WDT был источником предыдущего сброса.

Бит 2: MCDRSF: Флаг сброса от детектора исчезновения тактирования (MCD)

0: **Чтение:** MCD не был источником предыдущего сброса;

Запись: Детектор исчезновения тактирования отключен.

1: **Чтение:** MCD был источником предыдущего сброса;

Запись: Детектор исчезновения тактирования включен; вызывает сброс, если обнаружено условие, означающее исчезновение тактовых импульсов.

Бит 1: PORSF: Бит инициации и флаг сброса типа POR (сброс при включении питания).

Этот бит устанавливается в 1 каждый раз при сбросе типа POR. Запись этого бита используется для выбора схемы слежения за напряжением питания в качестве источника сброса. **Примечание: установка в 1 этого бита до включения и стабилизации схемы слежения за напряжением питания может привести к системному сбросу.** См. описание регистра VDMOCN (SFR-описание 14.1).

0: **Чтение:** Предыдущий сброс не был сбросом типа POR или сбросом от схемы слежения за напряжением питания;

Запись: Схема слежения за напряжением питания не является источником сброса.

1: **Чтение:** Предыдущий сброс был сбросом типа POR или сбросом от схемы слежения за напряжением питания; состояние всех других флагов сброса не определено;

Запись: Схема слежения за напряжением питания является источником сброса.

Бит 0: PINRSF: Флаг сброса от вывода /RST

0: Предыдущий сброс не был сбросом от вывода /RST.

1: Предыдущий сброс был сбросом от вывода /RST.

Таблица 14.1. Электрические параметры источников сброса

T = от -40 C до +85 C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение низкого уровня на выводе /RST	$I_{OL} = 8.5\text{mA}$, $V_{DD} = 2.7 \dots 3.6\text{V}$			0.6	В
Входное напряжение высокого уровня на выводе /RST		0.7 x			В
		VDD			
Входное напряжение низкого уровня на выводе /RST				0.3 x	В
				VDD	
Входной ток утечки вывода /RST	/RST = 0.0В		25	40	мкА
Пороговое значение напряжения VDD для схемы слежения за напряжением питания (V_{RST})		2.40	2.55	2.70	В
Таймаут детектора исчезновения тактирования	Время от нарастающего фронта последнего тактового импульса до генерации сброса	100	220	600	мкс
Время задержки после сброса	Задержка между выходом из состояния любого сброса и выполнением кода по адресу 0x0000	5.0			мкс
Минимальная длительность низкого уровня сигнала на выводе /RST, необходимая для генерации системного сброса		15			мкс
Время включения схемы слежения за напряжением питания		100			мкс
Ток потребления схемы слежения за напряжением питания			20	50	мкА
Время нарастания VDD	$V_{DD} = \text{от } 0\text{В до } V_{RST}$	-	-	1	мс



15. FLASH-ПАМЯТЬ

Встроенная перепрограммируемая Flash-память предназначена для хранения программного кода и долговременного хранения данных. Flash-память может программироваться внутрисистемно посредством C2-интерфейса или из программы с помощью команды MOVX. Если Flash-бит сброшен в 0, то для того, чтобы установить его в 1, его необходимо стереть. Байты перед программированием обычно стираются (устанавливаются в 0xFF). Временные интервалы операций записи и стирания, необходимые для корректной работы, устанавливаются автоматически аппаратными средствами. Опрос данных для определения завершения операции записи/стирания не требуется. Выполнение программного кода останавливается во время операций записи/стирания Flash-памяти. Электрические параметры Flash-памяти приведены в таблице 15.1.

15.1. Программирование Flash-памяти

Самый простой способ программирования Flash-памяти заключается в использовании C2-интерфейса и средств программирования, предлагаемых фирмой Silicon Labs или независимыми производителями. Это единственный способ программирования неинициализированного МК. Подробная информация об использовании C2-команд для программирования Flash-памяти приведена в разделе 24 «Интерфейс C2» на стр. 227.

Чтобы гарантировать целостность содержимого Flash-памяти, строго рекомендуется включить схему слежения за напряжением питания. Это касается любых систем, которые содержат код, осуществляющий запись/стирание Flash-памяти программным путем.

15.1.1. Блокировка Flash-памяти и ключевой код

Функции блокировки и ключевой код защищают Flash-память от операций записи и стирания. Операции с Flash-памятью невозможны, если перед ними не записать в регистр блокировки и ключевого кода Flash-памяти (FLKEY) корректные ключевые коды в определенной последовательности. Эти коды следующие: 0xA5, 0xF1. Временные интервалы не имеют значения, но эти коды должны быть записаны в правильной последовательности. Если эти коды записаны в неверном порядке или если записаны неверные коды, то операции записи и стирания Flash-памяти будут запрещены до следующего системного сброса. Операции записи и стирания Flash-памяти будут запрещены также в том случае, если попытка записать или стереть Flash-память была произведена до корректной записи ключевых кодов. Блокировка Flash-памяти восстанавливается после каждой операции записи или стирания; следующая операция записи или стирания Flash-памяти возможна только после повторной записи ключевых кодов. Подробное описание регистра FLKEY приведено в SFR-описании 15.2.

15.1.2. Процедура стирания Flash-памяти

Flash-память можно программировать программным путем, используя команду MOVX с адресом и байтом данных в качестве обычных операндов. Перед записью во Flash-память с использованием команды MOVX операции записи Flash-памяти необходимо разрешить:

- 1) установкой в 1 бита разрешения записи памяти программ PSWE (PSCTL.0). (Это приведет к тому, что операции записи с помощью команды MOVX будут относиться не к памяти XRAM, а к Flash-памяти);
 - 2) записью ключевых кодов Flash-памяти в правильном порядке в регистр FLKEY.
- Бит PSWE остается установленным в 1 до сброса его программным путем.

Запись во Flash-память может сбросить в 0 биты, но не может установить их в 1. Только операция стирания может установить в 1 биты во Flash-памяти. **Поэтому ячейку памяти, которую требуется запрограммировать, необходимо предварительно стереть, чтобы можно было записать новое значение.** Flash-память организована секторами по 512 байт. Операция стирания применяется ко всему сектору целиком (все байты в секторе устанавливаются в 0xFF). Ниже приведен алгоритм стирания 512-байтной страницы Flash-памяти:

1. Запретить прерывания (рекомендуется).
2. Установить в 1 бит PSEE (PSCTL.1).
3. Установить в 1 бит PSWE (PSCTL.0).
4. Записать первый ключевой код в регистр FLKEY: 0xA5.
5. Записать второй ключевой код в регистр FLKEY: 0xF1.
6. Используя команду MOVX, записать байт данных в любую ячейку внутри 512-байтного сектора, который требуется стереть.
7. Сбросить в 0 биты PSWE (PSCTL.0) и PSEE (PSCTL.1).
8. Снова разрешить прерывания.

15.1.3. Процедура записи Flash-памяти

Байты во Flash-память могут записываться по одному за раз или группами по два байта. Бит FLBWE в регистре PFE0CN (см. SFR-описание 13.1) определяет, сколько байт будет записываться во Flash-память в процессе операции записи: один байт или блок из двух байт. Если FLBWE = 0, то Flash-память будет записываться по одному байту за раз. Если FLBWE = 1, то Flash-память будет записываться двухбайтными блоками. Блочная операция записи выполняется столько же времени, сколько и операция побайтной записи. Это позволяет сэкономить время при сохранении больших объемов данных во Flash-памяти.

В процессе операции побайтной записи во Flash-память байты записываются индивидуально и запись во Flash-память будет выполняться после каждой команды записи MOVX. Ниже приведен рекомендуемый алгоритм программирования Flash-памяти в побайтном режиме:

1. Запретить прерывания (рекомендуется).
2. Сбросить в 0 бит FLBWE (в регистре PFE0CN) для выбора побайтного режима записи.
3. Установить в 1 бит PSWE (PSCTL.0).
4. Сбросить в 0 бит PSEE (PSCTL.1).
5. Записать первый ключевой код в регистр FLKEY: 0xA5.
6. Записать второй ключевой код в регистр FLKEY: 0xF1.
7. Используя команду MOVX, записать один байт данных в требуемую ячейку памяти внутри 512-байтного сектора.
8. Сбросить в 0 бит PSWE (PSCTL.0).
9. Снова разрешить прерывания.

Шаги 5-7 необходимо повторять для каждого записываемого байта.

В процессе операции блочной записи во Flash-память процедура записи Flash-памяти будет выполняться только после записи последнего байта каждого блока с помощью команды записи MOVX. Размер записываемого во Flash-память блока составляет два байта (от четных адресов до нечетных адресов). Операции записи должны выполняться последовательно (т.е. ячейки памяти с адресами, оканчивающимися на 0b и 1b, должны записываться подряд одна за другой). Запись во Flash-память будет выполняться после команды записи MOVX, которая адресует ячейку памяти с адресом, оканчивающимся на 1b. Если не требуется обновлять ячейку Flash-памяти, соответствующую байту блока, то этот байт следует записать значением 0xFF. Ниже приведен рекомендуемый алгоритм программирования Flash-памяти в блочном режиме:

1. Запретить прерывания (рекомендуется).
2. Установить в 1 бит FLBWE (в регистре PFE0CN) для выбора блочного режима записи.
3. Установить в 1 бит PSWE (PSCTL.0).
4. Сбросить в 0 бит PSEE (PSCTL.1).
5. Записать первый ключевой код в регистр FLKEY: 0xA5.
6. Записать второй ключевой код в регистр FLKEY: 0xF1.
7. Используя команду MOVX, записать первый байт данных в четную ячейку блока (т.е. в ячейку с адресом, оканчивающимся на 0b).
8. Записать первый ключевой код в регистр FLKEY: 0xA5.
9. Записать второй ключевой код в регистр FLKEY: 0xF1.
10. Используя команду MOVX, записать второй байт данных в нечетную ячейку блока (т.е. в ячейку с адресом, оканчивающимся на 1b).
11. Сбросить в 0 бит PSWE (PSCTL.0).
12. Снова разрешить прерывания.

Шаги 5-10 необходимо повторять для каждого записываемого блока.



15.2. Долговременное хранение данных

Flash-память может использоваться не только для хранения программного кода, но и для долговременного хранения данных. Это позволяет рассчитывать и сохранять во время выполнения программы такие данные, как калибровочные коэффициенты. Данные записываются с использованием команды MOVX и считываются с использованием команды MOVC. Примечание: команды чтения MOVX всегда относятся к памяти XRAM.

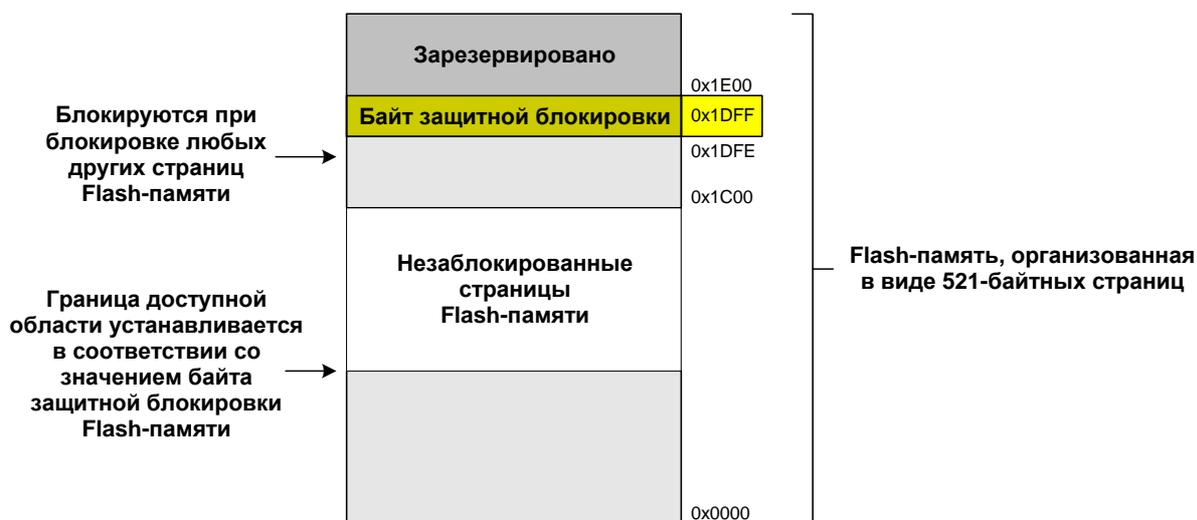
15.3. Защита FLASH-памяти

CIP-51 имеет опции защиты, позволяющие защитить Flash-память от случайной модификации со стороны программы и исключить возможность просмотра патентованного программного кода и констант. Биты разрешения записи памяти программ PSWE (PSCTL.0) и разрешения стирания памяти программ PSEE (PSCTL.1) защищают Flash-память от случайной модификации со стороны программы. Бит PSWE должен быть явно установлен в 1, чтобы программа могла модифицировать Flash-память; оба бита PSWE и PSEE должны быть явно установлены в 1, чтобы программа могла стирать Flash-память. Дополнительные функции защиты предотвращают чтение и изменение патентованного программного кода и констант посредством C2-интерфейса.

Байт защитной блокировки, расположенный в последнем байте пользовательского пространства Flash-памяти, обеспечивает защиту Flash-памяти программ от доступа (операции чтения, записи или стирания) со стороны незащищенного программного кода или через C2-интерфейс. Механизм защиты Flash-памяти позволяет пользователю заблокировать n 512-байтных страниц Flash-памяти, начиная со страницы 0 (адреса 0x0000 – 0x01FF), где n – обратное значение байта защитной блокировки. Следует иметь в виду, что страница, содержащая байт защитной блокировки Flash-памяти, блокируется при блокировке любых других страниц Flash-памяти. Ниже приведен пример:

Байт блокировки защиты	11111101b
<u>Обратное значение</u>	<u>00000010b</u>
Блокируемые страницы Flash-памяти	3 (Две первые страницы Flash-памяти + страница, содержащая байт защитной блокировки)
Блокируемые адреса	0x0000 – 0x03FF (Две первые страницы Flash-памяти) и 0x1C00 – 0x1DFF (Страница, содержащая байт защитной блокировки)

Рисунок 15.1. Карта распределения Flash-памяти



Уровень защиты Flash-памяти зависит от метода доступа к Flash-памяти. Существует три метода доступа к Flash-памяти, которые характеризуются различными ограничениями для операций чтения, записи и стирания:

- 1) доступ к Flash-памяти с помощью отладочного интерфейса C2;
- 2) доступ к Flash-памяти из программы, находящейся в незаблокированной области Flash-памяти;
- 3) доступ к Flash-памяти из программы, находящейся в заблокированной области Flash-памяти.

Доступ к Flash-памяти с помощью отладочного интерфейса C2:

1. Любую незаблокированную страницу можно прочитать, записать или стереть.
2. Заблокированные страницы нельзя прочитать, записать или стереть.
3. Страницу, содержащую байт защитной блокировки, можно читать, записывать или стирать, если она не заблокирована.
4. Чтение содержимого байта защитной блокировки разрешено всегда только в том случае, если никакие страницы не заблокированы.
5. Блокировка дополнительных страниц (изменение соответствующих им бит байта защитной блокировки из '1' в '0') запрещена.
6. Для разблокировки страниц Flash-памяти (изменение соответствующих им бит байта защитной блокировки из '0' в '1') требуется C2-команда стирания памяти МК, которая сотрет все страницы Flash-памяти, включая страницу, содержащую байт защитной блокировки, и сам байт защитной блокировки.
7. Зарезервированную область памяти нельзя прочитать, записать или стереть.

Доступ к Flash-памяти из программы, находящейся в незаблокированной области Flash-памяти:

1. Любую незаблокированную страницу, кроме страницы, содержащей байт защитной блокировки, можно прочитать, записать или стереть.
2. Заблокированные страницы нельзя прочитать, записать или стереть. Попытка стереть страницу, содержащую байт защитной блокировки, вызовет сброс МК от ошибки обращения к Flash-памяти.
3. Страницу, содержащую байт защитной блокировки, нельзя стереть. Эту страницу можно читать или записывать только в том случае, если она не заблокирована. Попытка стереть страницу, содержащую байт защитной блокировки, вызовет сброс МК от ошибки обращения к Flash-памяти.
4. Чтение содержимого байта защитной блокировки разрешено всегда.
5. Блокировка дополнительных страниц (изменение соответствующих им бит байта защитной блокировки из '1' в '0') запрещена.
6. Разблокировка страниц Flash-памяти (изменение соответствующих им бит байта защитной блокировки из '0' в '1') запрещена.
7. Зарезервированную область памяти нельзя прочитать, записать или стереть. Любая попытка доступа к зарезервированной области памяти или к любой другой заблокированной странице памяти вызовет сброс МК от ошибки обращения к Flash-памяти.

Доступ к Flash-памяти из программы, находящейся в заблокированной области Flash-памяти:

1. Любую незаблокированную страницу, кроме страницы, содержащей байт защитной блокировки, можно прочитать, записать или стереть.
2. Любую заблокированную страницу, кроме страницы, содержащей байт защитной блокировки, можно прочитать, записать или стереть. Попытка стереть страницу, содержащую байт защитной блокировки, вызовет сброс МК от ошибки обращения к Flash-памяти.
3. Страницу, содержащую байт защитной блокировки, нельзя стереть. Эту страницу можно только читать или записывать. Попытка стереть страницу, содержащую байт защитной блокировки, вызовет сброс МК от ошибки обращения к Flash-памяти.
4. Чтение содержимого байта защитной блокировки разрешено всегда.
5. Блокировка дополнительных страниц (изменение соответствующих им бит байта защитной блокировки из '1' в '0') запрещена.
6. Разблокировка страниц Flash-памяти (изменение соответствующих им бит байта защитной блокировки из '0' в '1') запрещена.
7. Зарезервированную область памяти нельзя прочитать, записать или стереть. Любая попытка доступа к зарезервированной области памяти или к любой другой заблокированной странице памяти вызовет сброс МК от ошибки обращения к Flash-памяти.



SFR-описание 15.1. PSCTL: Регистр управления записью/стиранием памяти программ

R	R	R	R	R	R	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8F
-	-	-	-	-	-	PSEE	PSWE	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-2: Не используются. Читаются как 000000b. Запись не оказывает никакого влияния.

Бит 1: PSEE: Разрешение стирания памяти программ.
Установка этого бита разрешает стереть целую страницу Flash-памяти программ при условии, что бит PSWE также установлен. Если PSEE = 1 и PSWE = 1, то запись во Flash-память с использованием команды MOVX сотрет целую страницу, которая содержит ячейку, адресуемую командой MOVX (значение записываемого байта данных не важно).
0: Стирание Flash-памяти программ запрещено.
1: Стирание Flash-памяти программ разрешено.

Бит 0: PSWE: Разрешение записи памяти программ.
Установка этого бита разрешает запись байта данных во Flash-память программ, используя команду MOVX. Адресуемая в команде MOVX ячейка памяти должна быть стертой.
0: Запись во Flash-память программ запрещена.
1: Запись во Flash-память программ разрешена; команда записи MOVX обращается к Flash-памяти.

SFR-описание 15.2. FLKEY: Регистр блокировки и ключевого кода Flash-памяти

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xB7							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: FLKEY: Регистр блокировки и ключевого кода Flash-памяти.

Запись:
Чтобы можно было записывать или стирать Flash-память, необходимо сначала записать ключевые коды в этот регистр. Flash-память остается заблокированной до тех пор, пока в этот регистр не будет записана следующая последовательность ключевых кодов: 0xA5, 0xF1. Операции записи и стирания Flash-памяти автоматически запрещаются после завершения следующей операции записи или стирания. Flash-память будет заблокирована до следующего системного сброса в том случае, если запись регистра FLKEY осуществлена некорректно или если попытка выполнить операцию записи или стирания Flash-памяти осуществлена до разрешения этой операции. Если приложение никогда не записывает Flash-память, то ее можно специально заблокировать, записав программным путем в регистр FLKEY значение, отличающееся от 0xA5.

Чтение:
При чтении биты 1-0 показывают текущее состояние блокировки Flash-памяти.
00: Flash-память заблокирована для операций записи/стирания.
01: Первый ключевой код записан (0xA5).
10: Flash-память разблокирована (операции записи/стирания разрешены).
11: Операции записи/стирания Flash-памяти запрещены до следующего системного сброса.

SFR-описание 15.3. FLSCL: Регистр управления контроллером Flash-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
Зарезерв.	Зарезерв.	Зарезерв.	FLRT	Зарезерв.	Зарезерв.	Зарезерв.	Зарезерв.	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB6

Биты 7-5: Зарезервированы. Читаются как 000b. В эти биты следует записать значение 000b.

Бит 4: FLRT: Время чтения Flash-памяти.
 Этот бит должен быть запрограммирован минимально возможным значением, соответствующим системной тактовой частоте.
 0: $\text{SYSCLK} \leq 25 \text{ МГц}$.
 1: $\text{SYSCLK} \leq 50 \text{ МГц}$.

Биты 3-0: Зарезервированы. Читаются как 000b. В эти биты следует записать значение 000b.

Таблица 15.1. Электрические параметры FLASH-памяти

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Объем Flash-памяти	C8051F350/1/2/3	8192*			Байт
Число циклов программирования		20000	100000		Стирание/Запись
Время цикла стирания	$\text{SYSCLK} = 50 \text{ МГц}$	10	15	20	мс
Время цикла записи	$\text{SYSCLK} = 50 \text{ МГц}$	40	55	70	мкс

*Примечание: 512 байт по адресам 0x1E00 – 0x1FFF зарезервированы.



16. Внешнее ОЗУ

МК C8051F350/1/2/3 содержат 512 байт ОЗУ, отображенные в адресном пространстве внешней памяти данных. Для доступа к этому пространству памяти можно использовать команду MOVX и указатель данных DPTR, или команду MOVX с косвенным режимом адресации. Если команда MOVX используется с 8-разрядным операндом адреса (например, @R1), то старший байт 16-разрядного адреса определяется регистром управления интерфейсом внешней памяти EMI0CN (см. SFR-описание 16.1). Примечание: команда MOVX используется также для записи во Flash-память (см. раздел 15 «Flash-память» на стр.121). По умолчанию команда MOVX обращается к памяти XRAM.

Если команда MOVX используется с 16-разрядным операндом адреса (@DPTR), то старшие 6 бит 16-разрядного адреса внешней памяти данных «не имеют значения». Таким образом, 512-байтное ОЗУ отображается помодульно во всем 64-Кбайтном адресном пространстве внешней памяти данных. Например, байт XRAM с адресом 0x0000 можно также адресовать с помощью адресов 0x0200, 0x0400, 0x0600, 0x0800 и т.д. Эту возможность можно использовать при линейном заполнении памяти, т.к. не требуется сбрасывать указатель адреса при достижении границы блока ОЗУ.

SFR-описание 16.1. EMI0CN: Регистр управления интерфейсом внешней памяти

R/W	Значение при сбросе:							
-	-	-	-	-	-	-	PGSEL	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xAA

Биты 7-1: Не используются. Читаются как 0000000b. Запись не оказывает никакого влияния.

Бит 0: PGSEL: Биты выбора страницы XRAM.
Регистр EMI0CN определяет старший байт 16-битного адреса внешней памяти данных при использовании команды MOVX с 8-битным адресом, задавая таким образом необходимую 256-байтную страницу ОЗУ. Т.к. старшие (неиспользуемые) биты этого регистра всегда равны нулю, то бит PGSEL определяет доступную страницу памяти XRAM.

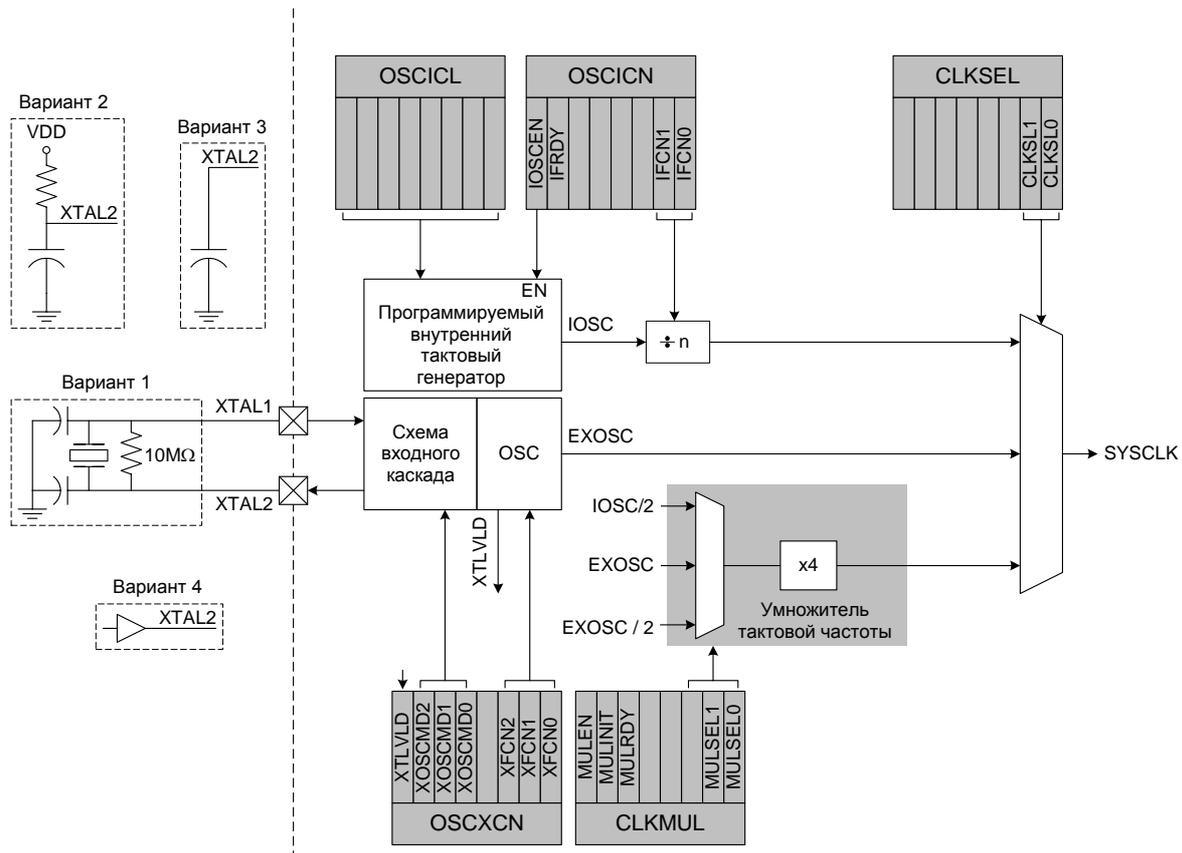
Например: Если EMI0CN = 0x01, то будут доступны ячейки памяти с адресами 0x0100 – 0x01FF.

Примечания:

17. Генераторы

МК C8051F350/1/2/3 содержат программируемый внутренний генератор, схему возбуждения внешнего генератора и умножитель тактовой частоты. Внутренний генератор можно включать/отключать и калибровать с помощью регистров OSCICL и OSCICN, как показано на рис.17.1. Системный тактовый сигнал (SYSCLK) может быть получен от внутреннего генератора, от схемы внешнего генератора или с выхода умножителя тактовой частоты. Частота выходного сигнала умножителя тактовой частоты может быть равна либо частоте внутреннего генератора, умноженной на два ($2 \times \text{SYSCLK}$), либо частоте внешнего генератора, умноженной на два ($2 \times \text{EXTCLK}$), либо частоте внешнего генератора, умноженной на четыре ($4 \times \text{EXTCLK}$). Электрические параметры генератора приведены в таблице 17.1. на стр.136.

Рисунок 17.1. Структурная схема генератора



17.1. Программируемый внутренний генератор

Все МК C8051F350/1/2/3 содержат программируемый внутренний генератор, который после сброса системы является по умолчанию системным тактовым генератором. Частоту внутреннего генератора можно программировать с помощью регистра OSCICL (см. SFR-описание 17.2). OSCICL калибруется при изготовлении МК таким образом, чтобы частота внутреннего генератора после сброса составляла 24.5 МГц.

Электрические параметры прецизионного внутреннего генератора приведены табл.17.1 на стр.136. Следует иметь в виду, что системная тактовая частота может быть получена из частоты внутреннего генератора, деленной на 1, 2, 4 или 8, в зависимости от значения битов IFCN регистра OSCICN. После сброса по умолчанию устанавливается коэффициент деления 8.

SFR-описание 17.1. OSCICN: Регистр управления внутренним генератором

R/W	R	R	R	R	R	R/W	R/W	Значение при сбросе: 11000000 SFR Адрес: 0xB2
IOSCEN	IFRDY	-	-	-	-	IFCN1	IFCN0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: IOSCEN: Бит включения внутреннего генератора
 0: Внутренний генератор выключен
 1: Внутренний генератор включен

Бит 6: IFRDY: Флаг стабилизации частоты внутреннего генератора
 0: Частота внутреннего генератора не соответствует частоте, задаваемой битами IFCN.
 1: Частота внутреннего генератора соответствует частоте, задаваемой битами IFCN.

Биты 5-2: Не используются. Читается как 0000b. Запись не оказывает никакого влияния.

Биты 1-0: IFCN1-0: Биты управления частотой внутреннего генератора
 00: SYSCLK равна частоте внутреннего генератора, деленной на 8.
 01: SYSCLK равна частоте внутреннего генератора, деленной на 4.
 10: SYSCLK равна частоте внутреннего генератора, деленной на 2.
 11: SYSCLK равна частоте внутреннего генератора, деленной на 1.

SFR-описание 17.2. OSCICL: Регистр калибровки внутреннего генератора

R	R/W	Значение при сбросе: различно для каждого экземп- ляра МК SFR Адрес: 0xB3						
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Биты 6-0: OSCICL: Значение калибровки внутреннего генератора.
 Этот регистр определяет период выходного сигнала внутреннего генератора. В МК C8051F350/1/2/3 OSCICL калибруется при изготовлении МК таким образом, чтобы частота внутреннего генератора после сброса составляла 24.5 МГц.



17.2. Схема возбуждения внешнего генератора.

Для внешнего генератора можно использовать кварцевый или керамический резонатор, конденсатор или RC-цепочку. Кроме этого, входной тактовый сигнал может подаваться от внешнего КМОП-счетчика. Если используется кварцевый или керамический резонатор, то он должен подключаться к выводам XTAL1 и XTAL2, как показано на рис.17.1 (вариант 1). При использовании этой конфигурации между выводами XTAL1 и XTAL2 должен быть подключен также резистор сопротивлением 10МОм. При использовании RC-цепочки, конденсатора или КМОП-счетчика источник тактовых импульсов следует подключать к выводу XTAL2, как показано на рис.17.1 (варианты 2, 3 или 4). Тип внешнего генератора следует выбрать в регистре OSCXCN. В соответствии с выбранным типом внешнего генератора следует установить биты управления его частотой XFCN (см. SFR-описание 17.3).

Важное замечание относительно использования внешнего генератора: При использовании схемы внешнего генератора выводы порта должны быть правильно настроены. Если схема возбуждения внешнего генератора используется совместно с кварцевым/керамическим резонатором, то выводы порта P0.2 и P0.3 используются как XTAL1 и XTAL2 соответственно. Если схема возбуждения внешнего генератора используется совместно с RC-цепочкой, конденсатором или КМОП-счетчиком, то вывод порта P0.3 используется как XTAL2. Матрица должна быть настроена таким образом, чтобы при назначении выводов она пропускала порты, используемые схемой генератора; настройка матрицы описана в разделе 18.1 «Приоритетный декодер матрицы» на стр. 139. Кроме этого при использовании схемы возбуждения внешнего генератора совместно с кварцевым/керамическим резонатором, конденсатором или RC-цепочкой задействованные выводы портов должны быть настроены как **аналоговые входы**. При использовании КМОП-счетчика задействованный вывод порта должен быть настроен как **цифровой вход**. Подробная информация о выборе режима входов порта приведена в разделе 18.2 «Инициализация порта ввода/вывода» на стр.141.

17.2.1. Тактирование таймеров непосредственно от внешнего генератора

Сигнал внешнего генератора, деленный по частоте на 8, может быть одним из сигналов тактирования таймеров (см. раздел 22 «Таймеры» на стр.195) и программируемого массива счетчиков (см. раздел 23 «Программируемый массив счетчиков» на стр.211). Если внешний генератор используется для тактирования этих периферийных модулей, но не используется для тактирования системы, то частота внешнего генератора не должна превышать частоту системного тактового сигнала. При такой конфигурации тактовый сигнал, подаваемый на периферийные модули (частота внешнего генератора/8) синхронизирован с системным тактовым сигналом; неустойчивость данной синхронизации ограничена на уровне ± 0.5 цикла системного тактового сигнала.

17.2.2. Пример использования внешнего резонатора

Если бы для генерации системной тактовой частоты МК использовался кварцевый или керамический резонатор, то схема была бы такой, как показано на рис.17.1, вариант 1. При выборе значения битов управления частотой внешнего генератора (XFCN) следует использовать столбец «Резонатор» таблицы, приведенной в SFR-описании 17.3 (регистр OSCXCN). Например, для резонатора с частотой 12 МГц значение битов XFCN должно быть равно 111b.

При первом включении кварцевого генератора схема детектирования амплитуды сигнала генератора выходит на стабильный режим работы не сразу, а в течение определенного времени установления. Введение задержки длительностью как минимум 1мс между включением генератора и проверкой бита XTLVLD предотвратит преждевременный переход системы на тактирование от внешнего генератора. Переключение на работу от внешнего генератора до выхода его на устойчивый режим работы может привести к непредсказуемому поведению МК. Рекомендуется следующая последовательность действий:

1. Установить на выводах XTAL1 и XTAL2 низкий логический уровень, записав '0' в соответствующие защелки портов.
2. Настроить XTAL1 и XTAL2 как аналоговые входы.
3. Включить внешний генератор.
4. Выдержать паузу длительностью как минимум 1мс.
5. Опрашивать бит XTLVLD до обнаружения перехода его состояния из '0' в '1'.
6. Переключиться на тактирование от внешнего генератора.

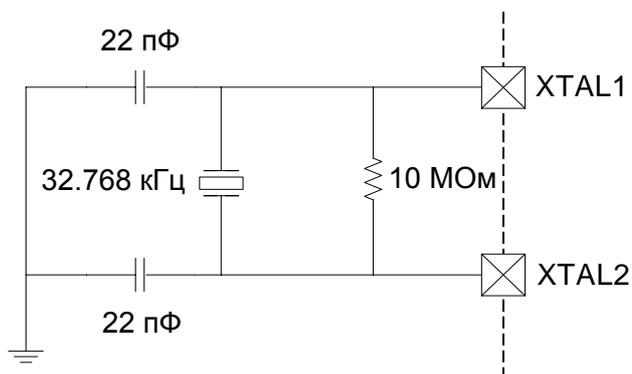
Примечание: Резонаторы с камертонным возбуждением могут потребовать дополнительного времени установления, прежде чем XTLVLD возвратит корректный результат.

Конденсаторы, показанные на рис.17.1 (вариант 1), обеспечивают нагрузочную емкость, необходимую для корректного функционирования резонатора. Эти конденсаторы включены последовательно с резонатором и параллельно паразитной емкости выводов XTAL1 и XTAL2.

Примечание: Емкость нагрузки зависит от типа резонатора и изготовителя. При расчете нагрузочной емкости следует использовать технические данные резонатора.

Например, резонатор с камертонным возбуждением на частоте 32.768 кГц с рекомендуемой емкостью нагрузки 12.5 пФ следует подключать по схеме, показанной на рис.17.1, вариант 1. Общее значение емкости конденсаторов и паразитной емкости выводов XTAL должно быть равно 25 пФ. Если паразитная емкость каждого вывода составляет 3 пФ, то использование конденсаторов с емкостью 22 пФ позволит получить эквивалентную емкость между выводами резонатора 12.5 пФ, как показано на рис.17.2.

Рисунок 17.2. Пример использования внешнего кварцевого резонатора 32.768 кГц



Важное примечание: Схемы кварцевых генераторов достаточно чувствительны к разводке печатной платы. Кварцевый резонатор следует размещать как можно ближе к выводам XTAL микроконтроллера, добиваясь минимальной длины проводников, а также экранировать слоем «земли» от любых других проводников, которые могли бы быть причиной шумов или помех.

17.2.3. Пример использования RC-генератора

Если бы для генерации системной тактовой частоты МК использовалась RC-цепочка, то схема была бы такой, как показано на рис.17.1, вариант 2. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью приведет к увеличению погрешности установки частоты вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала нужно выбрать значения компонентов RC-цепи, необходимые для получения требуемой частоты генерации. Например, если требуется частота 100кГц, то можно взять $R = 246 \text{ кОм}$ и $C = 50 \text{ пФ}$:

$$f = 1.23(10^3)/RC = 1.23(10^3) / [246 * 50] = 0.1\text{МГц} = 100\text{кГц}$$

По таблице, приведенной в SFR-описании 17.3, следует выбрать XFCN = 010b. Программирование бит XFCN в RC-режиме более высокими значениями улучшит точность задания частоты, но приведет к увеличению тока потребления внешнего генератора.

17.2.4. Пример использования внешнего генератора с конденсатором

Если бы для генерации системной тактовой частоты МК использовался внешний конденсатор, то схема была бы такой, как показано на рис.17.1, вариант 3. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью приведет к увеличению погрешности установки частоты вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала необходимо выбрать емкость используемого конденсатора и вычислить частоту генерации из уравнения, приведенного ниже. Например, для $VDD = 3.0\text{В}$ и $f = 150 \text{ кГц}$ получим:

$$f = KF / (C * VDD)$$

$$0.150 \text{ МГц} = KF / (C * 3.0)$$

Т.к. требуется получить частоту около 150 кГц, то по таблице, приведенной в SFR-описании 17.3, следует выбрать $KF = 22$:

$$0.150 \text{ МГц} = 22 / (C * 3.0)$$

$$C * 3.0 = 22 / 0.150 \text{ МГц}$$

$$C = 146.6 / 3.0 \text{ пФ} = 48.8 \text{ пФ}$$

Поэтому, значение битов XFCN для этого примера составляет 011b и $C = 50 \text{ пФ}$.

SFR-описание 17.3. OSCXCN: Регистр управления внешним генератором

R	R/W	R/W	R/W	R	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xB1
XTLVLD	XOSCMD2	XOSCMD1	XOSCMD0	-	XFCN2	XFCN1	XFCN0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: XTLVLD: Флаг стабилизации кварцевого генератора.

(Читается только в том случае, если XOSCMD = 11x.)

0: Кварцевый генератор не используется или еще нестабилен.

1: Кварцевый генератор работает и стабилен.

Биты 6-4: XOSCMD2-0: Биты выбора режима внешнего генератора.

00x: Внешний генератор выключен.

010: Тактовые импульсы поступают от внешнего КМОП-счетчика.

011: Тактовые импульсы поступают от внешнего КМОП-счетчика через внутренний делитель на 2.

100: Режим RC-генератора.

101: Режим C-генератора.

110: Режим кварцевого генератора

111: Режим кварцевого генератора с делением тактовой частоты на 2.

Бит 3: Зарезервирован. Читается как 0b. Запись не оказывает никакого влияния.

Биты 2-0: XFCN2-0: Биты управления частотой внешнего генератора

000-111: см. таблицу ниже:

XFCN	Резонатор (XOSCMD = 11x)	RC (XOSCMD = 10x)	C (XOSCMD = 10x)
000	$f \leq 32 \text{ кГц}$	$f \leq 25 \text{ кГц}$	KF = 0.87
001	$32 \text{ кГц} < f \leq 84 \text{ кГц}$	$25 \text{ кГц} < f \leq 50 \text{ кГц}$	KF = 2.6
010	$84 \text{ кГц} < f \leq 225 \text{ кГц}$	$50 \text{ кГц} < f \leq 100 \text{ кГц}$	KF = 7.7
011	$225 \text{ кГц} < f \leq 590 \text{ кГц}$	$100 \text{ кГц} < f \leq 200 \text{ кГц}$	KF = 22
100	$590 \text{ кГц} < f \leq 1,5 \text{ МГц}$	$200 \text{ кГц} < f \leq 400 \text{ кГц}$	KF = 65
101	$1,5 \text{ МГц} < f \leq 4 \text{ МГц}$	$400 \text{ кГц} < f \leq 800 \text{ кГц}$	KF = 180
110	$4 \text{ МГц} < f \leq 10 \text{ МГц}$	$800 \text{ кГц} < f \leq 1.6 \text{ МГц}$	KF = 664
111	$410 \text{ МГц} < f \leq 30 \text{ МГц}$	$1.6 \text{ МГц} < f \leq 3.2 \text{ МГц}$	KF = 1590

Режим генератора с кварцевым или керамическим резонатором

(Схема на рис.17.1, Вариант 1; XOSCMD = 11x)

Выберите значение XFCN, соответствующее частоте кварцевого или керамического резонатора.

Режим RC-генератора

(Схема на рис.17.1, Вариант 2; XOSCMD = 10x)

Выберите значение XFCN, соответствующее диапазону генерируемых частот:

$$f = 1.23(10^3) / (R * C), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора в [пФ]

R = сопротивление подтягивающего резистора в [кОм]

Режим генератора с конденсатором

(Схема на рис.17.1, Вариант 3; XOSCMD = 10x)

Выберите коэффициент K (KF) для требуемой частоты:

$$f = KF / (C * VDD), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора, подключенного к выводу XTAL2, в [пФ]

VDD = напряжение питания МК в [В]



17.3. Умножитель тактовой частоты

Умножитель тактовой частоты генерирует выходной сигнал, частота которого в 4 раза превышает частоту входного тактового сигнала. В качестве входного тактового сигнала умножителя тактовой частоты можно выбрать выходной сигнал внешнего генератора, выходной сигнал внутреннего генератора, деленный по частоте на два, или выходной сигнал внешнего генератора, деленный по частоте на два. Подробная информация о выборе системного тактового сигнала приведена в разделе 17.4.

Умножитель тактовой частоты настраивается с помощью регистра CLKMUL (см. SFR-описание 17.4). Ниже приведена процедура настройки и включения умножителя тактовой частоты:

1. Сбросить умножитель, записав байт 0x00 в регистр CLKMUL.
2. Выбрать источник входного сигнала умножителя, используя биты MULSEL.
3. Включить умножитель с помощью бита MULEN (CLKMUL | = 0x80).
4. Задержка длительностью не менее 5 мкс.
5. Инициализировать умножитель с помощью бита MULINIT (CLKMUL | = 0xC0).
6. Опрашивать бит MULRDY до обнаружения перехода его в лог. '1'.

Важное замечание: Если в качестве входного сигнала умножителя тактовой частоты используется сигнал внешнего генератора, то к моменту инициализации умножителя внешний генератор должен быть включен и стабилен (см. раздел 13.4).

SFR-описание 17.4. CLKMUL: Регистр управления умножителем тактовой частоты

R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
MULEN	MULINIT	MULRDY	-	-	-	MULSEL		SFR Адрес: 0xBE
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: MULEN: Бит включения умножителя тактовой частоты.

- 0: Умножитель тактовой частоты отключен.
- 1: Умножитель тактовой частоты включен.

Бит 6: MULINIT: Бит инициализации умножителя тактовой частоты.

Когда умножитель тактовой частоты включен, этот бит должен быть сброшен в 0. Установка в 1 этого бита после включения умножителя тактовой частоты вызовет его инициализацию. Когда умножитель тактовой частоты стабилизируется, бит MULRDY читается как '1'.

Бит 5: MULRDY: Флаг готовности умножителя тактовой частоты.

- Этот предназначенный только для чтения бит показывает состояние умножителя тактовой частоты.
- 0: Умножитель тактовой частоты не готов к работе (нестабилен).
- 1: Умножитель тактовой частоты готов к работе (стабилен).

Биты 4-2: Не используются. Читаются как 000b. Запись не оказывает никакого влияния.

Биты 1-0: MULSEL: Биты выбора входного сигнала умножителя тактовой частоты.

Эти биты определяют, какой сигнал будет подаваться на вход умножителя тактовой частоты.

MULSEL	Источник входного сигнала умножителя тактовой частоты	Выходной сигнал умножителя тактовой частоты
00	Внутренний генератор/2	Внутренний генератор x 2
01	Внешний генератор	Внешний генератор x 4
10	Внешний генератор/2	Внешний генератор x 2
11	ЗАРЕЗЕРВИРОВАНО	ЗАРЕЗЕРВИРОВАНО

17.4. Выбор источника системного тактового сигнала

Внутренний генератор требует небольшого времени запуска и может быть выбран в качестве источника системного тактового сигнала сразу же после операции записи регистра OSCICN, которая включает внутренний генератор. Внешним кварцевым и керамическим резонаторам обычно требуется определенное время для выхода на стабильный режим работы, после истечения которого они готовы к использованию. Когда внешний генератор будет стабилен, флаг стабилизации кварцевого генератора (XTLVLD в регистре OSCXCN) аппаратно установится в 1. **Чтобы исключить чтение некорректного значения XTLVLD, при использовании кварцевого резонатора программа должна выдержать паузу длительностью как минимум 1мс между включением внешнего генератора и проверкой бита XTLVLD.** RC- и C-режимы обычно не требуют времени запуска.

Биты CLKSL[1:0] регистра CLKSEL определяют, какой генератор используется в качестве источника системного тактового сигнала. Биты CLKSL[1:0] следует установить в 01b, чтобы тактирование системы осуществлялось от внешнего генератора; однако внешний генератор может также тактировать периферийные модули (таймеры, ПМС), в то время как внутренний генератор выбран в качестве источника системного тактового сигнала. Источник системного тактового сигнала можно переключать «на лету» между внутренним генератором, внешним генератором и умножителем тактовой частоты при условии, что выбранный генератор включен и стабилен.

SFR-описание 17.5. CLKSEL: Регистр выбора тактового генератора

R	R	R	R	R	R	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA9
-	-	-	-	-	-	CLKSL		
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-2: Не используются. Читаются как 000000b. Запись не оказывает никакого влияния.

Биты 1-0: CLKSL1-0: Биты выбора источника системного тактового сигнала.
Эти биты выбирают источник системного тактового сигнала.

CLKSL	Выбранный источник тактового сигнала
00	Внутренний генератор (как задано битами IFCN в регистре OSCICN)
01	Внешний генератор
10	Умножитель тактовой частоты
11	ЗАРЕЗЕРВИРОВАНО

Таблица 17.1. Электрические параметры внутреннего генератора

T = от -40 C до +85 C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Частота внутреннего генератора	Частота, устанавливаемая при сбросе	24	24.5	25	МГц
Ток потребления внутреннего генератора (по цепи VDD)	OSCICN.7 = 1		450		мкА



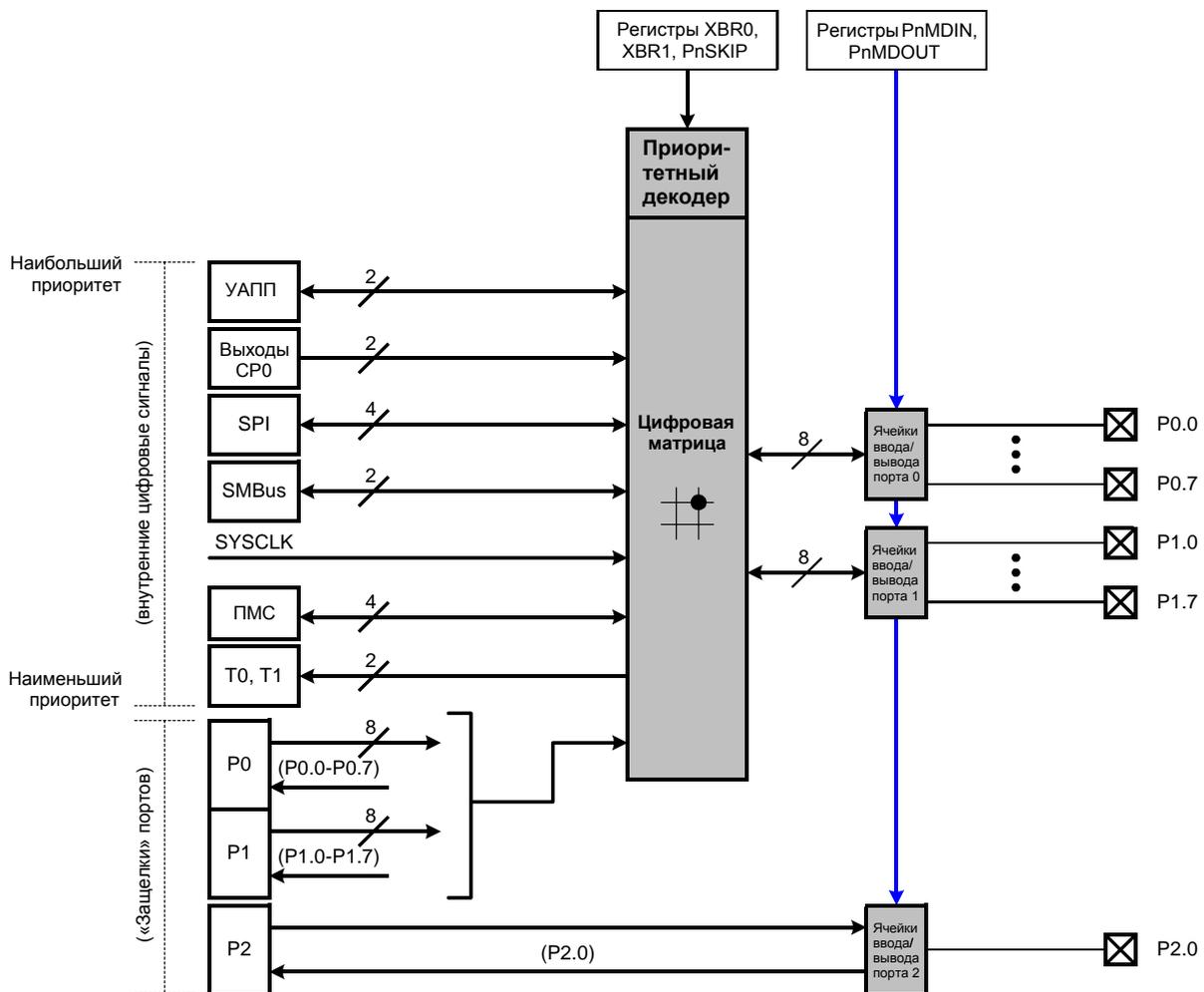
18. ПОРТ ВВОДА/ВЫВОДА

Доступ к аналоговым и цифровым ресурсам МК осуществляется через 17 выводов порта ввода/вывода. Выводы порта организованы в виде двух 8-разрядных портов и одного 1-разрядного порта. Каждый вывод порта можно определить как порт ввода/вывода общего назначения или как аналоговый вход/выход; выводы порта P0.0 – P1.7 могут быть назначены одному из внутренних цифровых модулей, как показано на рис.18.3. Разработчик системы определяет, какие цифровые ресурсы будут назначены внешним выводам, ограничиваясь только количеством доступных выводов. Гибкость при распределении ресурсов достигается благодаря использованию приоритетного декодера матрицы. Следует иметь в виду, что состояние вывода порта ввода/вывода всегда можно прочитать из соответствующего регистра-защелки порта независимо от настройки матрицы.

Матрица назначает выводы порта ввода/вывода выбранным внутренним цифровым ресурсам, используя приоритетный декодер (см. рис.18.3 и рис.18.4). Для выбора внутренних цифровых ресурсов используются регистры XBR0 и XBR1 (см. SFR-описание 18.1 и SFR-описание 18.2).

Допустимое напряжение любого порта ввода/вывода составляет 5В (см. схему ячейки порта на рис.18.2). С помощью регистров настройки выходов порта (PnMDOUT, где n = 0,1,2) ячейки порта ввода/вывода настраиваются либо как двухтактные цифровые выходы, либо как выходы с открытым стоком. Электрические характеристики порта ввода/вывода приведены в табл. 18.1 на стр.150.

Рисунок 18.1. Функциональная схема порта ввода/вывода



18.1. Приоритетный декодер матрицы

Приоритетный декодер матрицы (см. рис.18.3) назначает приоритет каждой функции ввода/вывода, начиная с выводов УАПП0. Если какой-либо цифровой ресурс выбран, то этому ресурсу назначается неназначенный вывод порта с наименьшим приоритетом (кроме УАПП0, которому всегда назначаются выводы P0.4 и P0.5, и выходов Компаратора 0, которым будут назначены выводы P1.4 и P1.5). Если вывод порта назначен, то матрица пропускает этот вывод при назначении следующего выбранного ресурса. Кроме этого, матрица будет пропускать выводы порта, если соответствующие им биты в регистрах PnSKIP установлены в 1. Регистры PnSKIP позволяют программе настроить матрицу таким образом, чтобы она пропускала выводы порта, используемые в качестве аналоговых входов, специализированных портов или портов ввода/вывода общего назначения.

Важное замечание относительно конфигурации матрицы: Если вывод порта закреплен за периферийным модулем без использования матрицы, то соответствующий ему бит в регистре PnSKIP должен быть установлен в 1. Это касается P0.3 и/или P0.2, если включена схема возбуждения внешнего генератора, P0.6, если используется внешний сигнал CNVSTR, P1.6 для ЦАП0, P1.7 для ЦАП1, а также любых выбранных входов АЦП или компаратора. Матрица пропускает выбранные выводы, как если бы они были уже назначены, и переходит к следующему неназначенному выводу. На рис.18.3 показаны приоритеты декодера матрицы без пропуска каких-либо выводов порта (P0SKIP, P1SKIP = 0x00); На рис.18.4 показаны приоритеты декодера матрицы с пропуском XTAL1 (P0.2) и XTAL2 (P0.3) (P0SKIP = 0x0C).

Рисунок 18.3. Приоритетный декодер матрицы без пропуска каких-либо выводов

	P0							P1							P2		
	SF Сигналы		x1	x2	CNVSTR			IDA0		IDA1							
PIN I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0
TX0					■	■											
RX0							■	■									
CP0A													■	■			
CP0															■	■	
SCK	■																
MISO		■	■														
MOSI			■	■													
NSS*				■	■	■	■										
SDA	■	■	■	■	■	■	■										
SCL		■	■	■	■	■	■	■									
/SYSCLK	■	■	■	■	■	■	■	■									
CEX0	■	■	■	■	■	■	■	■	■								
CEX1	■	■	■	■	■	■	■	■	■	■							
CEX2	■	■	■	■	■	■	■	■	■	■	■						
ECI	■	■	■	■	■	■	■	■	■	■	■	■					
T0	■	■	■	■	■	■	■	■	■	■	■	■	■				
T1	■	■	■	■	■	■	■	■	■	■	■	■	■	■			
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	P0SKIP[0:7]							P1SKIP[0:7]									



Выводы порта, потенциально доступные периферийным модулям.



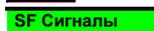
Сигналы специальных функций, которые не назначаются матрицей. Если эти сигналы разрешены, то матрица должна быть настроена таким образом, чтобы пропускать соответствующие им выводы портов при назначении выводов.

Рисунок 18.4. Приоритетный декодер матрицы с пропуском выводов подключения кварцевого резонатора

	P0							P1							P2		
SF Сигналы	x1		x2		CNVSTR			IDA0		IDA1							
PIN I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0
TX0																	
RX0																	
CP0A																	
CP0																	
SCK																	
MISO																	
MOSI																	
NSS*																	
SDA																	
SCL																	
/SYSCLK																	
CEX0																	
CEX1																	
CEX2																	
ECI																	
T0																	
T1																	
	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	
	P0SKIP[0:7]							P1SKIP[0:7]									



Выводы порта, потенциально доступные периферийным модулям.



Сигналы специальных функций, которые не назначаются матрицей. Если эти сигналы разрешены, то матрица должна быть настроена таким образом, чтобы пропускать соответствующие им выводы портов при назначении выводов.

Регистры XBR0 и XBR1 используются для назначения цифровых ресурсов внешним выводам порта ввода/вывода. Следует иметь в виду, что если выбран SMBus, то матрица назначает оба вывода, связанные с модулем SMBus (SDA и SCL); если выбран УАПП, то матрица назначает оба вывода, связанные с модулем УАПП (TX и RX). Назначение выводов УАППО фиксировано с целью обеспечения возможности самозагрузки: TX0 всегда назначается выводу P0.4; RX0 всегда назначается выводу P0.5. Назначение выходов компаратора также фиксировано: сигнал CP0A будет появляться только на выводе P1.4, сигнал CP0 будет появляться только на выводе P1.5. Назначение приоритетных функций выводам порта ввода/вывода осуществляется последовательно в порядке их следования.

Важное замечание: SPI может функционировать в 3- или 4-проводном режимах, в зависимости от состояния бит NSSMD1-NSSMD0 в регистре SPI0CN. В соответствии с режимом работы SPI сигнал NSS либо назначается, либо не назначается выводу порта.



18.2. Инициализация порта ввода/вывода

Инициализация порта ввода/вывода осуществляется следующим образом:

1. Выбрать тип входа (аналоговый или цифровой) для всех выводов порта, используя регистр настройки входов порта (PnMDIN).
2. Выбрать тип выхода (с открытым стоком или двухтактный цифровой) для всех выводов порта, используя регистр настройки выходов порта (PnMDOUT).
3. Выбрать все выходы, которые должны пропускаться матрицей при назначении выводов, используя регистры выбора пропускаемых выводов (PnSKIP).
4. Назначить выходы порта требуемым периферийным модулям (XBR0, XBR1).
5. Включить матрицу (XBARE = '1').

Все выходы порта должны быть настроены как аналоговые или как цифровые входы. Любые выходы, используемые в качестве входов компаратора или АЦП, должны быть настроены как аналоговые входы. Если вывод настроен как аналоговый вход, то его слаботочковая подтяжка, цифровой выходной драйвер и цифровой приемник отключаются. Это позволяет снизить энергопотребление и уменьшить уровень шумов на аналоговом входе. Выводы, настроенные как цифровые входы, все равно могут использоваться аналоговыми периферийными модулями; однако это не рекомендуется.

Кроме этого, все аналоговые входы необходимо настроить таким образом, чтобы они пропускались матрицей при назначении выводов (для этого необходимо установить в 1 соответствующие биты в регистрах PnSKIP). Тип входа устанавливается с помощью соответствующих бит регистра PnMDIN (1 – цифровой вход, 0 – аналоговый вход). При сбросе все выходы настраиваются по умолчанию как цифровые входы. Подробное описание регистров PnMDIN приведено в SFR-описании 18.4.

Параметры выходных драйверов выводов порта задаются с помощью регистров настройки выходов порта (PnMDOUT). Выходной драйвер каждого порта можно настроить либо как цифровой двухтактный выход, либо как выход с открытым стоком. Такая настройка не осуществляется автоматически; ее необходимо выполнить даже для цифровых ресурсов, выбранных в регистрах XBRn. Единственным исключением из этого правила являются выходы SMBus (SDA, SCL), которые настраиваются как выходы с открытым стоком независимо от значения PnMDOUT. Если бит WEAKPUD в регистре XBR1 сброшен в 0, то слаботочковая подтяжка отключается у всех выводов портов, настроенных как выходы с открытым стоком. Бит WEAKPUD не влияет на выходы, настроенные как цифровые двухтактные выходы. Более того, слаботочковая подтяжка отключается у выхода, на который выведен лог.'0', чтобы предотвратить нежелательное увеличение энергопотребления.

Для выбора цифровых ресурсов, требуемых для конкретного проекта, необходимо загрузить регистры XBR0 и XBR1 соответствующими значениями. Установка в 1 бита XBARE в регистре XBR1 включает матрицу. До включения матрицы внешние выходы остаются стандартными портами ввода/вывода (настроенными на вход), независимо от значений регистров XBRn. Зная значение регистров XBRn, можно определить разводку выводов, используя таблицу декодирования приоритетов.

Важное замечание: Чтобы использовать выходы портов как стандартные порты ввода/вывода в режиме выходов, необходимо включить матрицу. Выходные драйверы портов отключаются при отключении матрицы.

SFR-описание 18.1. XBR0: Регистр 0 матрицы портов ввода/вывода

R	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	CP0AE	CP0E	SYSCKE	SMB0E	SPI0E	URT0E	SFR Адрес: 0xE1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-6: Не используются. Читаются как 00b. Запись не оказывает никакого влияния.

Бит 5: CP0AE: Бит подключения асинхронного выхода Компаратора 0 (CP0A)

0: Асинхронный выход CP0A не соединен с выводом порта.

1: Асинхронный выход CP0A соединен с выводом порта P1.4.

Бит 4: CP0E: Бит подключения выхода Компаратора 0 (CP0)

0: CP0 не соединен с выводом порта.

1: CP0 соединен с выводом порта P1.5.

Бит 3: SYSCKE: Бит подключения выхода /SYSCLK

0: Выход /SYSCLK не соединен с выводом порта.

1: Выход /SYSCLK соединен с выводом порта.

Бит 2: SMB0E: Бит подключения входов/выходов модуля SMBus0

0: Входы/выходы модуля SMBus0 не соединены с выводами порта.

1: Входы/выходы модуля SMBus0 соединены с выводами порта.

Бит 1: SPI0E: Бит подключения входов/выходов модуля SPI0

0: Входы/выходы модуля SPI0 не соединены с выводами порта.

1: Входы/выходы модуля SPI0 соединены с выводами порта. Следует иметь в виду, что модулю SPI0 могут быть назначены либо 3, либо 4 вывода порта ввода/вывода общего назначения.

Бит 0: URT0E: Бит подключения входов/выходов УАППО

0: Входы/выходы УАППО не соединены с выводами порта.

1: TX0 и RX0 соединены с выводами P0.4 и P0.5 соответственно.



SFR-описание 18.2. XBR1: Регистр 1 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xE2
WEAKPUD	XBARE	T1E	T0E	ECIE	-	PCAO0ME		
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: WEAKPUD: Бит отключения слаботочковых подтяжек портов ввода/вывода.

0: Слаботочковые подтяжки включены (кроме портов, чьи выходы настроены как аналоговые входы)

1: Слаботочковые подтяжки отключены

Бит 6: XBARE: Бит включения матрицы.

0: Матрица отключена.

1: Матрица включена

Бит 5: T1E: Бит подключения T1.

0: T1 не соединен с выводом порта.

1: T1 соединен с выводом порта.

Бит 4: T0E: Бит подключения T0.

0: T0 не соединен с выводом порта.

1: T0 соединен с выводом порта.

Бит 3: ECIE: Бит подключения внешнего входа (ECI) счетчика ПМС.

0: ECI не соединен с выводом порта.

1: ECI соединен с выводом порта.

Бит 2: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Биты 1-0: PCAO0ME: Биты подключения входов/выходов модуля ПМС

00: Все входы/выходы модуля ПМС не соединены с выводами порта.

01: CEX0 соединен с выводом порта.

10: CEX0, CEX1 соединены с выводами порта.

11: CEX0, CEX1, CEX2 соединены с выводами порта.

18.3. Порт ввода/вывода общего назначения

Выводы портов, которые не назначены матрицей и не используются аналоговыми периферийными модулями, можно использовать в качестве выводов ввода/вывода общего назначения. Порты P2 – P0 доступны с помощью соответствующих SFR-регистров как в побайтном, так и в побитном режимах адресации. При записи в порт значение, записываемое в SFR-регистр, «зашелкивается»; это позволяет удерживать на каждом выводе порта выходное значение. При чтении логические уровни входных выводов портов возвращаются независимо от значений регистров XBRn (т.е. даже если вывод назначен матрицей другому сигналу, регистр порта все равно может прочитать логическое состояние на соответствующем входе). Исключением являются команды типа *чтение-модификация-запись*, которые обращаются к регистру-зашелке порта. При работе с SFR-регистром порта командами типа *чтение-модификация-запись* являются следующие команды: ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ, а также MOV, CLR или SETB, если они адресуют отдельный бит в SFR-регистре порта. В случае использования этих команд считывается, модифицируется и записывается обратно значение регистра (а не вывода).



SFR-описание 18.3. P0: Регистр данных Porta 0

R/W	Значение при сбросе:							
P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x80

Биты 7-0: P0.[7:0]
 Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров матрицы.
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит POMDOUT.n = 0)
 Чтение – Всегда читается как ‘0’, если в регистре POMDIN выбран аналоговый вход. Читается непосредственно состояние вывода порта, если настроен как цифровой вход.
 0: На выводе P0.n низкий логический уровень.
 1: На выводе P0.n высокий логический уровень.

SFR-описание 18.4. POMDIN: Регистр настройки входов Porta 0

R/W	Значение при сбросе:							
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF1

Биты 7-0: POMDIN.[7:0]: Биты выбора режима входов Porta 0.
 Если вывод настроен как аналоговый вход, то его слаботочковая подтяжка, цифровой драйвер и цифровой приемник отключаются.
 0: Соответствующий вывод P0.n настроен как аналоговый вход.
 1: Соответствующий вывод P0.n не настроен как аналоговый вход.

SFR-описание 18.5. POMDOUT: Регистр настройки выходов Порты 0

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA4							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: POMDOUT.[7:0]: Биты настройки выходного драйвера порта 0: игнорируются, если соответствующий бит в регистре POMDIN сброшен в 0.
0: Соответствующий вывод P0.n настроен как выход с открытым стоком.
1: Соответствующий вывод P0.n настроен как цифровой двухтактный выход.

Примечание: Если сигналы SDA и SCL появляются на любом выводе порта, то каждый из этих выводов будет настроен как выход с открытым стоком независимо от значения регистра POMDOUT.

SFR-описание 18.6. POSKIP: Регистр выбора выводов Порты 0, пропускаемых матрицей

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD4							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: POSKIP.[7:0]: Биты выбора выводов порта 0, пропускаемых матрицей при назначении выводов. Эти биты выбирают выводы порта, пропускаемые декодером матрицы. Выводы порта, используемые как аналоговые входы (для АЦП или компаратора) или используемые для специальных целей (вход VREF, схема внешнего генератора, вход CNVSTR) должны пропускаться матрицей.
0: Соответствующий вывод P0.n не пропускается матрицей при назначении выводов.
1: Соответствующий вывод P0.n пропускается матрицей при назначении выводов.



SFR-описание 18.7. P1: Регистр данных Порта 1

R/W	Значение при сбросе:							
P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x90

Биты 7-0: P1.[7:0]
 Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров матрицы.
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (в высокоимпеданском состоянии, если соответствующий бит P1MDOUT.n = 0)
 Чтение – Всегда читается как '0', если в регистре P1MDIN выбран аналоговый вход. Читается непосредственно состояние вывода порта, если настроен как цифровой вход.
 0: На выводе P1.n низкий логический уровень.
 1: На выводе P1.n высокий логический уровень.

SFR-описание 18.8. P1MDIN: Регистр настройки входов Порта 1

R/W	Значение при сбросе:							
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF2

Биты 7-0: P1MDIN.[7:0]: Биты выбора режима входов Порта 1.
 Если вывод настроен как аналоговый вход, то его слаботочковая подтяжка, цифровой драйвер и цифровой приемник отключаются.
 0: Соответствующий вывод P1.n настроен как аналоговый вход.
 1: Соответствующий вывод P1.n не настроен как аналоговый вход.

SFR-описание 18.9. P1MDOUT: Регистр настройки выходов Porta 1

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA5							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: P1MDOUT.[7:0]: Биты настройки выходного драйвера порта 1: игнорируются, если соответствующий бит в регистре P1MDIN сброшен в 0.
0: Соответствующий вывод P1.n настроен как выход с открытым стоком.
1: Соответствующий вывод P1.n настроен как цифровой двухтактный выход.

SFR-описание 18.10. P1SKIP: Регистр выбора выводов Porta 1, пропускаемых матрицей

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD5							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: P1SKIP.[7:0]: Биты выбора выводов порта 1, пропускаемых матрицей при назначении выводов. Эти биты выбирают выводы порта, пропускаемые декодером матрицы. Выводы порта, используемые как аналоговые входы (для АЦП или компаратора) или используемые для специальных целей (вход VREF, схема внешнего генератора, вход CNVSTR) должны пропускаться матрицей.
0: Соответствующий вывод P1.n не пропускается матрицей при назначении выводов.
1: Соответствующий вывод P1.n пропускается матрицей при назначении выводов.



SFR-описание 18.11. P2: Регистр данных Porta 2

R	R	R	R	R	R	R	R/W	Значение при сбросе: 00000001 SFR Адрес: 0xA0
-	-	-	-	-	-	-	P2.0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Биты 7-1: Не используются. Читаются как 0000000b. Запись не оказывает никакого влияния.

Бит 0: P2.0
Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров матрицы (если XBARE = 1).
0: Выход в состоянии лог. 0
1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P2MDOUT.n = 0)
Чтение –Читается непосредственно состояние вывода порта.
0: На выводе P2.n низкий логический уровень.
1: На выводе P2.n высокий логический уровень.

SFR-описание 18.12. P2MDOUT: Регистр настройки выходов Porta 2

R	R	R	R	R	R	R	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA6
-	-	-	-	-	-	-		
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-1: Не используются. Читаются как 0000000b. Запись не оказывает никакого влияния.

Бит 0: P2MDOUT.0: Бит настройки выходного драйвера порта P2.0.
0: P2.0 настроен как выход с открытым стоком.
1: P2.0 настроен как цифровой двухтактный выход.

Таблица 18.1. Электрические характеристики порта ввода/вывода

VDD = 2.7 ... 3.6В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение высокого уровня (V _{OH})	I _{OH} = -10мкА, порт ввода/вывода – цифровой вход/выход I _{OH} = -3мА, порт ввода/вывода – цифровой вход/выход I _{OH} = -10мА, порт ввода/вывода – цифровой вход/выход	VDD – 0.1 VDD – 0.7	VDD – 0.8		В
Выходное напряжение низкого уровня (V _{OL})	I _{OL} = 10мкА I _{OL} = 8.5мА I _{OL} = 25мА		1.0	0.1 0.6	В
Входное напряжение высокого уровня (V _{IH})		2.0			В
Входное напряжение низкого уровня (V _{IL})				0.8	В
Ток утечки входа	слаботочковая подтяжка отключена слаботочковая подтяжка включена, V _{IN} = 0В		25	±1 50	мкА

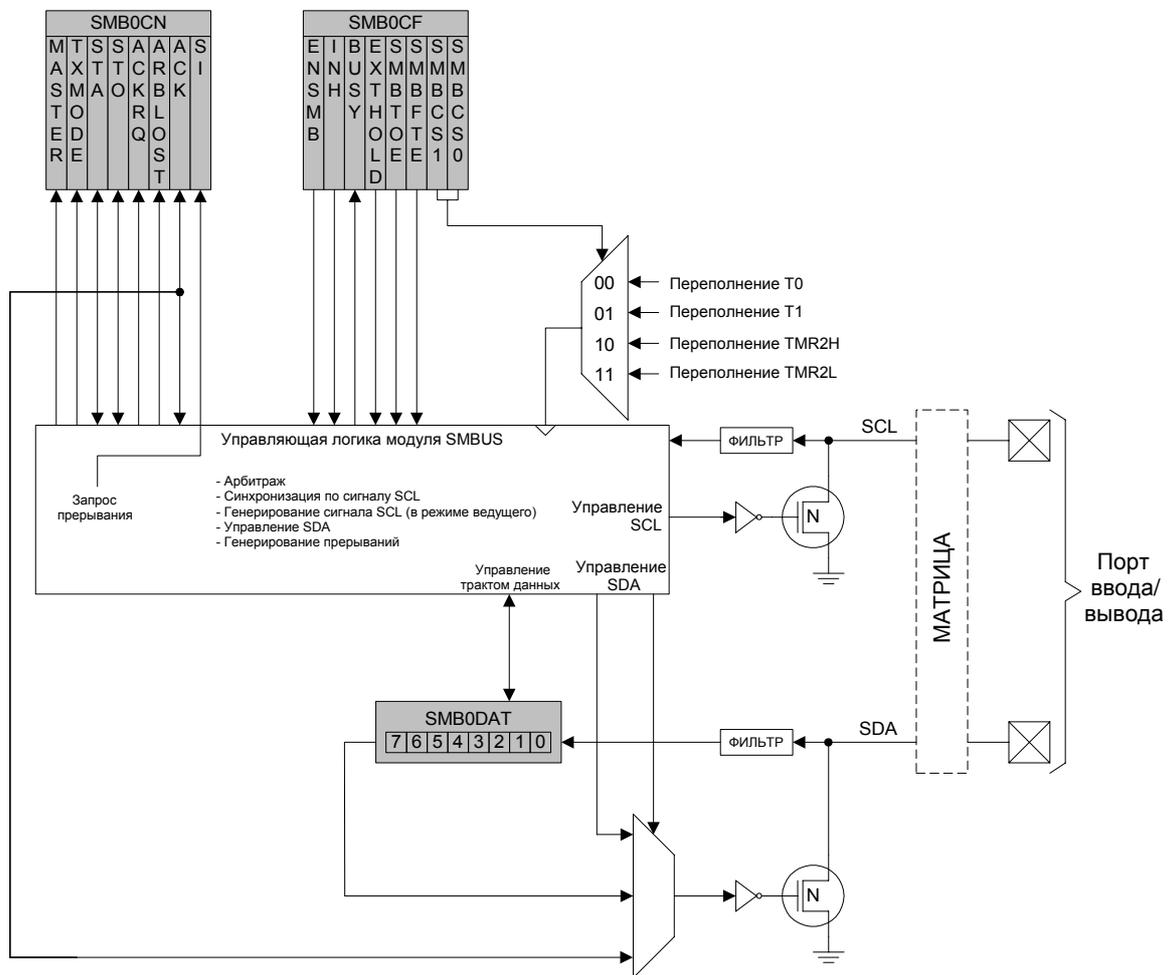


19. Модуль SMBus / I2C (SMBUS0)

Интерфейс ввода/вывода SMBus0 представляет собой двухпроводную двунаправленную последовательную шину. SMBus0 соответствует System Management Bus Specification (версия 1.1) и поддерживает обмен данными по протоколу I²C. Системный контроллер считывает данные с последовательной шины и записывает их в последовательную шину побайтно с помощью модуля SMBus0, который автоматически управляет последовательной передачей данных. Данные могут передаваться со скоростью до 1/10 системной тактовой частоты как в ведущем, так и в ведомом режимах (максимально возможная скорость передачи зависит от частоты используемого тактового сигнала и может превышать допустимую спецификацией SMBus скорость передачи данных). Для обеспечения возможности работы устройств с различной скоростью передачи данных на одной шине используется метод растягивания синхросигнала за счет удержания низкого уровня.

SMBus0 может работать в режимах ведущего и/или ведомого, а также может функционировать на шине с несколькими ведущими. SMBus0 обеспечивает управление линией SDA (последовательные данные), генерацию тактовых импульсов SCL и синхронизацию, арбитраж, управление битами START/STOP и их генерацию. Управление SMBus0 осуществляется с помощью трех SFR регистров: SMB0CF настраивает SMBus0; SMB0CN управляет состоянием SMBus0; SMB0DAT является регистром данных и используется для приема и передачи адреса ведомого и данных SMBus.

Рисунок 19.1. Структурная схема модуля SMBus0



19.1. Техническая документация

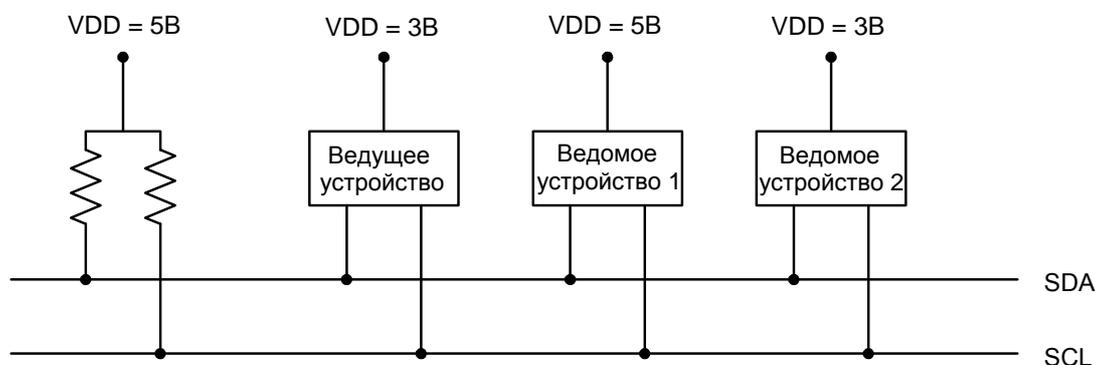
Предполагается, что читатель знаком со следующими техническими документами или имеет доступ к ним:

1. *The I²C-bus and how to use it (including specifications)*, Philips Semiconductor.
2. *The I²C-Bus Specification -- Version 2.0*, Philips Semiconductor.
3. *System Management Bus Specification -- Version 1.1*, SBS Implementers Forum.

19.2. Подключение к шине SMBus

На рис.19.2 приведена типичная схема подключения к шине SMBus. Интерфейс SMBus0 способен работать при любом напряжении от 3.0 до 5.0В, а различные устройства на шине могут иметь различные напряжения питания. Линии SCL (тактовые импульсы) и SDA (последовательные данные) являются двунаправленными. Необходимо подать на них положительное напряжение питания через подтягивающий резистор или подобную схему. Каждое устройство, подключенное к шине, должно иметь выход с открытым стоком или с открытым коллектором как для линии SCL, так и для линии SDA; тогда при свободной шине обе линии будут «подтянуты» к напряжению высокого логического уровня. Максимальное количество устройств на шине ограничивается только следующим требованием: время нарастания и спада сигнала на линиях шины не должно превышать 300нс и 1000нс соответственно.

Рисунок 19.2. Подключение к шине SMBus



19.3. Протокол SMBus

Возможны два режима передачи данных: передача данных от ведущего передатчика к адресуемому ведомому приемнику (ЗАПИСЬ) и передача данных от адресуемого ведомого передатчика к ведущему приемнику (ЧТЕНИЕ). Ведущее устройство инициирует процесс передачи данных в обоих режимах и генерирует тактовый сигнал на линии SCL. SMBus0 может функционировать в ведущем или ведомом режимах, а также поддерживает режим работы с несколькими ведущими на одной шине. Если два или более ведущих пытаются инициировать процесс передачи данных одновременно, то применяемая схема арбитража всегда определит одного ведущего, который выиграет арбитраж и захватит управление шиной. Следует иметь в виду, что нет необходимости определять какое-либо устройство как ведущее в системе; любое устройство, которое передает бит START и адрес ведомого, становится ведущим для этого сеанса связи.

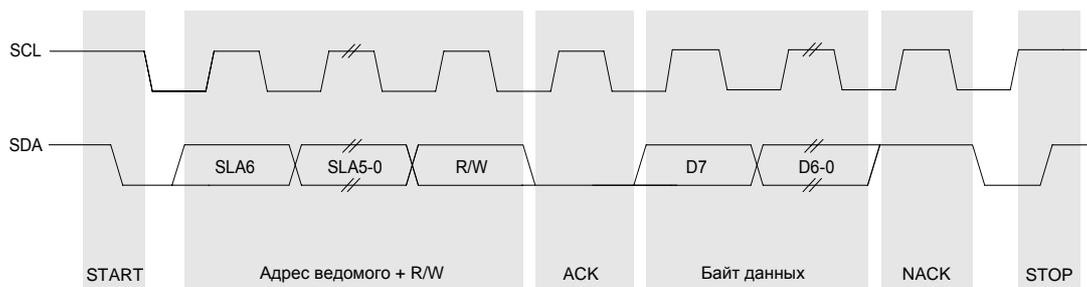
Типичное сообщение SMBus состоит из бита START, следующего за ним байта адреса (биты 7-1: 7-разрядный адрес ведомого; бит 0: бит направления передачи R/W), одного или нескольких байт данных и бита STOP. Каждый принятый (ведущим или ведомым) байт должен быть подтвержден (ACK) низким уровнем сигнала на линии SDA во время высокого уровня сигнала на линии SCL (см. рис.19.3). Если принимающее устройство не подтверждает прием, то передающее устройство воспримет этот факт как бит «нет подтверждения» (NACK), который представляет собой высокий уровень сигнала на линии SDA во время высокого уровня сигнала на линии SCL.



Бит направления занимает самый младший значащий разряд байта адреса. Бит направления устанавливается в 1 для выполнения операции чтения и сбрасывается в 0 для выполнения операции записи.

Все сеансы обмена данными инициируются ведущим, который адресует одно или несколько ведомых устройств. Ведущий генерирует бит START и затем передает адрес ведомого и бит направления. Если инициируется операция записи от ведущего к ведомому, то ведущий передает по одному байту данных за раз, ожидая бита подтверждения (ACK) от ведомого в конце каждого байта. Если осуществляется операция чтения, то ведомый передает данные, ожидая бита подтверждения (ACK) от ведущего в конце каждого байта. В конце сеанса передачи данных ведущий генерирует бит STOP, чтобы завершить сеанс и освободить шину. На рис.19.3 показан формат типичного сообщения SMBus.

Рисунок 19.3. Формат сообщения SMBus



19.3.1. Арбитраж

Ведущий может начать сеанс передачи, только если шина свободна. Шина является свободной после бита STOP или после того, как на линиях SCL и SDA в течение определенного времени удерживается высокий уровень сигнала (см. раздел 19.3.4 «Таймаут высокого уровня на линии SCL» на стр.154). В случае, когда два или более ведущих устройства пытаются начать передачу данных одновременно, используется схема арбитража, которая заставит какое-либо ведущее устройство освободить шину. Ведущие устройства продолжают передавать до тех пор, пока один из ведущих не попытается передать на линию SDA сигнал высокого уровня, в то время как другие ведущие выдают на эту линию сигнал низкого уровня. Т.к. выходы всех устройств, подключенных к шине, являются выходами с открытым стоком (или с открытым коллектором), то на линии SDA установится низкий уровень. Ведущее устройство, пытающееся передать на линию SDA сигнал высокого уровня, определит, что вместо сигнала высокого уровня на линии SDA присутствует сигнал низкого уровня, и освободит шину. Выигравший арбитраж ведущий продолжает передавать свои данные без какого-либо перерыва; потерявший арбитраж ведущий становится ведомым и, если он адресован, принимает остаток передаваемых данных. Данная схема арбитража является неразрушающей: какое-нибудь одно устройство всегда выигрывает и никакие данные не теряются.

19.3.2. Растягивание тактового сигнала

Модуль SMBus обеспечивает механизм тактовой синхронизации, аналогичный I²C, который позволяет устройствам с различной скоростью передачи данных сосуществовать на одной шине. Чтобы позволить медленным ведомым устройствам обмениваться данными с быстрыми ведущими, применяется растягивание тактовых импульсов на участке с низким уровнем сигнала. Ведомый может временно удерживать линию SCL на низком уровне, тем самым удлиняя период тактового сигнала (за счет удлинения участка с низким уровнем) и уменьшая таким образом частоту тактирования шины.

19.3.3. Таймаут низкого уровня на линии SCL

Если линия SCL удерживается на низком уровне ведомым устройством, то дальнейший обмен данными по шине невозможен. Кроме этого, ведущий не может установить на линии SCL высокий уровень, чтобы исправить ошибочное состояние. Чтобы решить эту проблему, протокол SMBus определяет, что устройства, участвующие в обмене, должны распознавать как условие «таймаута» любой тактовый цикл, в котором сигнал удерживается на низком уровне более 25мс. Устройства, которые обнаружили такое условие таймаута, должны в течение 10мс после этого сбросить свои модули обмена.

Если бит SMBT0E в регистре SMB0CF установлен в 1, то для обнаружения таймаута низкого уровня на линии SCL используется Таймер 3. Таймер 3 будет перезагружаться, если на линии SCL высокий уровень, и будет считать, если на линии SCL низкий уровень. Если Таймер 3 включен и настроен на переполнение через 25 мс (и SMBT0E = 1), то процедуру обслуживания прерывания от Таймера 3 можно использовать для сброса (отключение и повторное включение) модуля SMBus0 в случае таймаута низкого уровня на линии SCL.

19.3.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна)

Спецификация SMBus оговаривает, что если линии SCL и SDA удерживаются на высоком уровне более 50 мкс, то шина считается свободной. Если бит SMBFTE в регистре SMB0CF установлен в 1, то шина будет считаться свободной, если линии SCL и SDA удерживаются на высоком уровне более 10 периодов сигнала тактирования SMBus. Если устройство на шине SMBus ожидает освобождения шины, чтобы сгенерировать бит START (в ведущем режиме), то он будет сгенерирован сразу же после истечения таймаута освобождения шины. Следует иметь в виду, что для обнаружения истечения таймаута освобождения шины требуется источник тактирования, даже если реализован только ведомый режим работы.



19.4. Использование модуля SMBus

Модуль SMBus0 может функционировать как в ведущем, так и в ведомом режимах. Модуль SMBus0 управляет временными параметрами и сдвигом последовательных данных; протокол более высокого уровня определяется программой пользователя. Модуль SMBus0 обеспечивает следующие независимые от конкретного приложения функции:

- Побайтная последовательная передача данных.
- Выдача тактового сигнала на линию SCL (только в ведущем режиме) и синхронизация данных на линии SDA.
- Обнаружение таймаутов и ошибочных состояний шины, как определено регистром конфигурации SMB0CF.
- Генерирование и обнаружение битов START/STOP.
- Арбитраж шины.
- Генерирование прерываний.
- Информация о состоянии.

Прерывания от модуля SMBus0 генерируются для каждого переданного байта данных или адреса ведомого. При передаче это прерывание генерируется после ACK, что позволяет программе прочитать принятое значение ACK; при приеме данных это прерывание генерируется до ACK, что позволяет программе определить значение исходящего ACK. Подробная информация о работе модуля SMBus0 в различных режимах передачи данных приведена в разделе 19.5 «Режимы работы модуля SMBus» на стр.163.

Прерывания также генерируются для обозначения начала передачи данных в ведущем режиме («передан START») или для обозначения конца передачи данных в ведомом режиме («обнаружен STOP»). Программа должна прочитать регистр SMB0CN (регистр управления модулем SMBus0), чтобы определить причину прерывания. Регистр SMB0CN описан в разделе 19.4.2 «Регистр управления SMB0CN» на стр.159; таблицу 19.4 можно использовать в качестве руководства для быстрого декодирования состояний SMB0CN.

Опции настройки модуля SMBus0 включают:

- Обнаружение таймаута (таймаут низкого уровня на линии SCL и/или таймаут освобождения шины).
- Растягивание времени установления и времени удержания данных на линии SDA.
- Разрешение/запрещение ведомого режима.
- Выбор источника тактирования.

Эти опции выбираются в регистре SMB0CF, как описано в разделе 19.4.1 «Регистр конфигурации SMBus» на стр.156.

19.4.1. Регистр конфигурации SMBus

Регистр конфигурации модуля SMBus0 (SMB0CF) используется для разрешения ведущего и/или ведомого режимов работы, для выбора источника тактирования SMBus, а также для выбора временных параметров и значений таймаутов SMBus. Если бит ENSMB установлен в 1, то модуль SMBus0 может работать во всех ведущих и ведомых режимах. Ведомый режим можно запретить, установив в 1 бит INH. Если ведомый режим запрещен, то модуль SMBus0 все равно будет отслеживать сигналы на выводах SCL и SDA; однако модуль SMBus0 будет выдавать NACK в ответ на все принятые адреса и не будет генерировать никакие прерывания ведомого режима. Если бит INH устанавливается в 1, то ведомый режим будет запрещен после следующего START (прерывания будут генерироваться во время текущего сеанса передачи данных).

Таблица 19.1. Выбор источника тактирования SMBus

SMBCS1	SMBCS0	Источник тактирования SMBus
0	0	Переполнение Таймера 0
0	1	Переполнение Таймера 1
1	0	Переполнение старшего байта Таймера 2
1	1	Переполнение младшего байта Таймера 2

Биты SMBCS1-0 выбирают источник тактирования SMBus, который используется только в том случае, если модуль SMBus0 функционирует в ведущем режиме или если разрешено обнаружение таймаута освобождения шины. Если модуль SMBus0 работает в ведущем режиме, то переполнение выбранного источника тактирования определяет абсолютные минимальные длительности низкого и высокого уровней на линии SCL (см. уравнение 19.1). Следует иметь в виду, что выбранный источник тактирования может использоваться и другими периферийными модулями при условии, что таймер работает постоянно. Например, переполнения Таймера 1 могут генерировать скорость передачи данных SMBus0 и УАППО одновременно. Настройка таймеров описана в разделе 22 «Таймеры» на стр.195.

Уравнение 19.1. Минимальная длительность высокого и низкого уровней на линии SCL

$$T_{HighMin} = T_{LowMin} = 1 / f_{ClockSourceOverflow}$$

где:

$T_{HighMin}$ – длительность высокого уровня на линии SCL

T_{LowMin} – длительность низкого уровня на линии SCL

$f_{ClockSourceOverflow}$ – частота переполнения выбранного источника тактирования

Используя уравнение 19.1, следует настроить выбранный источник тактирования таким образом, чтобы установить требуемые минимальные значения длительности высокого и низкого уровней на линии SCL. Если модуль SMBus0 работает в ведущем режиме (и никакие другие устройства на шине не изменяют сигнал SCL), то типичную скорость передачи данных по шине SMBus можно приближенно определить из уравнения 19.2.

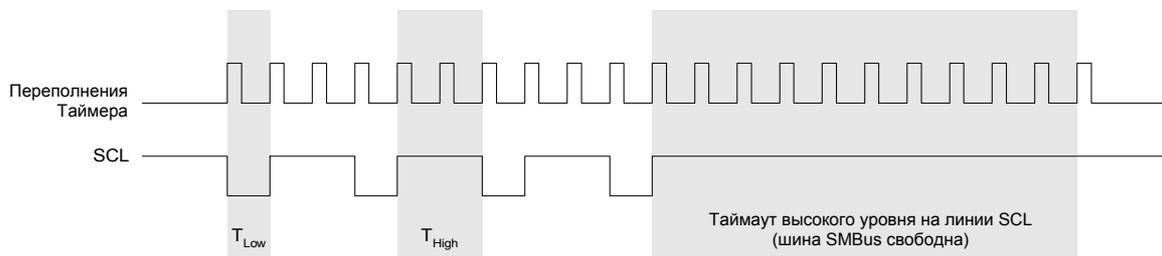
Уравнение 19.2. Типичная скорость передачи данных по шине SMBus

$$\text{Скорость передачи данных} = f_{ClockSourceOverflow} / 3$$



На рис.19.4 показано типичное формирование сигнала SCL, описываемое уравнением 19.2. Следует обратить внимание на то, что обычно T_{HIGH} в два раза больше, чем T_{LOW} . Реальный сигнал SCL может отличаться от приведенного на рис.19.4, т.к. другие устройства на шине могут влиять на него (более медленные устройства могут удлинять низкий уровень сигнала SCL, конкурирующие ведущие устройства могут устанавливать низкий уровень на линии SCL). При работе в ведущем режиме битовая скорость никогда не превысит значения, определяемого уравнением 19.1.

Рисунок 19.4. Формирование сигнала SCL



Установка в 1 бит EXTHOLD удлиняет минимальное время установления и время удержания сигнала на линии SDA. Минимальное время установления сигнала на линии SDA определяет абсолютное минимальное время, в течение которого SDA стабилизируется перед переходом 0→1 сигнала SCL. Минимальное время удержания сигнала на линии SDA определяет абсолютное минимальное время, в течение которого текущее значение SDA остается стабильным после перехода 1→0 сигнала SCL. Бит EXTHOLD следует установить таким образом, чтобы минимальное время установления и время удержания соответствовали требованиям спецификации SMBus, т.е. 250 нс и 300 нс соответственно. В таблице 19.2 приведены минимальное время установления и время удержания для двух значений EXTHOLD. Удлинение времени установления и времени удержания обычно требуется, если $SYSCCLK > 10$ МГц.

Таблица 19.2. Минимальные значения времени установления и времени удержания сигнала SDA

EXTHOLD	Минимальное время установления SDA	Минимальное время удержания SDA
0	T_{LOW} – 4 системных цикла или 1 системный цикл + задержка s/w*	3 системных цикла
1	11 системных циклов	12 системных циклов

* Время установления для бита ACK и для старших бит всех передаваемых байт данных. Задержка s/w отсчитывается между записью регистра SMBODAT или бита ACK и сбросом бита SI. Следует иметь в виду, что если бит SI сбрасывается той же командой записи, которая определяет значение исходящего ACK, то задержка s/w равна нулю.

Если бит SMBT0E установлен в 1, то Таймер 3 должен быть настроен на переполнение через 25 мс для обнаружения таймаута низкого уровня на линии SCL (см. раздел 19.3.3 «Таймаут низкого уровня на линии SCL» на стр.154). Таймер 3 будет перезагружаться, когда $SCL = 1$, и будет считать, когда $SCL = 0$. Процедуру обслуживания прерывания от Таймера 3 следует использовать для сброса модуля SMBus0 путем его отключения и повторного включения.

Обнаружение таймаута освобождения шины SMBus можно разрешить, установив в 1 бит SMBFTE. Если $SMBFTE = 1$, то шина будет считаться свободной, если линии SCL и SDA удерживаются на высоком уровне более 10 периодов сигнала тактирования SMBus (см. рис.19.4). Если таймаут освобождения шины обнаружен, то модуль SMBus будет реагировать таким же образом, как будто обнаружен бит STOP (будет сгенерировано прерывание и будет установлен в 1 бит STO).

SFR-описание 19.1. SMB0CF: Регистр конфигурации модуля SMBus0

R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ENSMB	INH	BUSY	EXTHOLD	SMBTOE	SMBFTE	SMBCS1	SMBCS0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC1

Бит 7: ENSMB: Включение модуля SMBus0.

Этот бит включает/отключает модуль SMBus0. Во включенном состоянии модуль SMBus0 постоянно отслеживает сигналы на выводах SDA и SCL.

0: Модуль SMBus0 отключен.

1: Модуль SMBus0 включен.

Бит 6: INH: Запрет ведомого режима модуля SMBus0.

Если этот бит установлен в 1, то модуль SMBus0 не генерирует прерываний ведомого режима. Это позволяет эффективно удалить ведомый модуль SMBus0 с шины. Это бит не влияет на прерывания ведущего режима.

0: Ведомый режим модуля SMBus0 разрешен.

1: Ведомый режим модуля SMBus0 запрещен.

Бит 5: BUSY: Флаг занятости шины SMBus.

Этот бит аппаратно устанавливается в 1, если идет передача данных. Этот бит сбрасывается в 0, если обнаружен бит STOP или таймаут освобождения шины.

Бит 4: EXTHOLD: Разрешение удлинения времени установления и времени удержания сигнала SDA.

Этот бит управляет удлинением времени установления и времени удержания сигнала SDA (см. табл.19.2).

0: Удлиненные время установления и время удержания сигнала SDA запрещены.

1: Удлиненные время установления и время удержания сигнала SDA разрешены.

Бит 3: SMBTOE: Бит разрешения таймаута низкого уровня на линии SCL.

Этот бит разрешает обнаружение таймаута низкого уровня на линии SCL. Если этот бит установлен в 1, то Таймер 3 будет перезагружаться, когда SCL = 1, и будет считать, когда SCL = 0. Если Таймер 3 работает в раздельном режиме (T3SPLIT = 1), то только старший байт Таймера 3 будет перезагружаться при SCL = 1. Таймер 3 следует настроить таким образом, чтобы он генерировал прерывание через 25 мс. Процедура обслуживания прерывания от Таймера 3 должна сбрасывать модуль SMBus0.

Бит 2: SMBFTE: Бит разрешения обнаружения таймаута освобождения шины SMBus.

Если этот бит установлен в 1, то шина будет считаться свободной, если линии SCL и SDA удерживаются на высоком уровне более 10 периодов сигнала тактирования SMBus.

Биты 1-0: SMBCS1-SMBCS0: Выбор источника тактирования SMBus.

Эти два бита выбирают источник тактирования SMBus, который определяет скорость передачи данных SMBus. Выбранный источник тактирования должен быть настроен в соответствии с уравнением 19.1.

SMBCS1	SMBCS0	Источник тактирования SMBus
0	0	Переполнение Таймера 0
0	1	Переполнение Таймера 1
1	0	Переполнение старшего байта Таймера 2
1	1	Переполнение младшего байта Таймера 2



19.4.2. Регистр управления SMB0CN

Регистр управления SMB0CN используется для управления модулем SMBus0 и для предоставления информации о его состоянии (см. SFR-описание 19.2). Старшие четыре бита регистра SMB0CN (MASTER, TXMODE, STA и STO) образуют вектор состояния, который может использоваться для перехода на процедуру обслуживания прерывания. Биты MASTER и TXMODE показывают состояние (ведущий/ведомый) и режим (передача/прием) соответственно.

Биты STA и STO показывают, что с момента последнего прерывания от SMBus0 обнаружен или сгенерирован бит START и/или STOP. Кроме этого, при работе в ведущем режиме биты STA и STO используются для генерации битов START и STOP. Установка бита STA в 1 заставит модуль SMBus0 перейти в ведущий режим и сгенерировать бит START, когда шина освободится (бит STA не сбрасывается аппаратно после генерации бита START). Установка бита STO в 1 в ведущем режиме заставит модуль SMBus0 сгенерировать бит STOP и завершить текущий сеанс передачи данных после следующего цикла ACK. Если оба бита STA и STO установлены в 1 (в ведущем режиме), то будут сгенерированы сначала бит STOP, а затем бит START.

В режиме приемника запись в бит ACK определяет значение исходящего ACK; в режиме передатчика бит ACK показывает значение, полученное в последнем цикле ACK. Бит ACKRQ устанавливается в 1 каждый раз при получении байта и показывает, что требуется значение исходящего ACK. Если ACKRQ = 1, то программа должна записать требуемое исходящее значение в бит ACK до сброса бита SI. NACK будет сгенерирован в том случае, если программа не запишет бит ACK до сброса бита SI. Сигнал SDA отразит заданное значение ACK сразу же после записи бита ACK; однако SCL будет оставаться на низком уровне до сброса бита SI. Если полученный адрес ведомого не подтверждается, то дальнейшие обращения к ведомому со стороны шины будут игнорироваться до обнаружения следующего бита START.

Бит ARBLOST показывает, что модуль SMBus0 потерял арбитраж. Это может произойти в любое время, когда модуль SMBus0 (ведущий или ведомый) передает данные. Потеря арбитража при работе в режиме ведомого означает ошибку состояния шины. Бит ARBLOST сбрасывается аппаратно каждый раз при сбросе бита SI.

Бит SI (флаг прерывания от модуля SMBus0) устанавливается в 1 в начале и в конце каждой передачи, после каждого сообщения, или при потере арбитража; подробная информация приведена в таблице 19.3.

Важное примечание относительно бита SI: Модуль SMBus0 останавливается при SI = 1; поэтому SCL удерживается на низком уровне и обмен по шине останавливается до программного сброса бита SI.

В таблице 19.3 перечислены все источники, вызывающие аппаратное изменение бит регистра SMB0CN. Таблица 19.4 позволяет декодировать состояние модуля SMBus0, используя регистр SMB0CN.

SFR-описание 19.2. SMB0CN: Регистр управления модуля SMBus0

R	R	R/W	R/W	R	R	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC0
MASTER	TXMODE	STA	STO	ACKRQ	ARBLOST	ACK	SI	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: MASTER: Флаг состояния ведущий/ведомый модуля SMBus0. Этот доступный только для чтения бит показывает, работает ли модуль SMBus0 в ведущем режиме. 0: Модуль SMBus0 работает в ведомом режиме. 1: Модуль SMBus0 работает в ведущем режиме.</p> <p>Бит 6: TXMODE: Флаг режима передачи модуля SMBus0. Этот доступный только для чтения бит показывает, работает ли модуль SMBus0 в режиме передатчика. 0: Модуль SMBus0 работает в режиме приемника 1: Модуль SMBus0 работает в режиме передатчика.</p> <p>Бит 5: STA: Флаг запуска модуля SMBus0. Запись: 0: START не генерируется. 1: При работе в режиме ведущего передается бит START, если шина свободна (если шина не свободна, то бит START передается после приема бита STOP или после обнаружения таймаута). Если бит STA устанавливается в тот момент, когда модуль SMBus0 передает/принимает данные (т.е. активен) в ведущем режиме, то после следующего цикла ACK будет сгенерирован бит «повторный START». Чтение: 0: Биты START или «повторный START» не обнаружены. 1: Обнаружен бит START или «повторный START».</p> <p>Бит 4: STO: Флаг окончания передачи модуля SMBus0. Запись: 0: Бит STOP не передается. 1: Установка в 1 бита STO приведет к передаче бита STOP после следующего цикла ACK. Когда генерируется бит STOP, бит STO будет аппаратно сброшен в 0. Если оба бита STA и STO установлены в 1, то будут сгенерированы сначала бит STOP, а затем бит START. Чтение: 0: Бит STOP не обнаружен. 1: Обнаружен бит STOP (в ведомом режиме) или задержка (в ведущем режиме).</p> <p>Бит 3: ACKRQ: Запрос подтверждения. Этот доступный только для чтения бит устанавливается в 1, если модуль SMBus0 уже принял байт и должен записать в бит ACK правильное ответное значение ACK.</p> <p>Бит 2: ARBLOST: Флаг потери арбитража. Этот доступный только для чтения бит устанавливается в 1, если модуль SMBus0, работая в режиме передатчика, теряет арбитраж. Потеря арбитража при работе в ведомом режиме означает ошибку состояния шины.</p> <p>Бит 1: ACK: Флаг подтверждения. Этот бит определяет уровень исходящего ACK и отражает уровень входящего ACK. Этот бит должен записываться каждый раз при получении байта (когда ACKRQ = 1), или считываться после передачи каждого байта. 0: NACK, т.е. «нет подтверждения», получен (в режиме передатчика) ИЛИ будет передан (в режиме приемника). 1: ACK, т.е. «подтверждение», получен (в режиме передатчика) ИЛИ будет передан (в режиме приемника).</p> <p>Бит 0: SI: Флаг прерывания от модуля SMBus0. Этот бит устанавливается аппаратно в 1 при возникновении условий, перечисленных в таблице 19.3. Бит SI должен сбрасываться программно. Если SI = 1, то SCL удерживается на низком уровне и обмен по шине останавливается.</p>								



Таблица 19.3. События, вызывающие аппаратную установку/сброс битов регистра SMB0CN

Бит	Устанавливается аппаратно, если:	Сбрасывается аппаратно, если:
MASTER	- Передан бит START.	- Передан бит STOP. - Потерян арбитраж.
TXMODE	- Передан бит START. - SMB0DAT записан до начала фрейма SMBus.	- Обнаружен бит START. - Потерян арбитраж. - SMB0DAT не записан до начала фрейма SMBus.
STA	- Получен бит START и следующий за ним байт адреса.	- Должен быть сброшен программно.
STO	- Обнаружен бит STOP во время адресации ведомого. - Потерян арбитраж вследствие обнаружения бита STOP.	- Передан отложенный бит STOP.
ACKRQ	- Байт уже получен и требуется ответное значение ACK.	- После каждого цикла ACK.
ARBLOST	- В ведущем режиме обнаружен бит «повторный START» при STA = 0 (неожиданный повторный START). - На линии SCL обнаружен низкий уровень при попытке генерировать бит STOP или бит «повторный START». - На линии SDA обнаружен низкий уровень при передаче '1' (кроме битов ACK).	- Каждый раз при сбросе бита SI.
ACK	- Значение входящего ACK равно '0' («подтверждение»).	- Значение входящего ACK равно '1' («нет подтверждения»).
SI	- Бит START уже передан. - Потерян арбитраж. - Байт уже передан и ACK/NACK получен. - Байт уже получен. - Получен бит START или «повторный START» и следующие за ними адрес ведомого + бит R/W. - Бит STOP уже получен.	- Должен быть сброшен программно.

19.4.3. Регистр данных

Регистр данных модуля SMBus0 SMB0DAT содержит байт последовательных данных, который необходимо передать, или байт последовательных данных, который только что принят. Программа может прочитать из регистра или записать в регистр данные, когда флаг SI установлен в 1. Программа не должна пытаться обратиться к регистру SMB0DAT, когда модуль SMBus включен и флаг SI сброшен в 0, т.к. в этот момент может осуществляться аппаратный сдвиг байта данных в регистр или из регистра.

Данные всегда сдвигаются старшими разрядами вперед. После приема байта первый бит принятых данных занимает старший разряд регистра SMB0DAT. Когда данные выдвигаются из регистра на шину, данные с шины одновременно вдвигаются в регистр. Поэтому регистр SMB0DAT всегда содержит последний байт данных, присутствующий в настоящий момент на шине. Таким образом, в случае потери арбитража переход от ведущего передатчика к ведомому приемнику осуществляется с корректными данными (или с корректным адресом) в регистре SMB0DAT.

SFR-описание 19.3. SMB0DAT: Регистр данных модуля SMBus0

R/W	Значение при сбросе: 00000000							
								SFR Адрес: 0xC2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SMB0DAT: Данные модуля SMBus.

Регистр SMB0DAT содержит байт данных, которые должны передаваться последовательному интерфейсу SMBus, или данные, только что принятые от последовательного интерфейса SMBus. Читать из этого регистра или записывать в этот регистр можно всегда, когда флаг прерывания от последовательного порта SI (SMB0CN.0) установлен в 1. Последовательные данные в регистре остаются стабильными, пока SI = 1. Когда флаг SI не установлен в 1, система может находиться в процессе сдвига данных в регистр (или из регистра) SMB0DAT и обращаться к этому регистру нельзя.



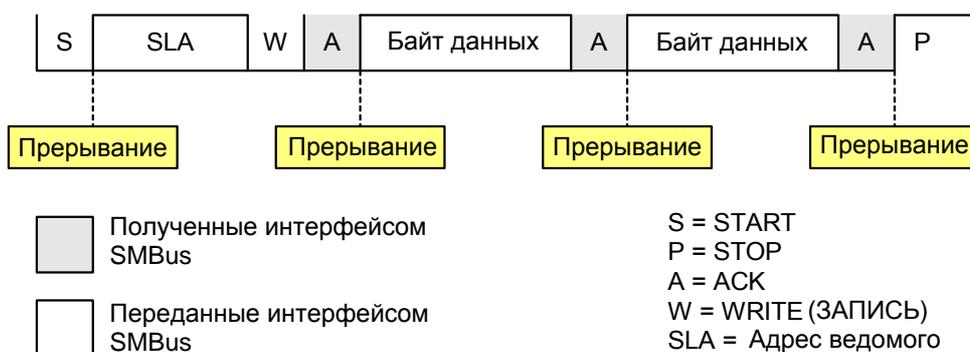
19.5. Режимы работы модуля SMBus

Модуль SMBus может быть настроен для работы как в режиме ведущего, так и в режиме ведомого. В любой конкретный момент времени он может работать в одном из четырех режимов: ведущий передатчик, ведущий приемник, ведомый передатчик, ведомый приемник. Модуль SMBus переходит в ведущий режим каждый раз, когда генерирует бит START, и остается в ведущем режиме до потери арбитража или до генерации бита STOP. Прерывание от модуля SMBus генерируется в конце всех сообщений SMBus; однако следует иметь в виду, что прерывание генерируется до ACK при работе в режиме приемника, и после ACK при работе в режиме передатчика.

19.5.1. Режим ведущего передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы выдаются на линию SCL. SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) будет сброшен в 0, иницируя операцию записи. Затем модуль SMBus0 передает один или несколько байт последовательных данных. После передачи каждого байта ведомый генерирует бит подтверждения. Передача заканчивается, когда бит STO устанавливается в 1 и генерируется бит STOP. Следует иметь в виду, что SMBus0 переключится в режим ведущего приемника, если после прерывания от ведущего передатчика регистр SMBODAT не был записан. На рис.19.5 показана передача данных в режиме ведущего. Показана передача двух байт данных, хотя может быть передано любое количество байт. Следует обратить внимание, что в этом режиме прерывание «байт данных передан» генерируется **после** ACK.

Рисунок 19.5. Передача данных в режиме ведущего



19.5.2. Режим ведущего приемника

Последовательные данные принимаются с линии SDA, а тактовые импульсы выдаются на линию SCL. Модуль SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) будет установлен в 1, инициируя операцию чтения. Модуль SMBus0 принимает последовательные данные от ведомого по линии SDA, при этом генерирует тактовые импульсы на линии SCL. Ведомый передает один или несколько байт последовательных данных. После приема каждого байта устанавливается в 1 бит ACKRQ и генерируется прерывание. Программа должна записать бит ACK (SMB0CN.1), чтобы определить значение (тип) генерируемого подтверждения (Примечание: при записи ACK = 1 генерируется ACK, при записи ACK = 0 генерируется NACK). Программа должна сбросить бит ACK в 0 после приема последнего байта, чтобы передать (сгенерировать на шине) NACK. Модуль SMBus0 выйдет из режима ведущего приемника после установки в 1 бита STO и генерации бита STOP. Следует иметь в виду, что модуль SMBus0 перейдет в режим ведущего передатчика, если в режиме ведущего приемника записывается регистр SMBODAT. На рис.19.6 показан прием данных в режиме ведущего. Показан прием двух байт данных, хотя может быть принято любое количество байт. Следует обратить внимание, что в этом режиме прерывание «байт данных передан» генерируется до ACK.

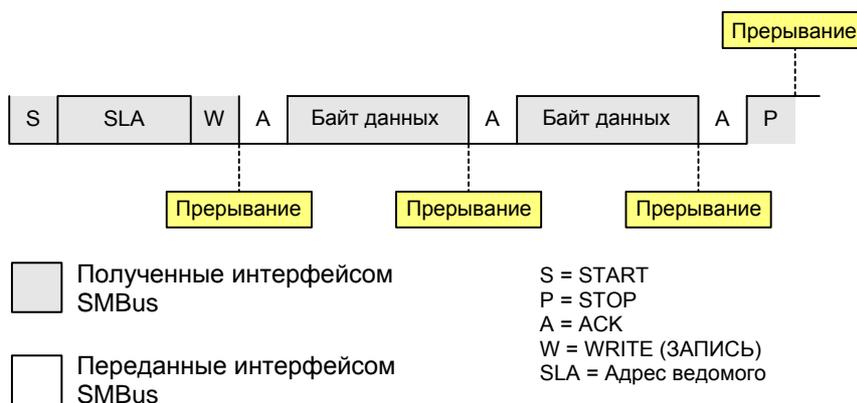
Рисунок 19.6. Прием данных в режиме ведущего



19.5.3. Режим ведомого приемника.

Последовательные данные принимаются с линии SDA, а тактовые импульсы принимаются с линии SCL. Если ведомый режим разрешен (INH = 0), то модуль SMBus0 перейдет в режим ведомого приемника при получении бита START и следующих за ним адреса ведомого и бита направления (в этом случае ЗАПИСЬ). При входе в режим ведомого приемника генерируется прерывание и устанавливается в 1 бит ACKRQ. Программа отвечает на принятый адрес ведомого битом ACK или игнорирует принятый адрес ведомого битом NACK. Если адрес ведомого игнорируется, то прерывания от ведомого будут запрещены до обнаружения следующего бита START. Если принятый адрес ведомого подтвержден (битом ACK), то принимаются ноль или более байт данных. Программа должна записывать бит ACK после приема каждого байта, чтобы подтвердить (ACK) или не подтвердить (NACK) принятый байт. Модуль SMBus0 выйдет из режима ведомого приемника после приема бита STOP. Следует иметь в виду, что модуль SMBus0 перейдет в режим ведомого передатчика, если в режиме ведомого приемника записывается регистр SMB0DAT. На рис.19.7 показан прием данных в режиме ведомого. Показан прием двух байт данных, хотя может быть принято любое количество байт. Следует обратить внимание, что в этом режиме прерывание «байт данных передан» генерируется до ACK.

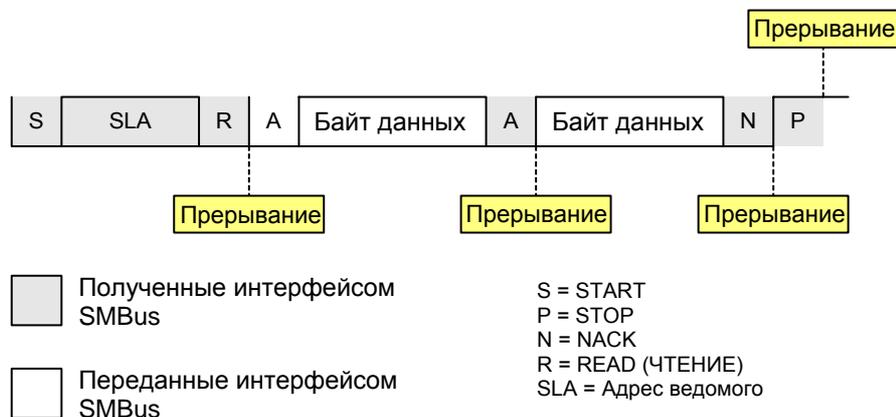
Рисунок 19.7. Прием данных в режиме ведомого



19.5.4. Режим ведомого передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы принимаются с линии SCL. Если ведомый режим разрешен ($INH = 0$), то модуль SMBus0 перейдет в режим ведомого приемника (для приема адреса ведомого) при получении бита START и следующих за ним адреса ведомого и бита направления (в этом случае ЧТЕНИЕ). При входе в режим ведомого передатчика генерируется прерывание и устанавливается в 1 бит ACKRQ. Программа отвечает на принятый адрес ведомого битом ACK или игнорирует принятый адрес ведомого битом NACK. Если адрес ведомого игнорируется, то прерывания от ведомого будут запрещены до обнаружения следующего бита START. Если принятый адрес ведомого подтвержден (битом ACK), то передаваемые данные следует записать в регистр SMB0DAT. Модуль SMBus0 перейдет в режим ведомого передатчика и передаст один или более байт данных. После передачи каждого байта ведущий посылает бит подтверждения; если битом подтверждения является ACK, то в регистр SMB0DAT следует записать следующий байт данных. Если битом подтверждения является NACK, то регистр SMB0DAT нельзя записывать до сброса бита SI (Примечание: Если в режиме ведомого передатчика регистр SMB0DAT записывается после получения NACK, то может быть сгенерировано условие ошибки). Модуль SMBus0 выйдет из режима ведомого передатчика после приема бита STOP. Следует иметь в виду, что модуль SMBus0 перейдет в режим ведомого приемника, если после прерывания от ведомого передатчика регистр SMB0DAT не записывается. На рис.19.8 показана передача данных в режиме ведомого. Показана передача двух байт данных, хотя может быть передано любое количество байт. Следует обратить внимание, что в этом режиме прерывание «байт данных передан» генерируется **после** ACK.

Рисунок 19.8. Передача данных в режиме ведомого



19.6. Декодирование состояний SMBus

Текущее состояние SMBus0 можно легко определить с помощью регистра SMB0CN. В приведенной ниже таблице ВЕКТОР СОСТОЯНИЯ определяется четырьмя старшими битами регистра SMB0CN: MASTER, TXMODE, STA и STO. Следует иметь в виду, что приведенные варианты ответных реакций являются только типичными ответными реакциями; специфичные для конкретного приложения процедуры также допустимы с учетом соответствия их спецификации SMBus. Выделенные цветом ответные реакции разрешены, но они не соответствуют спецификации SMBus.

Таблица 19.4. Декодирование состояний SMBus

РЕЖИМ	СЧИТЫВАЕМЫЕ ЗНАЧЕНИЯ				ТЕКУЩЕЕ СОСТОЯНИЕ SMBUS	ТИПИЧНЫЕ ОТВЕТНЫЕ РЕАКЦИИ	ЗАПИСЫВАЕМЫЕ ЗНАЧЕНИЯ		
	ВЕКТОР СОСТОЯНИЯ	ACKRQ	ARBLOST	ACK			STA	STO	ACK
Ведущий передатчик	1110	0	0	X	Передан бит START.	Загрузка SMB0DAT адресом ведомого + R/W.	0	0	X
		0	0	0	Передан байт данных или адреса. Получен NACK.	Установка STA для перезапуска передатчика.	1	0	X
						Прекращение передачи.	0	1	X
	1100	0	0	1	Передан байт данных или адреса. Получен ACK.	Загрузка следующего байта данных в SMB0DAT.	0	0	X
						Окончание передачи с генерацией бита STOP.	0	1	X
						Окончание передачи с генерацией бита STOP и начало другой передачи.	1	1	X
						Отправка бита «повторный START».	1	0	X
					Переход в режим ведущего приемника (сброс SI без записи новых данных в SMB0DAT).	0	0	X	
Ведущий приемник	1000	1	0	X	Получен байт данных. Запрошен ACK.	Подтверждение (отправка ACK) полученного байта. Чтение SMB0DAT.	0	0	1
						Отправка NACK для обозначения последнего байта и выдача STOP.	0	1	0
						Отправка NACK для обозначения последнего байта, выдача STOP и затем START.	1	1	0
						Отправка ACK, затем выдача бита «повторный START».	1	0	1
						Отправка NACK для обозначения последнего байта, затем выдача бита «повторный START».	1	0	0
						Отправка ACK и переход в режим ведущего передатчика (запись в SMB0DAT перед сбросом SI).	0	0	1
						Отправка NACK и переход в режим ведущего передатчика (запись в SMB0DAT перед сбросом SI).	0	0	0



Таблица 19.4. Декодирование состояний SMBus (продолжение)

РЕЖИМ	СЧИТЫВАЕМЫЕ ЗНАЧЕНИЯ				ТЕКУЩЕЕ СОСТОЯНИЕ SMBUS	ТИПИЧНЫЕ ОТВЕТНЫЕ РЕАКЦИИ	ЗАПИСЫВАЕМЫЕ ЗНАЧЕНИЯ		
	ВЕКТОР СОСТОЯНИЯ	ACKRQ	ARBLOST	ACK			STA	STO	ACK
Ведомый передатчик	0100	0	0	0	Передан байт данных. Получен NACK.	Никаких действий не требуется (ожидается бит STOP).	0	0	X
		0	0	1	Передан байт данных. Получен ACK.	Загрузка следующего байта данных в SMB0DAT для передачи.	0	0	X
		0	1	X	Передан байт данных. Обнаружена ошибка.	Никаких действий не требуется (ожидается завершение передачи по инициативе ведущего).	0	0	X
	0101	0	X	X	Во время адресации ведомого передатчика обнаружен бит STOP.	Никаких действий не требуется (передача завершена).	0	0	X
Ведомый приемник	0010	1	0	X	Получен адрес ведомого. Запрошен ACK.	Подтверждение (отправка ACK) полученного адреса.	0	0	1
						Неподтверждение (отправка NACK) полученного адреса.	0	0	0
		1	1	X	Потерян арбитраж. Получен адрес ведомого. Запрошен ACK.	Подтверждение (отправка ACK) полученного адреса.	0	0	1
						Неподтверждение (отправка NACK) полученного адреса.	0	0	0
	0010	0	1	X	Потерян арбитраж при попытке выдачи бита «повторный START».	Прекращение ошибочной передачи.	0	0	X
						Перепланирование ошибочной передачи.	1	0	X
	0010	1	1	X	Потерян арбитраж при попытке выдачи бита STOP.	Никаких действий не требуется (передача завершена/прекращена)	0	0	0
						0	0	X	Во время адресации ведомого приемника обнаружен бит STOP.
		0	1	X	Потерян арбитраж вследствие обнаружения бита STOP.				
	0000					1	0	X	Получен байт данных. Запрошен ACK.
		1	1	X	Потеря арбитраж во время передачи байта данных в ведущем режиме.				
	0000					1	1	X	Потеря арбитраж во время передачи байта данных в ведущем режиме.
		0000	1	1	X				
	0000					1	1	X	Потеря арбитраж во время передачи байта данных в ведущем режиме.

Примечания:

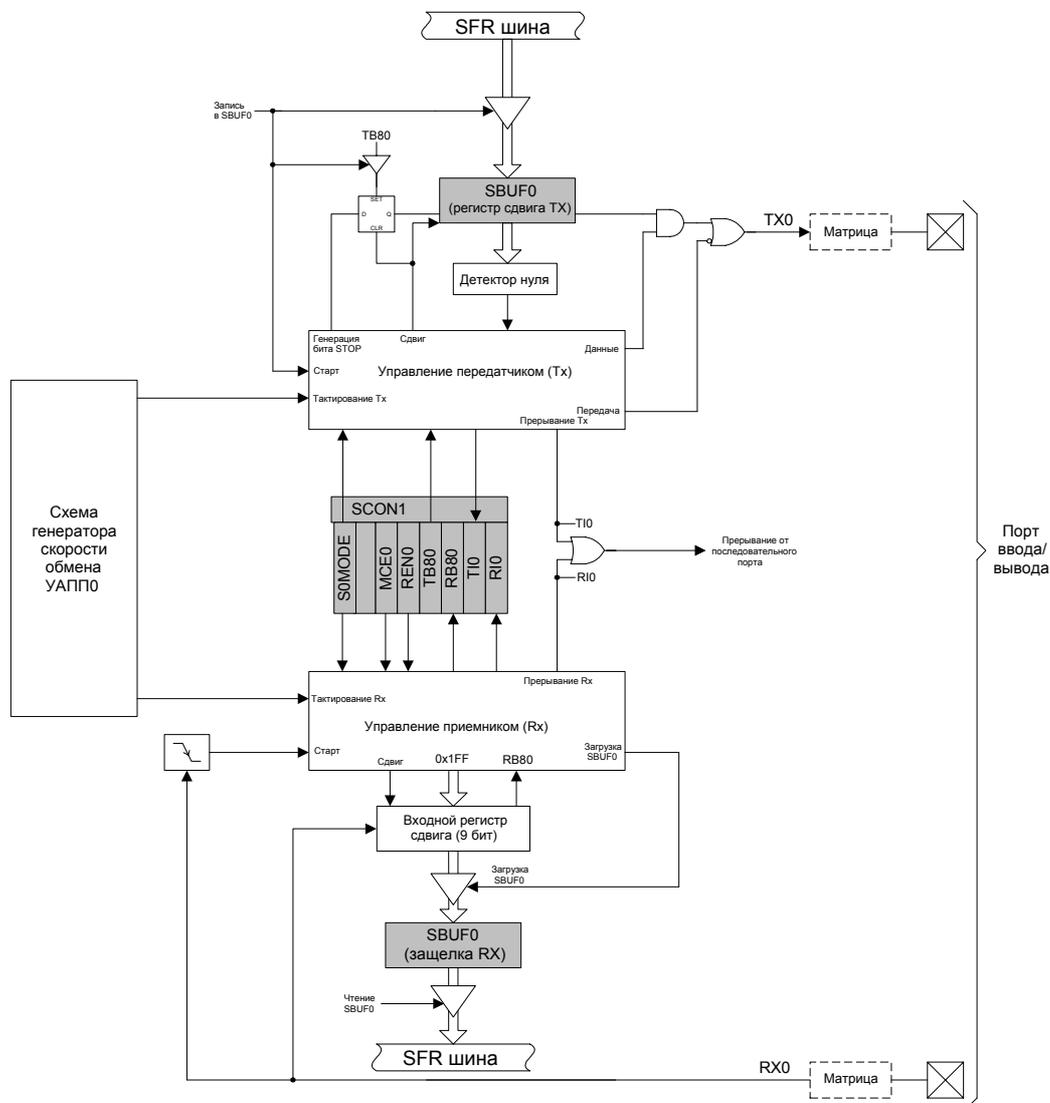
20. УАППО

УАППО представляет собой асинхронный полнодуплексный последовательный порт, способный работать в режимах 1 и 3 стандартного (для архитектуры 8051) УАПП. Поддержка усовершенствованного режима генерации скорости передачи данных позволяет использовать для генерации стандартных скоростей обмена различные источники тактирования (см. раздел 20.1 «Усовершенствованный режим генерации скорости передачи данных» на стр.172). Буферизация принимаемых данных позволяет УАППО начать прием второго входящего байта данных до того, как программа закончит чтение предыдущего байта данных.

С работой УАППО связаны следующие регистры специального назначения: регистр управления УАППО (SCON0) и буфер данных УАППО (SBUF0). Одна и та же ячейка памяти, адресуемая как SBUF0, обеспечивает доступ и к регистру передатчика, и к регистру приемника. **Операции записи в SBUF0 всегда обращаются к регистру передатчика. Операции чтения из SBUF0 всегда обращаются к буферизованному регистру приемника; невозможно прочитать данные из регистра передатчика.**

Если прерывания от модуля УАППО разрешены, то запрос прерывания генерируется при завершении передачи байта данных (установка в 1 флага TI0 в регистре SCON0) или при получении байта данных (установка в 1 флага RI0 в регистре SCON0). Флаги прерываний от УАППО не сбрасываются аппаратно при переходе к процедуре обслуживания прерывания. Они должны сбрасываться программно. Это позволяет программе определить причину, вызвавшую прерывание от УАППО (завершение передачи или завершение приема).

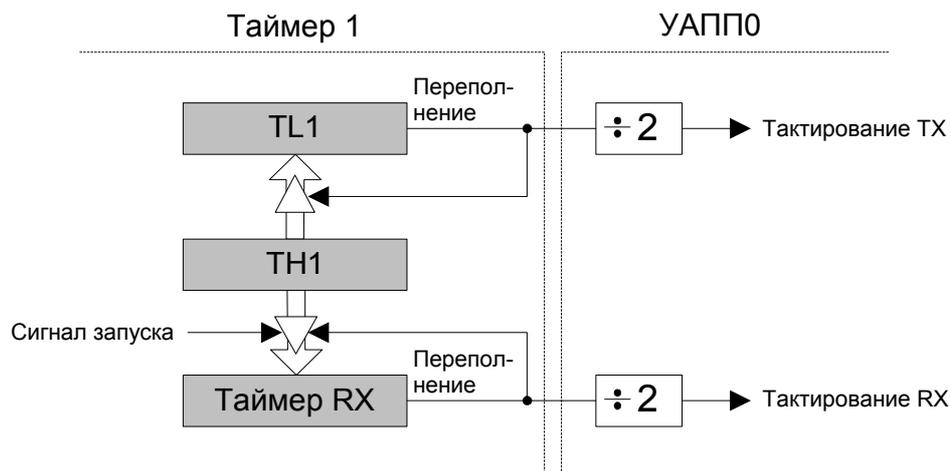
Рисунок 20.1. Структурная схема УАППО



20.1. Усовершенствованный режим генерации скорости передачи данных.

Скорость передачи данных УАППО генерируется Таймером 1, работающим в 8-разрядном режиме с автоперезагрузкой. Частота передатчика (TX) определяется переполнением регистра TL1; частота приемника определяется переполнением регистра-копии регистра TL1 (обозначенного как «RX-Таймер» на рис.20.2), который недоступен из программы пользователя. Скорость передачи данных передатчика и приемника равна деленной на два частоте переполнения регистров TL1 и RX-Таймер соответственно. RX-Таймер работает тогда, когда включен Таймер 1 и использует то же самое значение перезагрузки (TH1). Однако перезагрузка регистра RX-Таймер происходит в тот момент, когда на выводе RX обнаруживается событие START. Это позволяет начать прием данных в любой момент при обнаружении события START, независимо от состояния Таймера TX.

Рисунок 20.2. Логика генератора скорости передачи данных УАППО



Таймер 1 следует настроить для работы в режиме 2, т.е. как 8-разрядный таймер с автоперезагрузкой (см. раздел 22.1.3 «Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой» на стр.197). Значение перезагрузки Таймера 1 следует установить таким образом, чтобы частота переполнений таймера была в два раза больше необходимой скорости передачи данных. Частота тактового сигнала Таймера 1 может быть одной из следующих:

- 1) SYSCLK;
- 2) SYSCLK/4;
- 3) SYSCLK/12;
- 4) SYSCLK/48;
- 5) Частота внешнего генератора / 8;
- 6) Частота сигнала на внешнем входе T1.

Скорость передачи данных УАППО определяется из уравнений 20.1-А и 20.1-В.

Уравнение 20.1. Скорость передачи данных УАППО

$$\text{А) Скорость передачи данных УАППО} = (\text{Частота переполнения Таймера 1}) / 2$$

$$\text{В) Частота переполнения Таймера 1} = T1_{CLK} / (256 - TH1),$$

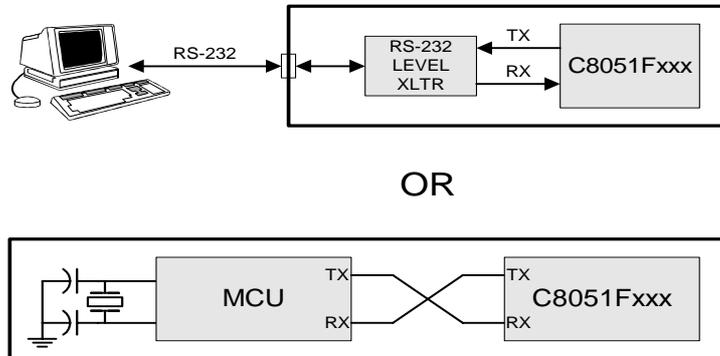
где $T1_{CLK}$ – частота тактирования Таймера 1;
 $TH1$ – старший байт Таймера 1 (значение перезагрузки).

Выбор частоты тактирования Таймера 1 описан в разделе 22 «Таймеры» на стр.195. В таблицах 20.1 – 20.6 приведены системные параметры для стандартных скоростей обмена при различных частотах системного тактового сигнала. Следует отметить, что внутренний генератор может генерировать системный тактовый сигнал, в то время как сигнал от внешнего генератора подается на Таймер 1.

20.2. Режимы работы УАППО

УАППО обеспечивает стандартный асинхронный полнодуплексный обмен данными. Режим работы УАППО (8-разрядный или 9-разрядный) выбирается при помощи бита S0MODE (SCON0.7). Типичные варианты использования УАППО приведены на рисунке ниже.

Рисунок 20.3. Примеры использования УАППО



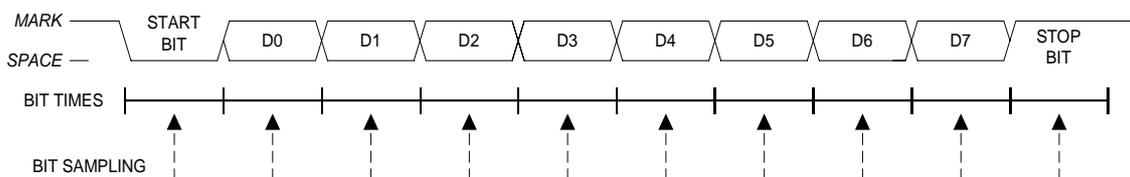
20.2.1. 8-разрядный УАПП.

В режиме 8-разрядного УАПП для передачи одного байта данных используются 10 бит: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются МЗР вперед через внешний вывод TX0 и принимаются через внешний вывод RX0. При приеме в регистре SBUF0 сохраняются восемь бит данных, а бит RB80 (SCON0.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника RENO (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если соблюдаются следующие условия: RI0 должен быть равен лог.0, и, если MCE0 = 1, то стоповый бит должен быть равен лог.1. В случае переполнения данных при приеме первые принятые 8 бит «защелкиваются» в регистре приемника SBUF0, а следующие данные, вызвавшие переполнение, теряются.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, стоповый бит сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не устанавливается. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Рисунок 20.4. Временные диаграммы в режиме 8-разрядного УАПП

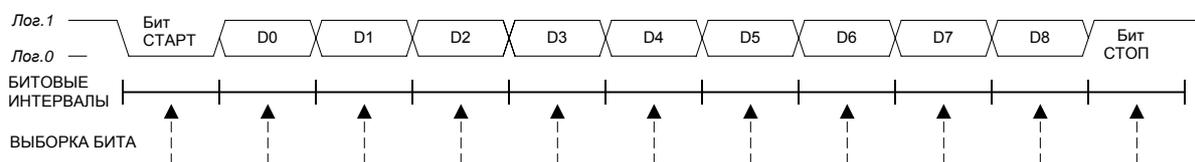


20.2.2. 9-разрядный УАПП.

В режиме 9-разрядного УАПП для передачи одного байта данных используются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. При передаче значение девятого бита данных определяется значением бита TB80 (SCON0.3), который устанавливается/сбрасывается программой пользователя. Значение девятого бита может соответствовать значению флага четности «P» регистра PSW (применяется для обнаружения ошибок) или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB80 (SCON0.2), а стоповый бит игнорируется.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника RENO (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если соблюдаются следующие условия: RI0 должен быть равен лог.0, и, если MCE0 = 1, то стоповый бит должен быть равен лог.1 (когда MCE0 = 0, состояние девятого бита данных не имеет значения). Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, девятый бит данных сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не будет устанавливаться. При установке флагов TI0 или RI0 будет сгенерировано прерывание от модуля УАППО, если оно разрешено.

Рисунок 20.5. Временные диаграммы в режиме 9-разрядного УАПП



20.3. Поддержка связи с несколькими МК

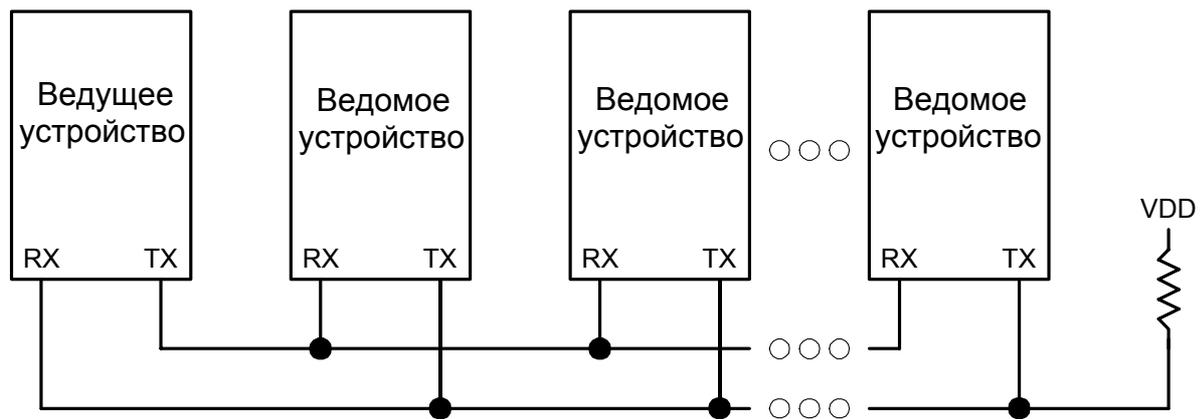
9-разрядный режим УАПП поддерживает мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса, чтобы выбрать конкретное(-ые) устройство(-а). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0.

Установка в 1 бита MCE0 (SCON0.5) ведомого МК настраивает его модуль УАППО таким образом, что при получении стопового бита УАППО будет генерировать прерывание только в том случае, если принятый девятый бит равен лог.1 (RB80 = 1), уведомляя тем самым систему о том, что принят адресный байт. В процедуре обработки прерывания от УАПП1 необходимо сравнить принятый адрес с собственным 8-разрядным адресом ведомого. Если эти адреса совпадают, ведомый МК должен сбросить в 0 свой бит MCE0, чтобы разрешить генерацию прерываний при получении следующих байтов данных. Ведомые МК, которые не были адресованы, оставляют свои биты MCE0 равными 1 и не генерируют запросов прерываний при получении следующих байтов данных, т.е. игнорируют их. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит MCE0, чтобы игнорировать все послышки до получения следующего адресного байта.

Одному ведомому устройству можно назначить несколько адресов и/или один адрес можно назначить нескольким ведомым устройствам, поэтому возможна "широковещательная" передача данных более чем одному ведомому устройству одновременно. Ведущий процессор можно настроить на прием всех сообщений или протокол обмена можно реализовать таким образом, чтобы временно менять местами ведущего и ведомого, обеспечив тем самым полудуплексный обмен данными между истинным ведущим и ведомым(-и).



Рисунок 20.6. Пример использования УАПШ в многопроцессорном режиме



SFR-описание 20.1. SCON0: Регистр управления УАПП0

R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
S0MODE	-	MCE0	REN0	TB80	RB80	TI0	RI0	01000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x98

Бит 7: S1MODE: Режим работы УАПП0.

Этот бит выбирает режим работы УАПП0.

0: Режим 0: 8-разрядный УАПП с изменяемой скоростью передачи данных.

1: Режим 1: 9-разрядный УАПП с изменяемой скоростью передачи данных.

Бит 6: Не используется. Читается как 1b. Запись не имеет значения.

Бит 5: MCE0: Разрешение поддержки мультимикроконтроллерного взаимодействия.

Функционирование этого бита зависит от режима работы УАПП0.

Режим 0: Проверка корректности стопового бита.

0: Логический уровень стопового бита игнорируется.

1: Флаг RI0 будет установлен только в том случае, если стоповый бит равен лог.1.

Режим 1: Разрешение поддержки мультимикроконтроллерного взаимодействия.

0: Логический уровень девятого бита игнорируется.

1: Флаг RI0 устанавливается и прерывание генерируется только в том случае, если девятый бит равен лог.1.

Бит 4: REN0: Разрешение приема.

Этот бит включает/отключает приемник УАПП0.

0: Прием данных модулем УАПП0 запрещен.

1: Прием данных модулем УАПП0 разрешен.

Бит 3: TB80: Девятый бит передаваемых данных.

Значение этого бита будет передано в качестве девятого бита данных в 9-разрядном режиме работы УАПП0. В 8-разрядном режиме работы УАПП0 этот бит не используется. Бит TB80 устанавливается и сбрасывается программно.

Бит 2: RB80: Девятый бит принимаемых данных.

Этот бит принимает значение полученного стопового бита в режиме 0. В режиме 1 бит RB80 принимает значение девятого бита данных.

Бит 1: TI0: Флаг прерывания от передатчика УАПП0.

Устанавливается в 1 аппаратно по окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в режиме 1). Если прерывание от УАПП0 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП0. Этот бит должен сбрасываться программно.

Бит 0: RI0: Флаг прерывания от приемника УАПП0.

Устанавливается в 1 аппаратно при приеме байта данных (Устанавливается в момент выборки стопового бита). Если прерывание от УАПП0 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП0. Этот бит должен сбрасываться программно.



SFR-описание 20.2. SBUF0: Регистр буфера данных УАППО

R/W	Значение при сбросе: 00000000							
								SFR Адрес: 0x99
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SBUF0.[7:0]: Биты (7-0) буфера данных УАППО (СЗР - МЗР)

На самом деле именем SBUF0 обозначаются два регистра: сдвиговый регистр передатчика и регистр-защелка приемника. Когда данные помещаются в регистр SBUF0, они записываются в сдвиговый регистр передатчика и сохраняются для последовательной передачи. Запись данных в SBUF0 инициирует передачу. Когда данные читаются из регистра SBUF1, они считываются из регистра-защелки приемника.

Таблица 20.1. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внутреннего генератора

Частота: 24,5 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внутреннего генератора	230400	-0,32%	106	SYSCLK	XX	1	0xCB
	115200	-0,32%	212	SYSCLK	XX	1	0x96
	57600	0,15%	426	SYSCLK	XX	1	0x2B
	28800	-0,32%	848	SYSCLK/4	01	0	0x96
	14400	0,15%	1704	SYSCLK/12	00	0	0xB9
	9600	-0,32%	2544	SYSCLK/12	00	0	0x96
	2400	-0,32%	10176	SYSCLK/48	10	0	0x96
	1200	0,15%	20448	SYSCLK/48	10	0	0x2B

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 22.1.

Таблица 20.2. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 25,0 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	-0,47%	108	SYSCLK	XX	1	0xCA
	115200	0,45%	218	SYSCLK	XX	1	0x93
	57600	-0,01%	434	SYSCLK	XX	1	0x27
	28800	0,45%	872	SYSCLK/4	01	0	0x93
	14400	-0,01%	1736	SYSCLK/4	01	0	0x27
	9600	0,15%	2608	EXTCLK/8	11	0	0x5D
	2400	0,45%	10464	SYSCLK/48	10	0	0x93
	1200	-0,01%	20832	SYSCLK/48	10	0	0x27
SYSCLK от внутреннего генератора	57600	-0,47%	432	EXTCLK/8	11	0	0xE5
	28800	-0,47%	864	EXTCLK/8	11	0	0xCA
	14400	0,45%	1744	EXTCLK/8	11	0	0x93
	9600	0,15%	2608	EXTCLK/8	11	0	0x5D

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 22.1.



Таблица 20.3. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 22,1184 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	96	SYSCLK	XX	1	0xD0
	115200	0,00%	192	SYSCLK	XX	1	0xA0
	57600	0,00%	384	SYSCLK	XX	1	0x40
	28800	0,00%	768	SYSCLK/12	00	0	0xE0
	14400	0,00%	1536	SYSCLK/12	00	0	0xC0
	9600	0,00%	2304	SYSCLK/12	00	0	0xA0
	2400	0,00%	9216	SYSCLK/48	10	0	0xA0
1200	0,00%	18432	SYSCLK/48	10	0	0x40	
SYSCLK от внутреннего генератора	230400	0,00%	96	EXTCLK/8	11	0	0xFA
	115200	0,00%	192	EXTCLK/8	11	0	0xF4
	57600	0,00%	384	EXTCLK/8	11	0	0xE8
	28800	0,00%	768	EXTCLK/8	11	0	0xD0
	14400	0,00%	1536	EXTCLK/8	11	0	0xA0
	9600	0,00%	2304	EXTCLK/8	11	0	0x70

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 22.1.

Таблица 20.4. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 18,432 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	80	SYSCLK	XX	1	0xD8
	115200	0,00%	160	SYSCLK	XX	1	0xB0
	57600	0,00%	320	SYSCLK	XX	1	0x60
	28800	0,00%	640	SYSCLK/4	01	0	0xB0
	14400	0,00%	1280	SYSCLK/4	01	0	0x60
	9600	0,00%	1920	SYSCLK/12	00	0	0xB0
	2400	0,00%	7680	SYSCLK/48	10	0	0xB0
	1200	0,00%	15360	SYSCLK/48	10	0	0x60
SYSCLK от внутреннего генератора	230400	0,00%	80	EXTCLK/8	11	0	0xFB
	115200	0,00%	160	EXTCLK/8	11	0	0xF6
	57600	0,00%	320	EXTCLK/8	11	0	0xEC
	28800	0,00%	640	EXTCLK/8	11	0	0xD8
	14400	0,00%	1280	EXTCLK/8	11	0	0xB0
	9600	0,00%	1920	EXTCLK/8	11	0	0x88

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 22.1.

Таблица 20.5. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 11,0592 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	48	SYSCLK	XX	1	0xE8
	115200	0,00%	96	SYSCLK	XX	1	0xD0
	57600	0,00%	192	SYSCLK	XX	1	0xA0
	28800	0,00%	384	SYSCLK	XX	1	0x40
	14400	0,00%	768	SYSCLK/12	00	0	0xE0
	9600	0,00%	1152	SYSCLK/12	00	0	0xD0
	2400	0,00%	4608	SYSCLK/12	00	0	0x40
	1200	0,00%	9216	SYSCLK/48	10	0	0xA0
SYSCLK от внутреннего генератора	230400	0,00%	48	EXTCLK/8	11	0	0xFD
	115200	0,00%	96	EXTCLK/8	11	0	0xFA
	57600	0,00%	192	EXTCLK/8	11	0	0xF4
	28800	0,00%	384	EXTCLK/8	11	0	0xE8
	14400	0,00%	768	EXTCLK/8	11	0	0xD0
	9600	0,00%	1152	EXTCLK/8	11	0	0xB8

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 22.1.

Таблица 20.6. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 3,6864 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	16	SYSCLK	XX	1	0xF8
	115200	0,00%	32	SYSCLK	XX	1	0xF0
	57600	0,00%	64	SYSCLK	XX	1	0xE0
	28800	0,00%	128	SYSCLK	XX	1	0xC0
	14400	0,00%	256	SYSCLK	XX	1	0x80
	9600	0,00%	384	SYSCLK	XX	1	0x40
	2400	0,00%	1536	SYSCLK/12	00	0	0xC0
	1200	0,00%	3072	SYSCLK/12	00	0	0x80
SYSCLK от внутреннего генератора	230400	0,00%	16	EXTCLK/8	11	0	0xFF
	115200	0,00%	32	EXTCLK/8	11	0	0xFE
	57600	0,00%	64	EXTCLK/8	11	0	0xFC
	28800	0,00%	128	EXTCLK/8	11	0	0xF8
	14400	0,00%	256	EXTCLK/8	11	0	0xF0
	9600	0,00%	384	EXTCLK/8	11	0	0xE8

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 22.1.



21.1. Описание сигналов

Ниже описаны четыре сигнала, используемые интерфейсом SPI0 (MOSI, MISO, SCK, NSS).

21.1.1. Выход ведущего, вход ведомого

Сигнал MOSI (master-out, slave-in - «выход ведущего, вход ведомого») является выходом данных ведущего устройства и входом данных ведомых устройств. Он используется для последовательной передачи данных от ведущего к ведомому. Этот сигнал является выходом, если SPI0 работает в ведущем режиме, и входом, если SPI0 работает в ведомом режиме. Данные передаются старшими значащими разрядами вперед. При работе в ведущем режиме значение сигнала MOSI определяется старшим значащим разрядом сдвигового регистра как в 3-х проводном, так и в 4-х проводном режимах.

21.1.2. Вход ведущего, выход ведомого

Сигнал MISO (master-in, slave-out - «вход ведущего, выход ведомого») является выходом данных ведомого устройства и входом данных ведущего устройства. Он используется для последовательной передачи данных от ведомого к ведущему. Этот сигнал является входом, если SPI0 работает в ведущем режиме, и выходом, если SPI0 работает в ведомом режиме. Данные передаются старшими значащими разрядами вперед. Вывод MISO переводится в высокоимпедансное состояние, когда модуль SPI0 отключен, а также тогда, когда модуль SPI0 работает в 4-х проводном режиме как ведомый, который не выбран. Когда модуль SPI0 работает в 3-х проводном режиме как ведомый, сигнал MISO всегда определяется старшим значащим разрядом сдвигового регистра.

21.1.3. Тактовые импульсы

Сигнал SCK (serial clock – «импульсы тактирования последовательного интерфейса») является выходом ведущего устройства и входом ведомых устройств. Он используется для синхронизации обмена данными между ведущим и ведомым устройствами по линиям MOSI и MISO. SPI0 генерирует этот сигнал, когда работает в ведущем режиме. В 4-х проводном ведомом режиме сигнал SCK игнорируется ведомым SPI, когда ведомый не выбран (NSS = 1).

21.1.4. Выбор ведомого (NSS)

Функционирование сигнала выбора ведомого (NSS) зависит от состояния бит NSSMD1 и NSSMD0 регистра SPI0CN. С помощью этих бит можно выбрать три возможных режима:

1. NSSMD[1:0] = 00: 3-х проводный ведущий или 3-х проводный ведомый режим: SPI0 работает в 3-х проводном режиме и NSS отключен. В 3-х проводном ведомом режиме SPI0 выбран всегда. Т.к. сигнал выбора отсутствует, то в 3-х проводном режиме SPI0 может быть только ведомым на шине. Этот режим предназначен для организации взаимодействия типа «точка - точка» между ведущим устройством и одним ведомым устройством.
2. NSSMD[1:0] = 01: 4-х проводный ведомый режим или режим с несколькими ведущими: SPI0 работает в 4-х проводном режиме и NSS является входом. При работе в ведомом режиме сигнал NSS является сигналом выбора данного ведомого. При работе в ведущем режиме срез (переход из состояния 1 в состояние 0) сигнала NSS отключает функции ведущего SPI0, что позволяет работать на одной SPI шине нескольким ведущим устройствам.
3. NSSMD[1:0] = 1x: 4-х проводный ведущий режим: SPI0 работает в 4-х проводном режиме и NSS является выходом. Значение бита NSSMD0 определяет, сигнал какого логического уровня будет выведен на вывод NSS. Эту конфигурацию следует использовать только тогда, когда SPI0 работает в ведущем режиме.

На рис.21.2, рис.21.3, рис.21.4 показаны типичные схемы включения для различных режимов работы. Следует иметь в виду, что состояние бит NSSMD влияет на разводку выводов МК. В 3-х проводном ведомом или 3-х проводном ведущем режимах вывод NSS не будет разводиться матрицей. Во всех других режимах сигнал NSS будет выводиться на внешний вывод МК. Подробная информация о портах ввода/вывода общего назначения и матрице приведена в разделе 18 «Порт ввода/вывода» на стр.137.



21.2. Функционирование SPI0 в ведущем режиме

Все сеансы обмена данными по SPI шине инициируются ведущим устройством. Модуль SPI0 переводится в ведущий режим работы установкой в 1 флага включения ведущего режима (MSTEN, SPI0CN.6). Если модуль SPI0 работает в ведущем режиме, то запись байта данных в регистр данных модуля SPI0 (SPI0DAT) вызовет загрузку буфера передатчика. Если сдвиговый регистр модуля SPI0 пуст, то в него загружается байт из буфера передатчика и начинается передача данных. Ведущий SPI сразу же начинает последовательно сдвигать данные на линию MOSI, выдавая тактовые импульсы на линию SCK. По окончании передачи устанавливается в 1 флаг SPIF (SPI0CN.7). Если прерывания разрешены, то при установке флага SPIF генерируется запрос прерывания. В полнодуплексном режиме работы в то время, когда ведущий SPI0 передает данные ведомому по линии MOSI, адресуемый ведомый одновременно передает содержимое своего регистра сдвига ведущему SPI0 по линии MISO. Поэтому флаг SPIF является как флагом окончания передачи, так и флагом готовности принимаемых данных. Байт данных, принимаемый от ведомого устройства, передается старшими значащими разрядами вперед в сдвиговый регистр ведущего. После полной загрузки сдвигового регистра полученный байт данных переписывается в буфер приемника, откуда он может быть считан процессором путем чтения регистра SPI0DAT.

Когда модуль SPI0 настроен как ведущий, он может работать в одном из трех различных режимов:

- режим работы с несколькими ведущими;
- 3-х проводный режим работы с одним ведущим;
- 4-х проводный режим работы с одним ведущим.
-

Активным по умолчанию является режим работы с несколькими ведущими, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 1. В этом режиме NSS функционирует как вход и используется для отключения ведущего SPI0 в то время, когда другой ведущий пытается получить доступ к шине. Если в этом режиме на вход NSS подается сигнал низкого логического уровня, то сбрасываются в 0 биты MSTEN (SPI0CN.6) и SPIEN (SPI0CN.0), выключая тем самым ведущий модуль SPI0, и устанавливается в 1 флаг ошибки режима MODF (SPI0CN.5). При установке флага ошибки режима будет сгенерировано прерывание, если оно разрешено. При данных обстоятельствах требуется программно вновь включить модуль SPI0. В системе с несколькими ведущими любое устройство обычно по умолчанию становится ведомым устройством, если оно не функционирует как ведущее устройство системы. В режиме с несколькими ведущими ведомые устройства можно адресовать индивидуально (при необходимости), используя порты ввода/вывода общего назначения. На рис.21.2 приведена схема соединений между двумя ведущими устройствами в режиме с несколькими ведущими.

3-х проводный режим работы с одним ведущим активен тогда, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 0. В этом режиме NSS не используется и не разводится на внешний вывод порта с помощью матрицы. Все ведомые устройства, которые требуется адресовать в этом режиме работы, необходимо выбирать с помощью портов ввода/вывода общего назначения. На рис.21.3 приведена схема соединений между ведущим и ведомым устройствами в 3-х проводном режиме.

4-х проводный режим работы с одним ведущим активен тогда, когда NSSMD1 (SPI0CN.3) = 1. В этом режиме NSS функционирует как выход и может использоваться как сигнал выбора ведомого для одного устройства SPI. Логический уровень сигнала на выходе NSS определяется битом NSSMD0 (SPI0CN.2). Другие ведомые устройства можно адресовать с помощью портов ввода/вывода общего назначения. На рис.21.4 приведена схема соединений между одним ведущим и двумя ведомыми устройствами в 4-х проводном режиме.

Рисунок 21.2. Схема включения в режиме с несколькими ведущими

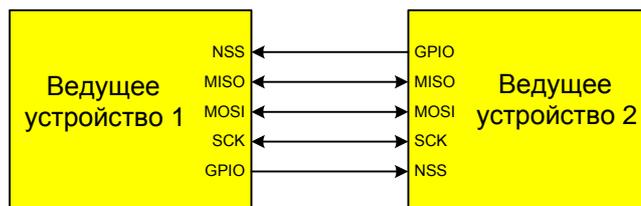
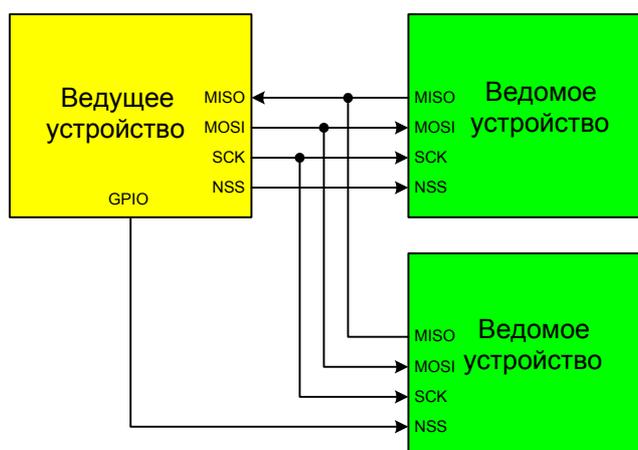


Рисунок 21.3. Схема соединения одного ведущего и одного ведомого с использованием 3-х проводной шины SPI



Рисунок 21.4. Схема соединения одного ведущего и нескольких ведомых с использованием 4-х проводной шины SPI



21.3. Функционирование SPI0 в ведомом режиме

Когда модуль SPI0 включен и не настроен как ведущий, он будет функционировать как ведомый SPI. Байты данных принимаются по линии MOSI от ведущего и передаются по линии MISO ведомому, при этом ведущее устройство управляет сигналом на линии SCK. Битовый счетчик модуля SPI0 подсчитывает фронты сигнала SCK. После того, как 8 бит данных приняты в сдвиговый регистр, устанавливается в 1 флаг SPIF и байт данных копируется в буфер приемника. Данные считываются из буфера приемника путем чтения регистра SPI0DAT. Ведомое устройство не может инициировать процесс обмена данными. Данные, которые необходимо передать ведомому, предварительно загружаются в сдвиговый регистр путем записи регистра SPI0DAT. При записи регистра SPI0DAT данные сначала загружаются в буфер передатчика. Если сдвиговый регистр пуст, то содержимое буфера передатчика будет сразу же передано в сдвиговый регистр. В том случае, если сдвиговый регистр уже содержит данные, то SPI0 будет ждать окончания их передачи, и только после этого загрузит сдвиговый регистр содержимым буфера передатчика.

Когда модуль SPI0 функционирует как ведомый, его можно настроить на работу в 3-х проводном или 4-проводном режимах. Активным по умолчанию является 4-проводный ведомый режим, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 1. В 4-проводном режиме сигнал NSS выведен на внешний вывод порта, который настроен как цифровой вход. SPI0 включен, когда NSS = 0, и отключен, когда NSS = 1. Битовый счетчик сбрасывается по заднему фронту сигнала NSS. Следует иметь в виду, что сигнал NSS необходимо сбросить в 0 как минимум за 2 системных тактовых цикла до первого активного фронта сигнала SCK для каждого передаваемого байта. На рис.21.4 приведена схема соединений между одним ведущим и двумя ведомыми устройствами в 4-х проводном режиме.

3-проводный ведомый режим активен, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 0. NSS не используется и не разводится на внешний вывод порта с помощью матрицы. Т.к. в этом режиме нет способа однозначной адресации устройства, то SPI0 должен быть единственным ведомым устройством, присутствующим на шине. Важно иметь в виду, что в 3-х проводном ведомом режиме отсутствуют средства для сброса битового счетчика. Данный счетчик определяет момент окончания приема байта. Этот битовый счетчик можно сбросить лишь путем выключения и повторного включения модуля SPI0 с помощью бита SPIEN. На рис.21.3 приведена схема соединений между ведущим и ведомым устройствами в 3-х проводном режиме.

21.4. Источники прерываний модуля SPI0

Если прерывания от модуля SPI0 разрешены, то следующие 4 флага будут генерировать прерывания при установке их в 1:

Все приведенные ниже флаги сбрасываются программно.

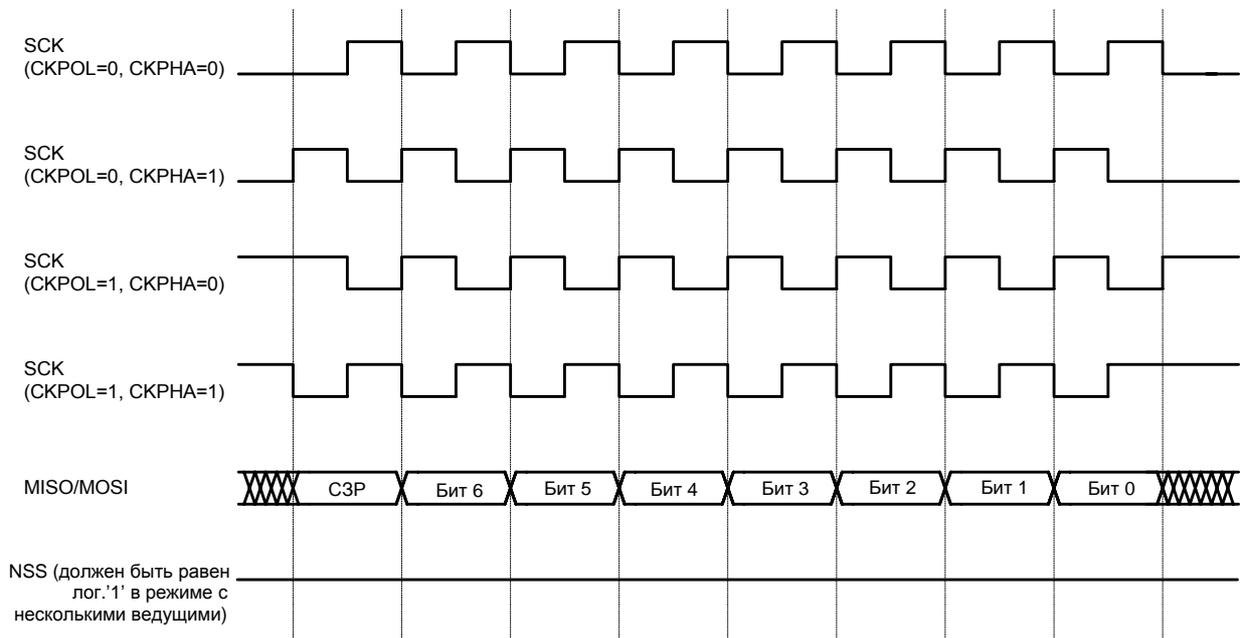
1. Флаг прерывания от модуля SPI0 SPIF (SPI0CN.7) устанавливается в 1 по окончании передачи каждого байта. Установка этого флага возможна во всех режимах работы модуля SPI0.
2. Флаг конфликта записи WCOL (SPI0CN.6) устанавливается в 1, если запись в регистр SPI0DAT происходит в тот момент, когда данные из буфера передатчика еще не переписаны в сдвиговый регистр. В этом случае запись в регистр SPI0DAT игнорируется и буфер передатчика не переписывается. Установка этого флага возможна во всех режимах работы модуля SPI0.
3. Флаг ошибки режима MODF (SPI0CN.5) устанавливается в 1, если модуль SPI0 функционирует как ведущий в режиме работы с несколькими ведущими и на входе NSS появляется сигнал с низким логическим уровнем. В этом случае будут сброшены в 0 биты MSTEN и SPIEN в регистре SPI0CN, в результате чего модуль SPI0 будет отключен. Это позволит другому ведомому устройству получить доступ к шине.
4. Флаг переполнения приемника RXOVRN (SPI0CN.4) устанавливается в 1, если при работе в режиме ведомого передача завершается, а буфер приемника все еще содержит непрочитанный байт от предыдущей передачи. Новый байт не переписывается в буфер приемника, что позволяет прочитать ранее принятый байт данных. Байт данных, который вызвал переполнение приемника, теряется.

21.5. Тактирование

Используя биты управления тактовой частотой регистра конфигурации модуля SPI0 (SPI0CFG), можно выбрать четыре комбинации фазы и полярности импульсов тактирования последовательного интерфейса. Бит СКРНА (SPI0CFG.5) выбирает одну из двух фаз тактового сигнала (фронт, используемый для фиксации данных). Бит СКPOL (SPI0CFG.4) задает активный уровень (высокий или низкий) тактового сигнала. Как ведущий, так и ведомые устройства должны быть настроены на использование одинаковых фазы и полярности тактовых импульсов. При изменении фазы и полярности тактовых импульсов модуль SPI0 следует отключить сбросом в 0 бита SPIEN (SPI0CN.0). Временные диаграммы сигналов данных и тактирования показаны на рис.21.5.

Регистр установки тактовой частоты модуля SPI0 SPI0CKR (см. SFR-описание 21.3) управляет частотой тактирования последовательного интерфейса при работе в ведущем режиме. При работе в ведомом режиме содержимое этого регистра игнорируется. Когда модуль SPI0 настроен как ведущий, максимальная скорость передачи данных (в бит/сек) равна половине системной тактовой частоты (12,5 МГц или меньше). Когда модуль SPI0 настроен как ведомый, максимальная скорость передачи данных (в бит/сек) для полнодуплексного режима работы равна 1/10 системной тактовой частоты, при условии, что сигналы от ведущего SCK, NSS (в 4-х проводном ведомом режиме) и последовательные входные данные синхронизированы с системной тактовой частотой ведомого. Если сигналы от ведущего SCK, NSS и последовательные входные данные асинхронны, то максимальная скорость передачи данных (в бит/сек) должна быть меньше 1/10 системной тактовой частоты. В особом случае, когда ведомому требуется только передавать данные ведомому и не требуется принимать от него данные (т.е. полудуплексный режим работы), ведомый модуль SPI может принимать данные с максимальной скоростью (в бит/сек), равной 1/4 системной тактовой частоты. Это справедливо при условии, что сигналы от ведущего SCK, NSS и последовательные входные данные синхронизированы с системной тактовой частотой ведомого.

Рисунок 21.5. Временные диаграммы сигналов данных/тактирования



21.6. Регистры специального назначения модуля SPI0

Для доступа к интерфейсу SPI и управления им используются четыре регистра специального назначения: регистр управления SPI0CN, регистр данных SPI0DAT, регистр конфигурации SPI0CFG и регистр установки тактовой частоты SPI0CKR. Все эти регистры описаны ниже.



SFR-описание 21.1. SPI0CFG: Регистр конфигурации модуля SPI0

R	R/W	R/W	R/W	R	R	R	R	Значение при сбросе: 00000111 SFR Адрес: 0xA1
SPIBSY	MSTEN	СКРНА	СКPOL	SLVSEL	NSSIN	SRMT	RXBMT	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: SPIBSY: Флаг занятости модуля SPI0 (только для чтения). Этот бит устанавливается в 1 тогда, когда SPI0 находится в процессе передачи данных (ведущий или ведомый режим).</p> <p>Бит 6: MSTEN: Включение ведущего режима. 0: Ведущий режим отключен. Модуль SPI0 работает в ведомом режиме. 1: Ведущий режим включен. Модуль SPI0 работает в ведущем режиме.</p> <p>Бит 5: СКРНА: Выбор активной фазы тактового сигнала модуля SPI0. Этот бит управляет фазой тактового сигнала модуля SPI0. 0: Данные фиксируются по первому фронту периода сигнала SCK.* 1: Данные фиксируются по второму фронту периода сигнала SCK.*</p> <p>Бит 4: СКPOL: Выбор полярности тактового сигнала модуля SPI0. Этот бит управляет полярностью тактового сигнала модуля SPI0. 0: В состоянии простоя на линии SCK установлен сигнал низкого уровня. 1: В состоянии простоя на линии SCK установлен сигнал высокого уровня.</p> <p>Бит 3: SLVSEL: Флаг выбора ведомого (только для чтения). Этот бит аппаратно устанавливается в 1 всякий раз, когда на линию NSS подан сигнал низкого уровня, и показывает, что SPI0 является выбранным ведомым. Этот бит сбрасывается в 0, если на линию NSS подан сигнал высокого уровня (ведомый не выбран). Этот бит отражает не мгновенное состояние сигнала на выводе NSS, а скорее сглаженную (без паразитных выбросов) форму этого сигнала.</p> <p>Бит 2: NSSIN: Флаг мгновенного состояния сигнала на входном выводе NSS (только для чтения). Этот бит отражает мгновенное значение сигнала на входном выводе NSS в момент чтения этого регистра. Этот вход не является сглаженным.</p> <p>Бит 1: SRMT: Флаг опустошения сдвигового регистра (только для чтения, действителен в ведомом режиме). Этот бит будет устанавливаться в 1 тогда, когда все данные переданы в сдвиговый регистр или из сдвигового регистра, и нет данных для считывания из буфера передатчика или записи в буфер приемника. Этот бит сбрасывается в 0, когда байт данных передается в сдвиговый регистр из буфера передатчика или при изменении сигнала SCK. Примечание: SRMT = 1 в ведущем режиме работы.</p> <p>Бит 0: RXBMT: Флаг опустошения буфера приемника (только для чтения, действителен в ведомом режиме). Этот бит будет устанавливаться в 1 тогда, когда буфер приемника прочитан и не содержит новых данных. Если в буфере приемника имеются доступные для чтения новые данные, которые не были прочитаны, то этот бит будет сброшен в 0. Примечание: RXBMT = 1 в ведущем режиме работы.</p> <p>* Временные параметры приведены в таблице 21.1.</p>								

SFR-описание 21.2. SPI0CN: Регистр управления модуля SPI0

R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	Значение при сбросе:
SPIF	WCOL	MODF	RXOVRN	NSSMD1	NSSMD0	TXBMT	SPIEN	00000110
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x88

Бит 7: SPIF: Флаг прерывания от модуля SPI0.

Этот бит аппаратно устанавливается в 1 по окончании передачи данных. Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 6: WCOL: Флаг конфликта записи.

Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) и тем самым показывает, что была произведена попытка записи в регистр данных модуля SPI0, когда текущий сеанс передачи данных еще не завершился. Этот бит необходимо сбросить программно.

Бит 5: MODF: Флаг ошибки режима.

Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) при обнаружении конфликта ведущего режима (на линии NSS низкий уровень, $MSTEN = 1$ и $NSSMD[1:0] = 01$). Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 4: RXOVRN: Флаг переполнения приемника (только ведомый режим работы).

Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0), если приемный буфер все еще содержит непрочитанные данные от предыдущей передачи, а последний бит текущей передачи сдвигается в сдвиговый регистр модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Биты 3-2: NSSMD1-NSSMD0: Биты режима выбора ведомого.

С помощью этих бит осуществляется выбор между следующими режимами функционирования вывода NSS (см. раздел 21.2 «Функционирование SPI0 в ведущем режиме» на стр.183 и раздел 21.3 «Функционирование SPI0 в ведомом режиме» на стр.185):

00: 3-х проводный ведомый или 3-х проводный ведущий режим. Сигнал NSS не разводится с помощью матрицы на внешний вывод МК.

01: 4-х проводный ведомый режим или режим работы с несколькими ведущими (по умолчанию). Вывод NSS всегда является входом.

1x: 4-проводный режим работы с одним ведущим. Вывод NSS настроен как выход и состояние сигнала на нем определяется значением бита NSSMD0.

Бит 1: TXBMT: Флаг опустошения буфера передатчика.

Этот бит будет сбрасываться в 0 при записи новых данных в буфер передатчика. После передачи данных из буфера передатчика в сдвиговый регистр модуля SPI0 этот бит будет установлен в 1, показывая, что в буфер передатчика можно записывать новые данные.

Бит 0: SPIEN: Включение модуля SPI0.

Это бит включает/отключает модуль SPI0.

0: Модуль SPI0 отключен.

1: Модуль SPI0 включен.



SFR-описание 21.3. SPI0CKR: Регистр установки тактовой частоты модуля SPI0

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA2							
SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SCR7-SCR0: Тактовая частота модуля SPI0

Эти биты определяют частоту выходного сигнала SCK, когда модуль SPI0 работает в ведущем режиме. Частота тактового сигнала SCK представляет собой поделенную на определенный коэффициент системную тактовую частоту и задается следующим уравнением:

$$f_{\text{SCK}} = 0.5 * \text{SYSCLK} / (\text{SPI0CKR} + 1), \text{ для } 0 \leq \text{SPI0CKR} \leq 255,$$

где: SYSCLK – частота системного тактового сигнала;
SPI0CKR – 8-разрядное значение регистра SPI0CKR.

Пример: Если SYSCLK = 2МГц и SPI0CKR = 0x04, то:

$$f_{\text{SCK}} = 0.5 * 2000000 / (4 + 1) = 200\text{кГц}.$$

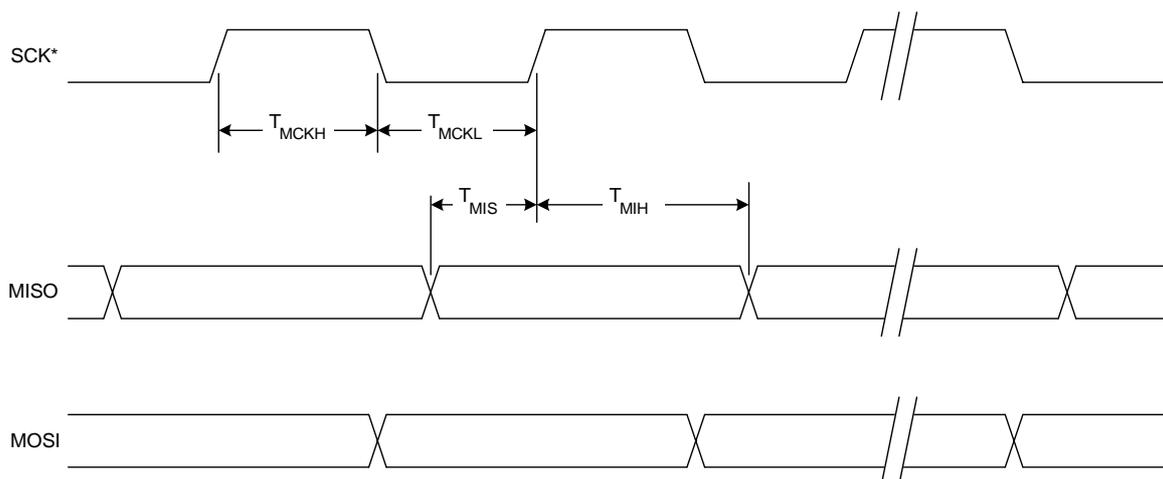
SFR-описание 21.4. SPI0DAT: Регистр данных модуля SPI0

R/W	Значение при сбросе: 00000000							
								SFR Адрес: 0xA3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SPI0DAT: Данные передатчика и приемника модуля SPI0.
Регистр SPI0DAT используется для передачи и приема данных. В ведущем режиме запись данных в регистр SPI0DAT сразу же приводит к загрузке данных в буфер передатчика и инициирует сеанс передачи. Чтение регистра SPI0DAT возвратит содержимое приемного буфера.

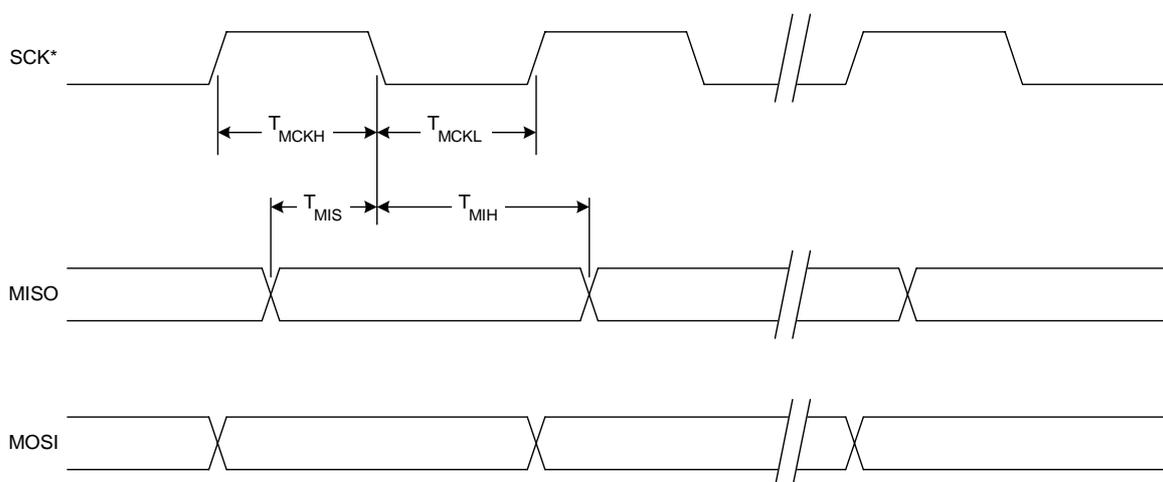


Рисунок 21.6. Временные диаграммы ведущего SPI (СКРНА = 0)



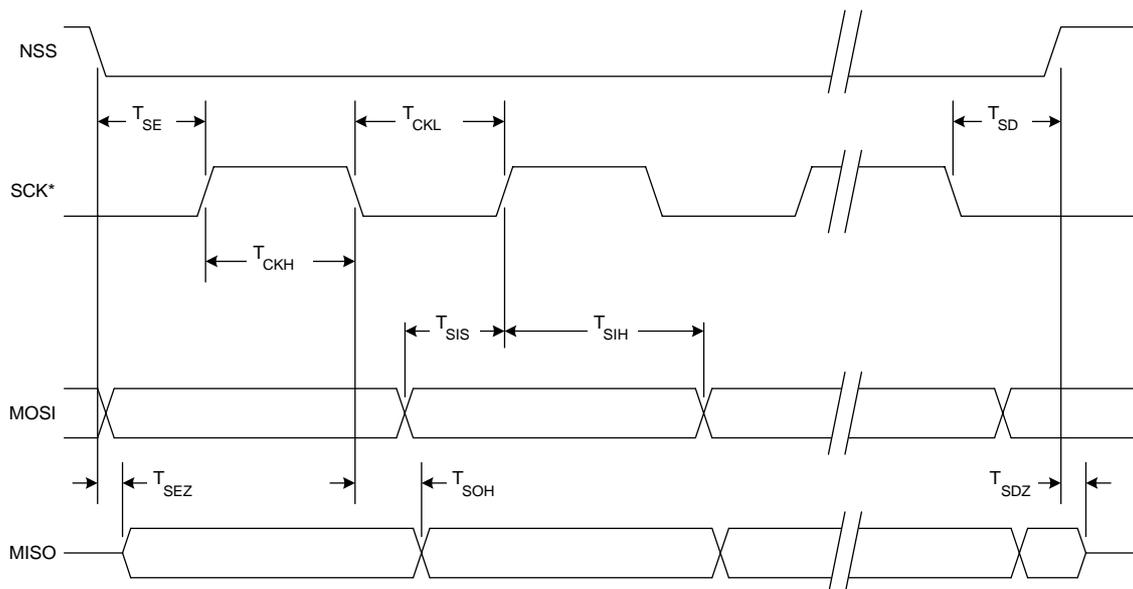
* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 21.7. Временные диаграммы ведущего SPI (СКРНА = 1)



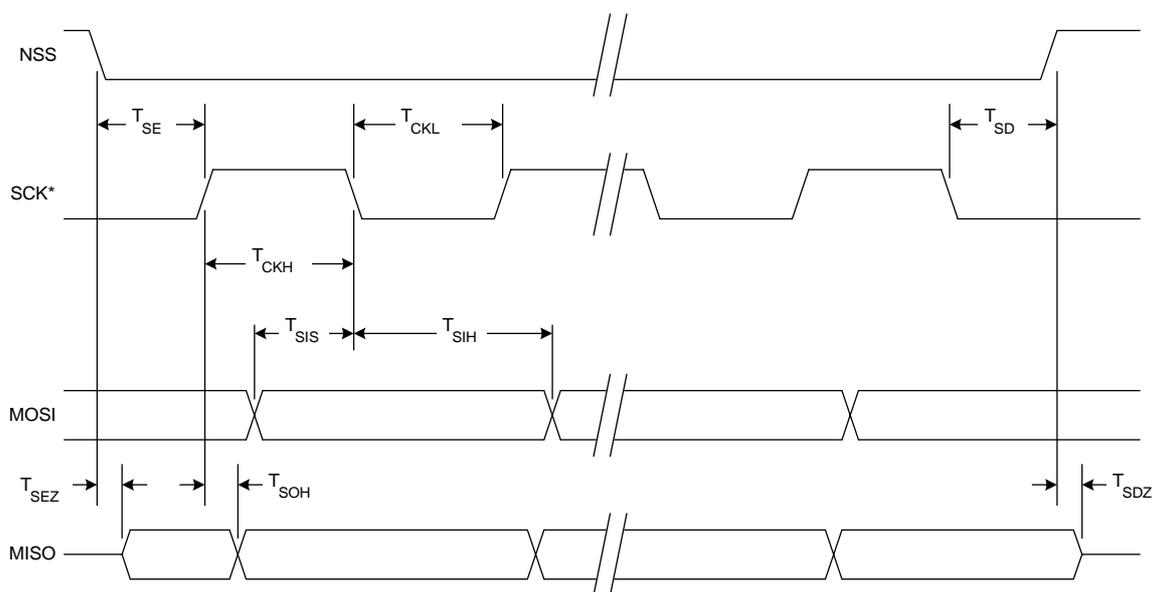
* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 21.8. Временные диаграммы ведомого SPI (СКРНА = 0)



* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 21.9. Временные диаграммы ведомого SPI (СКРНА = 1)



* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Таблица 21.1. Временные параметры ведомого SPI

Параметр	Описание	Мин.	Макс.	Ед. изм.
Временные параметры ведущего SPI* (см. рис.21.6 и рис.21.7)				
ТМСКН	Длительность высокого уровня сигнала SCK	1*TSYSCLK		нс
ТМСКЛ	Длительность низкого уровня сигнала SCK	1*TSYSCLK		нс
ТМIS	Время удержания данных на линии MISO до фронта выборки SCK	20		нс
ТМИН	Длительность интервала между фронтом выборки SCK и обновлением данных на линии MISO	0		нс
Временные параметры ведомого SPI* (см. рис.21.8 и рис.21.9)				
ТSE	Длительность интервала между появлением сигнала низкого уровня на линии NSS и первым фронтом сигнала SCK	2*TSYSCLK		нс
ТSD	Длительность интервала между последним фронтом сигнала SCK и появлением сигнала высокого уровня на линии NSS	2*TSYSCLK		нс
ТSEZ	Время установления данных на линии MISO после появления сигнала низкого уровня на линии NSS		4*TSYSCLK	нс
ТSDZ	Длительность интервала между появлением сигнала высокого уровня на линии NSS и переходом линии MISO в высокоимпедансное состояние		4*TSYSCLK	нс
ТСКН	Длительность высокого уровня сигнала SCK	5*TSYSCLK		нс
ТСКЛ	Длительность низкого уровня сигнала SCK	5*TSYSCLK		нс
ТSIS	Время удержания данных на линии MOSI до фронта выборки сигнала SCK	2*TSYSCLK		нс
ТSИН	Длительность интервала между фронтом выборки SCK и обновлением данных на линии MOSI	2*TSYSCLK		нс
ТSOH	Длительность интервала между фронтом SCK, вызывающим сдвиг данных, и обновлением данных на линии MISO		4*TSYSCLK	нс
* TSYSCLK представляет собой один период системного тактового сигнала (SYSCLK).				

Примечания:

22. ТАЙМЕРЫ

Каждый МК содержит четыре таймера/счетчика (Т/С): два из них представляют собой 16-разрядные Т/С, совместимые с Т/С стандартной архитектуры 8051, а другие два являются 16-разрядными Т/С с режимом автоперезагрузки и предназначены для использования совместно с другими периферийными модулями МК, а также в качестве Т/С общего назначения. Эти Т/С можно использовать для измерения временных интервалов, подсчета внешних событий, а также для генерации периодических запросов прерываний. Таймер 0 и Таймер 1 почти идентичны и имеют четыре основных режима работы. Таймер 2 и Таймер 3 могут работать (каждый) как один 16-разрядный таймер или как два 8-разрядных таймера, причем во всех случаях поддерживается режим автоперезагрузки.

Режимы Таймера 0 и Таймера 1:	Режимы Таймера 2:	Режимы Таймера 3:
13-разрядный Т/С	16-разрядный Т/С с автоперезагрузкой	16-разрядный Т/С с автоперезагрузкой
16-разрядный Т/С		
8-разрядный Т/С с автоперезагрузкой	Два 8-разрядных Т/С с автоперезагрузкой	Два 8-разрядных Т/С с автоперезагрузкой
Два 8-разрядных Т/С (только Таймер 0)		

Таймеры 0 и 1 могут тактироваться от одного из пяти источников, выбор которых осуществляется с помощью битов выбора режима таймера (Т1М – Т0М) и битов выбора коэффициента деления тактовой частоты (SCA1 – SCA0). Биты выбора коэффициента деления тактовой частоты настраивают предварительный делитель тактовой частоты, сигнал с выхода которого может использоваться для тактирования Таймера 0 и/или Таймера 1 (см. SFR-описание 22.3).

В качестве сигнала тактирования Таймеров 0 и 1 можно выбрать либо сигнал с выхода предварительного делителя тактовой частоты, либо системный тактовый сигнал. Таймер 2 и Таймер 3 могут тактироваться либо системным тактовым сигналом, либо системным тактовым сигналом, деленным по частоте на 12, либо сигналом от внешнего генератора тактовых импульсов, деленным по частоте на 8.

Таймер 0 и Таймер 1 могут также функционировать как счетчики. В этом случае регистр таймера/счетчика инкрементируется под воздействием каждого перехода внешнего сигнала на выбранном входном выводе (Т0 или Т1) из состояния лог. '1' в состояние лог. '0'. Могут подсчитываться импульсы с частотой до 1/4 системной тактовой частоты. Входной сигнал не обязательно должен быть периодическим, однако он должен удерживаться на заданном уровне как минимум в течение двух полных системных тактовых циклов, чтобы гарантировать его корректную выборку.

22.1. Таймер 0 и Таймер 1

Каждый таймер реализован в виде 16-разрядного регистра, доступного как два отдельных байта: младший байт (ТL0 или ТL1) и старший байт (ТН0 или ТН1). Регистр управления Т/С (ТCON) используется для включения Таймера 0 и Таймера 1, а также для индикации их состояния. Прерывания от Таймера 0 можно включить установкой в 1 бита ЕТ0 в регистре IЕ (см. раздел 12.4 «Описания регистров прерываний» на стр.107); прерывания от Таймера 1 можно включить установкой в 1 бита ЕТ1 в регистре IЕ (см. раздел 12.4). Оба таймера/счетчика работают в одном из четырех основных режимов, задаваемых битами выбора режима Т1М1-Т0М0 в регистре режима Т/С (ТMOD). Каждый Т/С может быть настроен независимо от другого. Ниже приведено описание каждого режима работы.

22.1.1. Режим 0: 13-разрядный таймер/счетчик

В режиме 0 Таймеры 0 и 1 работают как 13-разрядный таймер/счетчик. Ниже приводится описание настройки и функционирования Таймера 0. Однако, оба таймера идентичны, и Таймер 1 настраивается точно так же, как и Таймер 0.

Регистр ТН0 содержит восемь старших бит 13-разрядного значения регистра Т/С. Регистр ТL0 содержит в разрядах ТL0.4-ТL0.0 пять младших бит 13-разрядного значения регистра Т/С. Три старших бита регистра ТL0 (ТL0.7-ТL0.5) не определены и должны маскироваться или игнорироваться при чтении регистра ТL0. При инкрементировании 13-разрядного таймера и переполнении его из состояния 0x1FFF (все единицы) в состояние 0x0000 устанавливается в 1 флаг переполнения таймера ТF0 (ТCON.5) и будет сгенерировано прерывание, если оно разрешено.

Бит C/T0 (TMOD.2) выбирает источник сигнала тактирования T/C0. Если бит C/T0 установлен в 1, то инкрементирование регистра таймера осуществляется под воздействием перехода внешнего сигнала на выбранном входном выводе (T0) из состояния лог. 1 в состояние лог. 0. (Подробная информация о выборе и настройке внешних выводов приведена в разделе 18.1 «Приоритетный декодер матрицы» на стр.139.). Если бит C/T0 сброшен в 0, то в качестве источника тактирования T/C0 будет использоваться сигнал, определяемый битом T0M (CKCON.3). Если бит T0M установлен в 1, то Таймер 0 тактируется системным тактовым сигналом. Если бит T0M сброшен в 0, то в качестве источника тактирования T/C0 будет использоваться сигнал, определяемый битами настройки предварительного делителя в регистре CKCON (см. SFR-описание 22.3).

Установка в 1 бита TR0 (TCON.4) включит таймер, если либо бит GATE0 (TMOD.3) равен нулю, либо на внешнем выводе /INT0 присутствует сигнал с активным логическим уровнем, который определяется битом IN0PL в регистре INT01CF (см. SFR-описание 12.5). После установки в 1 бита GATE0 управление таймером передается внешнему сигналу /INT0 (см. раздел 12.4 «Описания регистров прерываний» на стр.107), что позволяет легко осуществлять измерение ширины импульсов.

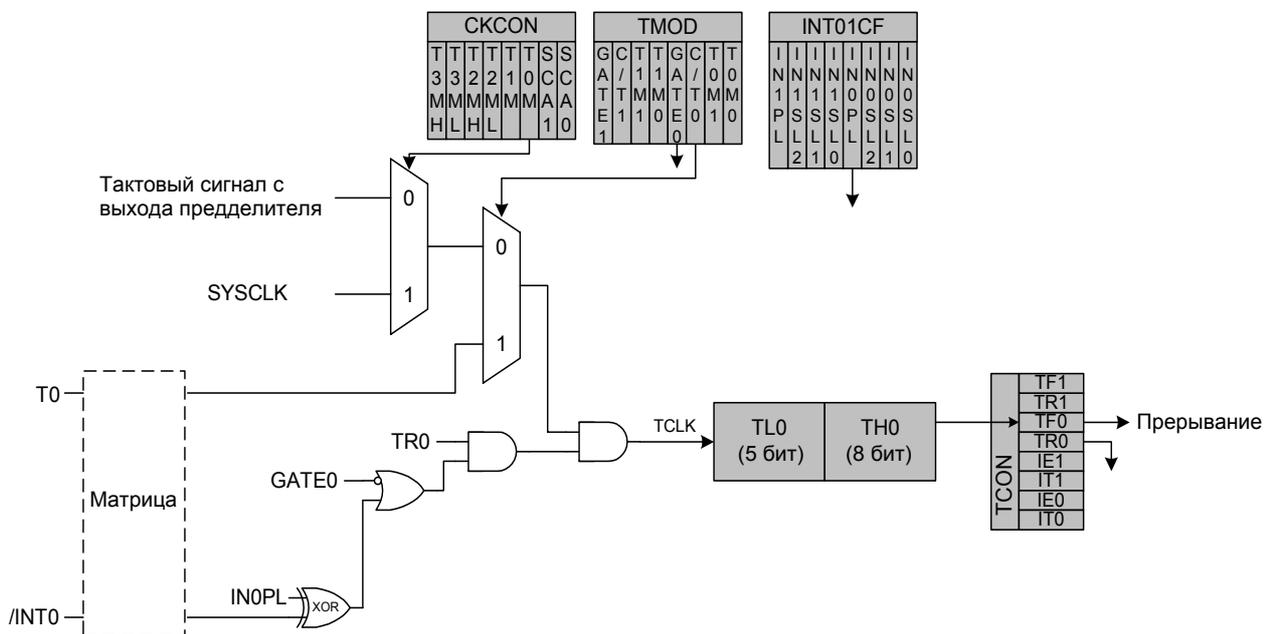
TR0	GATE0	/INT0	Таймер/Счетчик
0	X	X	Отключен
1	0	X	Включен
1	1	0	Отключен
1	1	1	Включен

X = не имеет значения

Установка TR0 не сбрасывает таймер. Регистры таймера следует инициализировать необходимыми значениями до включения таймера.

TL1 и TH1 образуют 13-разрядный регистр Таймера 1 точно так же, как описано выше для регистров TL0 и TH0. Для настройки Таймера 1 и управления им используются соответствующие биты регистров TCON и TMOD таким же образом, как и для Таймера 0. Входной сигнал /INT1 используется совместно с Таймером 1; полярность /INT1 определяется битом IN1PL в регистре INT01CF (см. SFR-описание 12.5).

Рисунок 22.1. Структурная схема Таймера 0 в режиме 0



22.1.2. Режим 1: 16-разрядный Таймер/Счетчик

Режим 1 аналогичен режиму 0 с тем лишь исключением, что регистры T/C используют все 16 бит. Таймеры/счетчики включаются и настраиваются в режиме 1 точно так же, как в режиме 0.

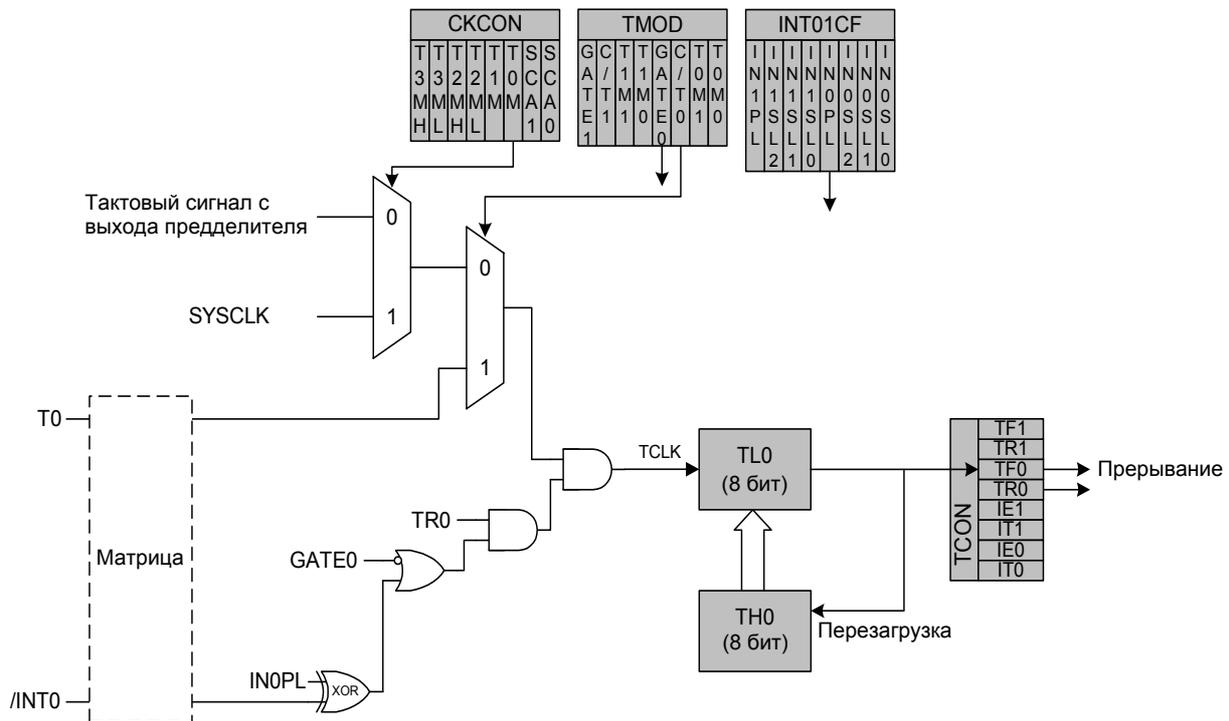


22.1.3. Режим 2: 8-разрядный таймер/счетчик с перезагрузкой

В режиме 2 Таймеры 0 и 1 настраиваются для работы в качестве 8-разрядных таймеров/счетчиков с автоматической перезагрузкой начального значения. Регистр TL0 содержит значение счетчика, а регистр TH0 содержит перезагружаемое значение. Когда счетчик в регистре TL0 переполняется (переходит из состояния 0xFF в состояние 0x00), флаг переполнения таймера TF0 (TCON.5) устанавливается в 1 и значение регистра TH0 загружается в регистр TL0. При установке флага TF0 будет сгенерировано прерывание, если оно разрешено. Перезагружаемое значение в регистре TH0 не изменяется. Чтобы первый отсчет был корректным, необходимо проинициализировать регистр TL0 требуемым значением до включения таймера. Таймер 1 в режиме 2 работает точно так же, как Таймер 0.

В режиме 2 оба T/C включаются и настраиваются точно так же, как и в режиме 0. Установка в 1 бита TR0 (TCON.4) включит таймер, если либо бит GATE0 (TMOD.3) равен нулю, либо на внешнем выводе /INT0 присутствует сигнал с активным логическим уровнем, который определяется битом INOPL в регистре INT01CF (подробная информация о входных сигналах /INT0 и /INT1 приведена в разделе 12.5 «Внешние прерывания» на стр.111).

Рисунок 22.2. Структурная схема Таймера 0 в режиме 2

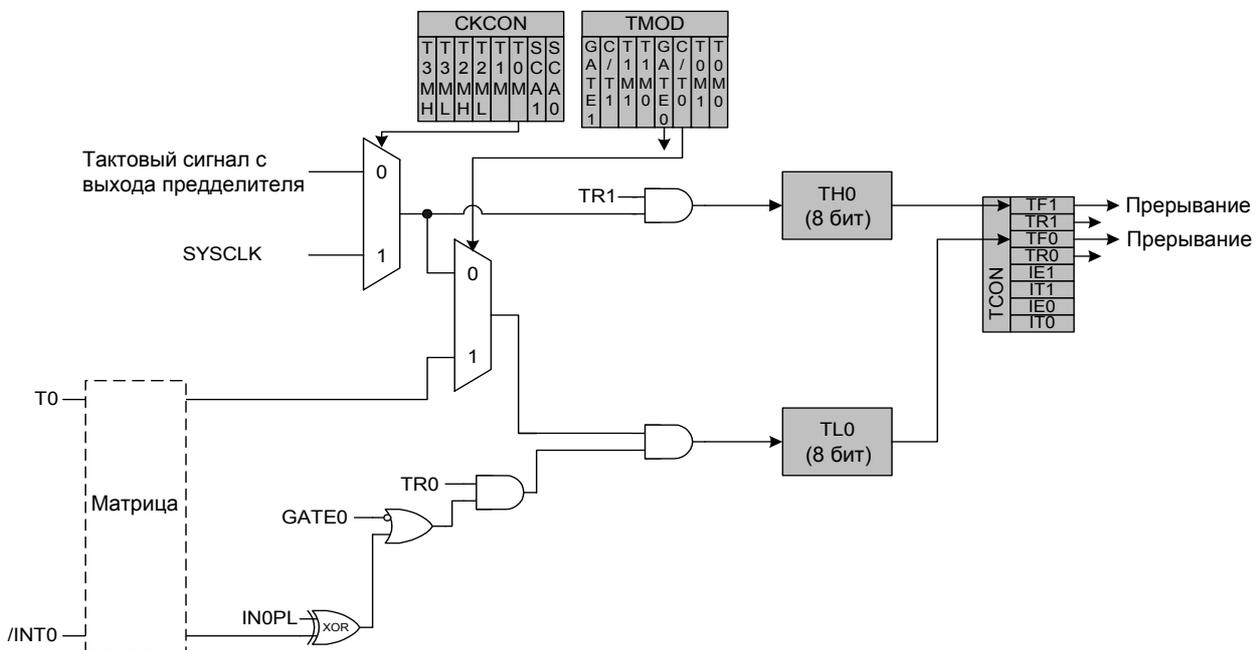


22.1.4. Режим 3: Два 8-разрядных таймера/счетчика (только Таймер 0)

В режиме 3 Таймер 0 функционирует как два отдельных 8-разрядных таймера/счетчика TL0 и TH0. Для управления таймером/счетчиком TL0 используются биты управления/состояния Таймера 0 (в регистрах TCON и TMOD): TR0, C/T0, GATE0 и TF0. В качестве источника тактирования TL0 может использовать либо системный тактовый сигнал, либо внешний входной сигнал. Таймер/счетчик TH0 может использовать для тактирования либо системный тактовый сигнал, либо сигнал с выхода предварительного делителя. Для включения таймера/счетчика TH0 используется управляющий бит запуска Таймера 1 (TR1). Таймер/счетчик TH0 при переполнении устанавливает флаг переполнения Таймера 1 TF1 и, таким образом, управляет прерыванием от Таймера 1.

В режиме 3 Таймер 1 неактивен. Если Таймер 0 функционирует в режиме 3, Таймер 1 может работать в режимах 0, 1 или 2, но не может тактироваться внешними сигналами, устанавливать флаг TF1 и генерировать прерывание. Однако, переполнение Таймера 1 можно использовать для генерации скорости передачи данных для модулей SMBus и/или УАПЧ, а также для запуска преобразований АЦП. Пока Таймер 0 функционирует в режиме 3, управление запуском Таймера 1 осуществляется путем настройки режима его работы. Чтобы запустить Таймер 1 в то время, когда Таймер 0 функционирует в режиме 3, необходимо установить для Таймера 1 режим работы 0, 1 или 2. Чтобы отключить Таймер 1, необходимо настроить его на работу в режиме 3.

Рисунок 22.3. Структурная схема Таймера 0 в режиме 3



SFR-описание 22.1. TCON: Регистр управления Таймерами 0 и 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x88
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: TF1: Флаг переполнения Таймера 1. Устанавливается аппаратно при переполнении Таймера 1. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 1, но может быть сброшен и программно. 0: Переполнения Таймера 1 не обнаружено. 1: Таймер 1 переполнился.</p> <p>Бит 6: TR1: Управление запуском Таймера 1. 0: Таймер 1 отключен. 1: Таймер 1 включен.</p> <p>Бит 5: TF0: Флаг переполнения Таймера 0. Устанавливается аппаратно при переполнении Таймера 0. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 0, но может быть сброшен и программно. 0: Переполнения Таймера 0 не обнаружено. 1: Таймер 0 переполнился.</p> <p>Бит 4: TR0: Управление запуском Таймера 0. 0: Таймер 0 отключен. 1: Таймер 0 включен.</p> <p>Бит 3: IE1: Внешнее прерывание 1. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT1) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 1 сбрасывается аппаратно, если IT1=1. При IT1=0 этот флаг устанавливается в 1, если на внешнем выводе /INT1 присутствует сигнал с активным логическим уровнем, который определяется битом IN1PL в регистре INT01CF (см. SFR-описание 12.5).</p> <p>Бит 2: IT1: Выбор типа внешнего прерывания 1. Этот бит определяет, какое событие будет вызывать внешнее прерывание 1: фронт или активный уровень внешнего сигнала /INT1 (активный уровень внешнего сигнала /INT1 определяется битом IN1PL в регистре INT01CF (см. SFR-описание 12.5)). 0: Внешнее прерывание 1 вызывается активным уровнем сигнала /INT1. 1: Внешнее прерывание 1 вызывается фронтом сигнала /INT1.</p> <p>Бит 1: IE0: Внешнее прерывание 0. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT0) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 0 сбрасывается аппаратно, если IT0=1. При IT0=0 этот флаг устанавливается в 1, если на внешнем выводе /INT0 присутствует сигнал с активным логическим уровнем, который определяется битом IN0PL в регистре INT01CF (см. SFR-описание 12.5).</p> <p>Бит 0: IT0: Выбор типа внешнего прерывания 0. Этот бит определяет, какое событие будет вызывать внешнее прерывание 0: фронт или активный уровень внешнего сигнала /INT0 (активный уровень внешнего сигнала /INT0 определяется битом IN0PL в регистре INT01CF (см. SFR-описание 12.5)). 0: Внешнее прерывание 0 вызывается активным уровнем сигнала /INT0. 1: Внешнее прерывание 0 вызывается фронтом сигнала /INT0.</p>								

SFR-описание 22.2. TMOD: Регистр режима Таймеров 0 и 1

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x89							
GATE1	C/T1	T1M1	T1M0	GATE0	C/T0	T0M1	T0M0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: GATE1: Управление блокировкой Таймера 1.

0: Таймер 1 включен, если TR1 = 1, независимо от логического уровня на входе /INT1.

1: Таймер 1 включен только тогда, когда TR1 = 1 и на входе /INT1 активный логический уровень, определяется битом IN1PL в регистре INT01CF (см. SFR-описание 12.5).

Бит 6: C/T1: Выбор режима таймера или счетчика для T/C1.

0: T/C1 работает как таймер: Таймер 1 инкрементируется от внутреннего сигнала тактирования, который задается битом T1M (СКCON.4).

1: T/C1 работает как счетчик: Таймер 1 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T1).

Биты 5-4: T1M1-T1M0: Выбор режима работы Таймера 1.

Эти биты определяют режим работы Таймера 1.

T1M1	T1M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Таймер 1 неактивен

Бит 3: GATE0: Управление блокировкой Таймера 0.

0: Таймер 0 включен, если TR0 = 1, независимо от логического уровня на входе /INT0.

1: Таймер 0 включен только тогда, когда TR0 = 1 и на входе /INT0 активный логический уровень, определяется битом IN0PL в регистре INT01CF (см. SFR-описание 12.5).

Бит 2: C/T0: Выбор режима таймера или счетчика для T/C0.

0: T/C0 работает как таймер: Таймер 0 инкрементируется от внутреннего сигнала тактирования, который задается битом T0M (СКCON.3).

1: T/C0 работает как счетчик: Таймер 0 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T0).

Биты 1-0: T0M1-T0M0: Выбор режима работы Таймера 0.

Эти биты определяют режим работы Таймера 0.

T0M1	T0M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Два 8-разрядных таймера/счетчика



SFR-описание 22.3. СКCON: Регистр управления тактированием

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8E															
T3MH	T3ML	T2MH	T2ML	T1M	T0M	SCA1	SCA0																
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0																
<p>Бит 7: T3MH: Выбор источника тактирования для старшего байта Таймера 3. Этот бит определяет, какой тактовый сигнал будет подаваться на старший байт Таймера 3, если Таймер 3 функционирует в раздельном 8-разрядном режиме. Бит T3MH игнорируется, если Таймер 3 функционирует в любом другом режиме. 0: Для тактирования старшего байта Таймера 3 используется сигнал, определяемый битом T3XCLK в регистре TMR3CN. 1: Старший байт Таймера 3 тактируется системным тактовым сигналом.</p> <p>Бит 6: T3ML: Выбор источника тактирования для младшего байта Таймера 3. Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 3. Если Таймер 3 функционирует в раздельном 8-разрядном режиме, то бит T3ML определяет, какой тактовый сигнал будет подаваться на младший 8-разрядный таймер. 0: Для тактирования младшего байта Таймера 3 используется сигнал, определяемый битом T3XCLK в регистре TMR3CN. 1: Младший байт Таймера 3 тактируется системным тактовым сигналом.</p> <p>Бит 5: T2MH: Выбор источника тактирования для старшего байта Таймера 2. Этот бит определяет, какой тактовый сигнал будет подаваться на старший байт Таймера 2, если Таймер 2 функционирует в раздельном 8-разрядном режиме. Бит T2MH игнорируется, если Таймер 2 функционирует в любом другом режиме. 0: Для тактирования старшего байта Таймера 2 используется сигнал, определяемый битом T2XCLK в регистре TMR2CN. 1: Старший байт Таймера 2 тактируется системным тактовым сигналом.</p> <p>Бит 4: T2ML: Выбор источника тактирования для младшего байта Таймера 2. Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 2. Если Таймер 2 функционирует в раздельном 8-разрядном режиме, то бит T2ML определяет, какой тактовый сигнал будет подаваться на младший 8-разрядный таймер. 0: Для тактирования младшего байта Таймера 2 используется сигнал, определяемый битом T2XCLK в регистре TMR2CN. 1: Младший байт Таймера 2 тактируется системным тактовым сигналом.</p> <p>Бит 3: T1M: Выбор источника тактирования для Таймера 1. Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 1. Бит T1M игнорируется, если C/T1 = 1. 0: Для тактирования Таймера 1 используется сигнал, определяемый битами настройки предварительного делителя (SCA1 – SCA0). 1: Таймер 1 тактируется системным тактовым сигналом.</p> <p>Бит 2: T0M: Выбор источника тактирования для Таймера 0. Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 0. Бит T0M игнорируется, если C/T0 = 1. 0: Для тактирования Таймера 0 используется сигнал, определяемый битами настройки предварительного делителя (SCA1 – SCA0). 1: Таймер 0 тактируется системным тактовым сигналом.</p> <p>Биты 1-0: SCA1–SCA0: Биты выбора коэффициента деления для частоты тактирования Таймеров 0 и 1. Эти биты управляют делением частоты сигнала тактирования, подаваемого на Таймер 0 и/или Таймер 1, если они настроены на использование предварительного делителя.</p> <table border="1"> <thead> <tr> <th>SCA1</th> <th>SCA0</th> <th>Тактовый сигнал</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>SYSCLK/12</td> </tr> <tr> <td>0</td> <td>1</td> <td>SYSCLK/4</td> </tr> <tr> <td>1</td> <td>0</td> <td>SYSCLK/48</td> </tr> <tr> <td>1</td> <td>1</td> <td>EXTCLK/8</td> </tr> </tbody> </table> <p>Примечание: Сигнал EXTCLK/8 синхронизирован с SYSCLK.</p>									SCA1	SCA0	Тактовый сигнал	0	0	SYSCLK/12	0	1	SYSCLK/4	1	0	SYSCLK/48	1	1	EXTCLK/8
SCA1	SCA0	Тактовый сигнал																					
0	0	SYSCLK/12																					
0	1	SYSCLK/4																					
1	0	SYSCLK/48																					
1	1	EXTCLK/8																					

SFR-описание 22.4. TL0: Младший байт Таймера 0

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8A							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL0: Младший байт Таймера 0.
Регистр TL0 является младшим байтом 16-разрядного Таймера 0.

SFR-описание 22.5. TL1: Младший байт Таймера 1

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8B							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL1: Младший байт Таймера 1.
Регистр TL1 является младшим байтом 16-разрядного Таймера 1.

SFR-описание 22.6. TH0: Старший байт Таймера 0

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8C							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH0: Старший байт Таймера 0.
Регистр TH0 является старшим байтом 16-разрядного Таймера 0.

SFR-описание 22.7. TH1: Старший байт Таймера 1

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8D							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH1: Старший байт Таймера 1.
Регистр TH1 является старшим байтом 16-разрядного Таймера 1.



22.2. Таймер 2

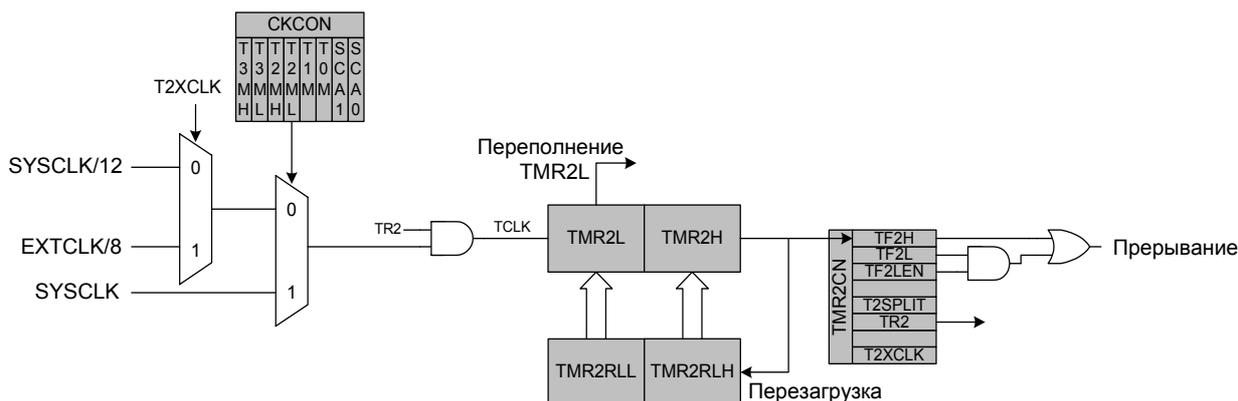
Таймер 2 представляет собой 16-разрядный таймер/счетчик, образованный двумя SFR регистрами: TMR2L (младший байт) и TMR2H (старший байт). Таймер 2 может работать в 16-разрядном режиме с автоперезагрузкой или в раздельном режиме (8-разрядный режим с автоперезагрузкой). Режим работы Таймера 2 определяется битом T2SPLIT (TMR2CN.3).

Таймер 2 может тактироваться либо системным тактовым сигналом, либо системным тактовым сигналом, деленным по частоте на 12, либо сигналом от внешнего источника, деленный по частоте на 8. Режим тактирования от внешнего источника идеален для реализации функций реального времени, когда внутренний генератор генерирует системный тактовый сигнал в то время, как Таймер 2 (и/или ПМС) тактируется внешним прецизионным генератором. Следует иметь в виду, что сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом.

22.2.1. 16-разрядный таймер с автоперезагрузкой

Если T2SPLIT = 0, то Таймер 2 функционирует как 16-разрядный таймер с автоперезагрузкой. Для тактирования Таймера 2 можно использовать сигналы SYSCLK, SYSCLK/12 или EXTCLK/8. Таймер 2 считает в прямом направлении. При переполнении Таймера 2 из состояния 0xFFFF в состояние 0x0000 16-разрядное значение регистров перезагрузки Таймера 2 (TMR2RLH:TMR2RLL) загружается в регистр Таймера 2, как показано на рис.22.4, и устанавливается в 1 флаг переполнения старшего байта Таймера 2 (TMR2CN.7). Если прерывания от Таймера 2 разрешены (IE.5 = 1), то прерывание будет генерироваться при каждом переполнении Таймера 2. Кроме этого, если прерывания от Таймера 2 разрешены и бит TF2LEN (TMR2CN.5) установлен в 1, то прерывание будет генерироваться при каждом переполнении младших 8 бит (регистр TMR2L) из состояния 0xFF в состояние 0x00.

Рисунок 22.4. Структурная схема Таймера 2 в 16-разрядном режиме



22.2.2. 8-разрядные таймеры с автоперезагрузкой

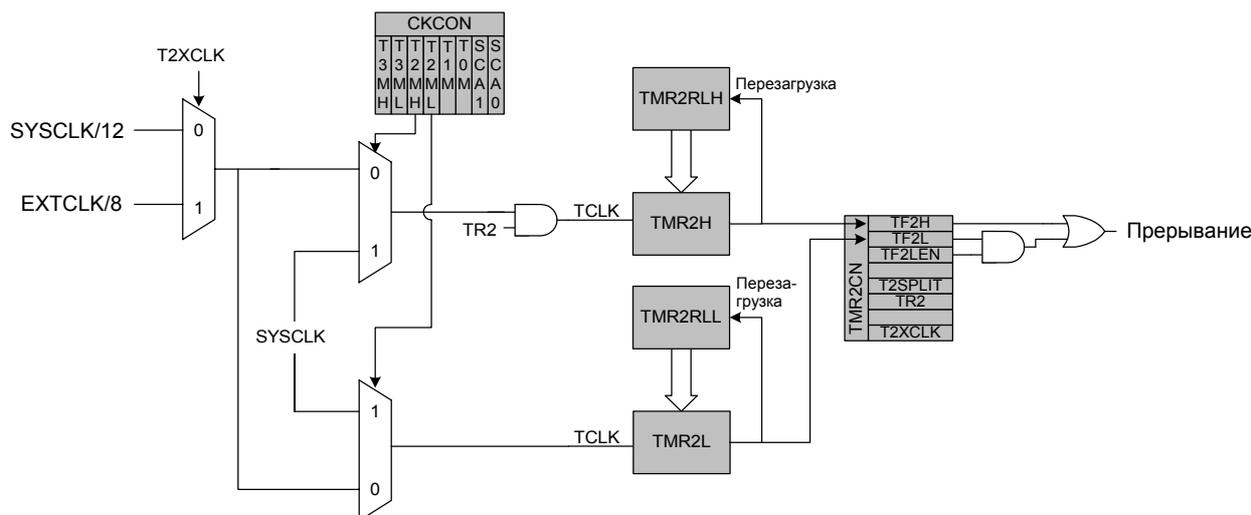
Если T2SPLIT = 1, то Таймер 2 функционирует как два 8-разрядных таймера (TMR2H и TMR2L). Оба 8-разрядных таймера функционируют в режиме с автоперезагрузкой, как показано на рис.22.5. TMR2RLL содержит значение перезагрузки для TMR2L; TMR2RLH содержит значение перезагрузки для TMR2H. Бит TR2 в регистре TMR2CN управляет запуском TMR2H; TMR2L, работающий в 8-разрядном режиме, запущен всегда.

Для тактирования каждого 8-разрядного таймера можно использовать сигналы SYSCLK, SYSCLK/12 или EXTCLK/8. Биты выбора источника тактирования Таймера 2 (T2MH и T2ML в регистре CKCON) выбирают либо SYSCLK, либо сигнал тактирования, определяемый битом выбора внешнего источника тактирования Таймера 2 (T2XCLK в регистре TMR2CN) следующим образом:

T2MH	T2XCLK	Источник тактирования TMR2H	T2ML	T2XCLK	Источник тактирования TMR2L
0	0	SYSCLK/12	0	0	SYSCLK/12
0	1	EXTCLK/8	0	1	EXTCLK/8
1	X	SYSCLK	1	X	SYSCLK

Если TMR2H переполняется из 0xFF в 0x00, то бит TF2H устанавливается в 1; если TMR2L переполняется из 0xFF в 0x00, то бит TF2L устанавливается в 1. Если прерывания от Таймера 2 разрешены (IE.5), то прерывание будет генерироваться при каждом переполнении TMR2H. Если прерывания от Таймера 2 разрешены и бит TF2LEN (TMR2CN.5) установлен в 1, то прерывание будет генерироваться каждый раз при переполнении либо TMR2L, либо TMR2H. Если TF2LEN = 1, то программа должна проверять флаги TF2H и TF2L, чтобы определить источник прерывания от Таймера 2. Флаги прерывания TF2H и TF2L не сбрасываются аппаратно и должны сбрасываться программно.

Рисунок 22.5. Структурная схема Таймера 2 в 8-разрядном режиме



SFR-описание 22.8. TMR2CN: Регистр управления Таймера 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
TF2H	TF2L	TF2LEN	-	T2SPLIT	TR2	-	T2XCLK	SFR Адрес: 0xC8
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Бит 7: TF2H: Флаг переполнения старшего байта Таймера 2.
Этот бит аппаратно устанавливается в 1 при переполнении старшего байта Таймера 2 из состояния 0xFF в состояние 0x00. В 16-разрядном режиме это будет происходить при переполнении Таймера 2 из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера 2 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 2. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Бит 6: TF2L: Флаг переполнения младшего байта Таймера 2.
Этот бит аппаратно устанавливается в 1 при переполнении младшего байта Таймера 2 из состояния 0xFF в состояние 0x00. При установке этого бита прерывание будет генерироваться в том случае, если TF2LEN = 1 и прерывания от Таймера 2 разрешены. Бит TF2L устанавливается в 1 при переполнении младшего байта независимо от режима работы Таймера 2. Этот бит не сбрасывается аппаратно.

Бит 5: TF2LEN: Флаг разрешения прерывания от переполнения младшего байта Таймера 2.
Этот бит разрешает/запрещает прерывания от переполнения младшего байта Таймера 2. Если TF2LEN = 1 и прерывания от Таймера 2 разрешены, то при переполнении младшего байта Таймера 2 будет генерироваться прерывание. Если Таймер 2 работает в 16-разрядном режиме, то этот бит должен быть сброшен в 0.
0: Прерывания от переполнения младшего байта Таймера 2 запрещены.
1: Прерывания от переполнения младшего байта Таймера 2 разрешены.

Бит 4: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Бит 3: T2SPLIT: Разрешение раздельного режима Таймера 2.
Если этот бит установлен в 1, то Таймер 2 функционирует как два 8-разрядных таймера с автоперезагрузкой.
0: Таймер 2 функционирует в 16-разрядном режиме с автоперезагрузкой.
1: Таймер 2 функционирует как два 8-разрядных таймера с автоперезагрузкой.

Бит 2: TR2: Бит управления запуском Таймера 2.
Этот бит включает/отключает Таймер 2. В 8-разрядном режиме этот бит включает/отключает только TMR2H; TMR2L в этом режиме включен всегда.
0: Таймер 2 отключен.
1: Таймер 2 включен.

Бит 1: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Бит 0: T2XCLK: Выбор внешнего источника тактирования для Таймера 2.
Этот бит выбирает внешний источник тактирования для Таймера 2. В 8-разрядном режиме этот бит выбирает внешний источник тактирования для обоих байт таймера. Однако, все равно можно использовать биты выбора источника тактирования Таймера 2 (TM2H и TM2L в регистре SKCON) для выбора между внешним источником тактирования и системным тактовым сигналом (для любого таймера).
0: В качестве внешнего источника тактирования для Таймера 2 выбран SYSCLK/12.
1: В качестве внешнего источника тактирования для Таймера 2 выбран EXTCLK/8. Следует иметь в виду, что EXTCLK/8 синхронизируется с SYSCLK.

SFR-описание 22.9. TMR2RLL: Младший байт регистра перезагрузки Таймера 2

R/W	Значение при сбросе: 00000000 SFR Адрес: 0хCA							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR2RLL: Младший байт регистра перезагрузки Таймера 2.
TMR2RLL содержит младший байт перезагружаемого значения Таймера 2.

SFR-описание 22.10. TMR2RLH: Старший байт регистра перезагрузки Таймера 2

R/W	Значение при сбросе: 00000000 SFR Адрес: 0хCB							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR2RLH: Старший байт регистра перезагрузки Таймера 2.
TMR2RLH содержит старший байт перезагружаемого значения Таймера 2.

SFR-описание 22.11. TMR2L: Младший байт Таймера 2

R/W	Значение при сбросе: 00000000 SFR Адрес: 0хCC							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR2L: Младший байт Таймера 2.
В 16-разрядном режиме регистр TMR2L содержит младший байт 16-разрядного Таймера 2.
В 8-разрядном режиме регистр TMR2L содержит 8-разрядное значение младшего таймера.

SFR-описание 22.12. TMR2H: Старший байт Таймера 2

R/W	Значение при сбросе: 00000000 SFR Адрес: 0хCD							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR2H: Старший байт Таймера 2.
В 16-разрядном режиме регистр TMR2H содержит старший байт 16-разрядного Таймера 2.
В 8-разрядном режиме регистр TMR2H содержит 8-разрядное значение старшего таймера.



22.3. Таймер 3

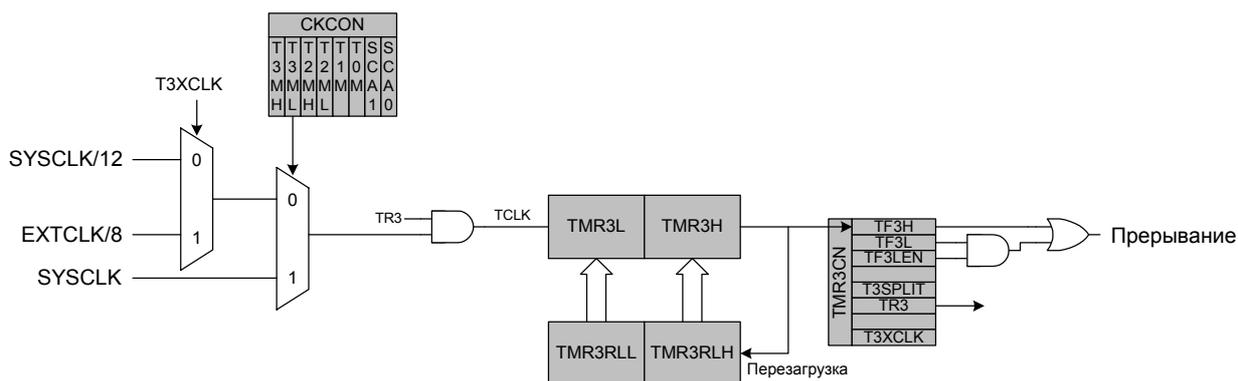
Таймер 3 представляет собой 16-разрядный таймер/счетчик, образованный двумя SFR регистрами: TMR3L (младший байт) и TMR3H (старший байт). Таймер 3 может работать в 16-разрядном режиме с автоперезагрузкой или в раздельном режиме (8-разрядный режим с автоперезагрузкой). Режим работы Таймера 3 определяется битом T3SPLIT (TMR3CN.3).

Таймер 3 может тактироваться либо системным тактовым сигналом, либо системным тактовым сигналом, деленным по частоте на 12, либо сигналом от внешнего источника, деленный по частоте на 8. Режим тактирования от внешнего источника идеален для реализации функций реального времени, когда внутренний генератор генерирует системный тактовый сигнал в то время, как Таймер 3 (и/или ПМС) тактируется внешним прецизионным генератором. Следует иметь в виду, что сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом.

22.3.1. 16-разрядный таймер с автоперезагрузкой

Если T3SPLIT (TMR3CN.3) = 0, то Таймер 3 функционирует как 16-разрядный таймер с автоперезагрузкой. Для тактирования Таймера 3 можно использовать сигналы SYSCLK, SYSCLK/12 или EXTCLK/8. Таймер 3 считает в прямом направлении. При переполнении Таймера 3 из состояния 0xFFFF в состояние 0x0000 16-разрядное значение регистров перезагрузки Таймера 3 (TMR3RLH:TMR3RLL) загружается в регистр Таймера 3, как показано на рис.22.6, и устанавливается в 1 флаг переполнения старшего байта Таймера 3 (TMR3CN.7). Если прерывания от Таймера 3 разрешены (IE.5 = 1), то прерывание будет генерироваться при каждом переполнении Таймера 3. Кроме этого, если прерывания от Таймера 3 разрешены и бит TF3LEN (TMR3CN.5) установлен в 1, то прерывание будет генерироваться при каждом переполнении младших 8 бит (регистр TMR3L) из состояния 0xFF в состояние 0x00.

Рисунок 22.6. Структурная схема Таймера 3 в 16-разрядном режиме



22.3.2. 8-разрядные таймеры с автоперезагрузкой

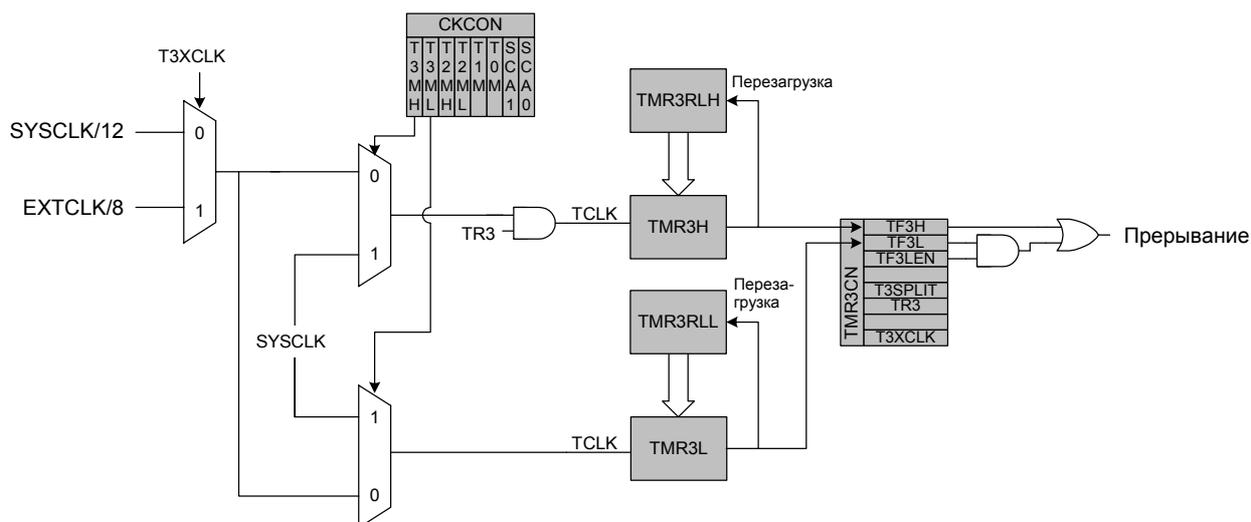
Если T3SPLIT = 1, то Таймер 3 функционирует как два 8-разрядных таймера (TMR3H и TMR3L). Оба 8-разрядных таймера функционируют в режиме с автоперезагрузкой, как показано на рис.22.7. TMR3RLL содержит значение перезагрузки для TMR3L; TMR3RLH содержит значение перезагрузки для TMR3H. Бит TR3 в регистре TMR3CN управляет запуском TMR3H; TMR3L, работающий в 8-разрядном режиме, запущен всегда.

Для тактирования каждого 8-разрядного таймера можно использовать сигналы SYSCLK, SYSCLK/12 или EXTCLK/8. Биты выбора источника тактирования Таймера 3 (T3MH и T3ML в регистре CKCON) выбирают либо SYSCLK, либо сигнал тактирования, определяемый битом выбора внешнего источника тактирования Таймера 3 (T3XCLK в регистре TMR3CN) следующим образом:

T3MH	T3XCLK	Источник тактирования TMR3H	T3ML	T3XCLK	Источник тактирования TMR3L
0	0	SYSCLK/12	0	0	SYSCLK/12
0	1	EXTCLK/8	0	1	EXTCLK/8
1	X	SYSCLK	1	X	SYSCLK

Если TMR3H переполняется из 0xFF в 0x00, то бит TF3H устанавливается в 1; если TMR3L переполняется из 0xFF в 0x00, то бит TF3L устанавливается в 1. Если прерывания от Таймера 3 разрешены (IE.5), то прерывание будет генерироваться при каждом переполнении TMR3H. Если прерывания от Таймера 3 разрешены и бит TF3LEN (TMR3CN.5) установлен в 1, то прерывание будет генерироваться каждый раз при переполнении либо TMR3L, либо TMR3H. Если TF3LEN = 1, то программа должна проверять флаги TF3H и TF3L, чтобы определить источник прерывания от Таймера 3. Флаги прерывания TF3H и TF3L не сбрасываются аппаратно и должны сбрасываться программно.

Рисунок 22.7. Структурная схема Таймера 3 в 8-разрядном режиме



SFR-описание 22.13. TMR3CN: Регистр управления Таймера 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x91
TF3H	TF3L	TF3LEN	-	T3SPLIT	TR3	-	T3XCLK	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: TF3H: Флаг переполнения старшего байта Таймера 3.
Этот бит аппаратно устанавливается в 1 при переполнении старшего байта Таймера 3 из состояния 0xFF в состояние 0x00. В 16-разрядном режиме это будет происходить при переполнении Таймера 3 из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера 3 разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера 3. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Бит 6: TF3L: Флаг переполнения младшего байта Таймера 3.
Этот бит аппаратно устанавливается в 1 при переполнении младшего байта Таймера 3 из состояния 0xFF в состояние 0x00. При установке этого бита прерывание будет генерироваться в том случае, если TF3LEN = 1 и прерывания от Таймера 3 разрешены. Бит TF3L устанавливается в 1 при переполнении младшего байта независимо от режима работы Таймера 3. Этот бит не сбрасывается аппаратно.

Бит 5: TF3LEN: Флаг разрешения прерывания от переполнения младшего байта Таймера 3.
Этот бит разрешает/запрещает прерывания от переполнения младшего байта Таймера 3. Если TF3LEN = 1 и прерывания от Таймера 3 разрешены, то при переполнении младшего байта Таймера 3 будет генерироваться прерывание. Если Таймер 3 работает в 16-разрядном режиме, то этот бит должен быть сброшен в 0.
0: Прерывания от переполнения младшего байта Таймера 3 запрещены.
1: Прерывания от переполнения младшего байта Таймера 3 разрешены.

Бит 4: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Бит 3: T3SPLIT: Разрешение отдельного режима Таймера 3.
Если этот бит установлен в 1, то Таймер 3 функционирует как два 8-разрядных таймера с автоперезагрузкой.
0: Таймер 3 функционирует в 16-разрядном режиме с автоперезагрузкой.
1: Таймер 3 функционирует как два 8-разрядных таймера с автоперезагрузкой.

Бит 2: TR3: Бит управления запуском Таймера 3.
Этот бит включает/отключает Таймер 3. В 8-разрядном режиме этот бит включает/отключает только TMR3H; TMR3L в этом режиме включен всегда.
0: Таймер 3 отключен.
1: Таймер 3 включен.

Бит 1: Не используется. Читается как 0b. Запись не оказывает никакого влияния.

Бит 0: T3XCLK: Выбор внешнего источника тактирования для Таймера 3.
Этот бит выбирает внешний источник тактирования для Таймера 3. В 8-разрядном режиме этот бит выбирает внешний источник тактирования для обоих байт таймера. Однако, все равно можно использовать биты выбора источника тактирования Таймера 3 (TM3H и TM3L в регистре SKCON) для выбора между внешним источником тактирования и системным тактовым сигналом (для любого таймера).
0: В качестве внешнего источника тактирования для Таймера 3 выбран SYSCLK/12.
1: В качестве внешнего источника тактирования для Таймера 3 выбран EXTCLK/8. Следует иметь в виду, что EXTCLK/8 синхронизируется с SYSCLK.

SFR-описание 22.14. TMR3RLL: Младший байт регистра перезагрузки Таймера 3

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x92							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR3RLL: Младший байт регистра перезагрузки Таймера 3.
TMR3RLL содержит младший байт перезагружаемого значения Таймера 3.

SFR-описание 22.15. TMR3RLH: Старший байт регистра перезагрузки Таймера 3

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x93							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR3RLH: Старший байт регистра перезагрузки Таймера 3.
TMR3RLH содержит старший байт перезагружаемого значения Таймера 3.

SFR-описание 22.16. TMR3L: Младший байт Таймера 3

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x94							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR3L: Младший байт Таймера 3.
В 16-разрядном режиме регистр TMR3L содержит младший байт 16-разрядного Таймера 3.
В 8-разрядном режиме регистр TMR3L содержит 8-разрядное значение младшего таймера.

SFR-описание 22.17. TMR2H: Старший байт Таймера 3

R/W	Значение при сбросе: 00000000 SFR Адрес: 0x95							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TMR2H: Старший байт Таймера 3.
В 16-разрядном режиме регистр TMR2H содержит старший байт 16-разрядного Таймера 3.
В 8-разрядном режиме регистр TMR2H содержит 8-разрядное значение старшего таймера.



23. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ

Программируемый массив счетчиков (ПМС) реализует расширенные таймерные функции, при этом требует меньшего вмешательства со стороны процессорного ядра, чем стандартные таймеры/счетчики архитектуры 8051. ПМС состоит из специального 16-разрядного таймера/счетчика и трех 16-разрядных модулей захват/сравнение. Каждый модуль захват/сравнение имеет свою собственную линию ввода/вывода (CEXn), которая через матрицу соединяется, если разрешено, с портом ввода/вывода (подробная информация о настройке матрицы приведена в разделе 18.1 «Приоритетный декодер матрицы» на стр.139). Таймер/счетчик тактируется программируемым внутренним сигналом, в качестве которого могут использоваться:

- внутренний сигнал с частотой, равной системной тактовой частоте;
- внутренний сигнал с частотой, равной 1/4 системной тактовой частоты;
- внутренний сигнал с частотой, равной 1/12 системной тактовой частоты;
- сигнал от внешнего генератора, деленный по частоте на 8;
- переполнение Таймера 0;
- входной сигнал на внешнем выводе ECI.

Каждый модуль захвата/сравнения можно независимо настроить для работы в одном из шести режимов: иницируемый по фронту сигнала захват, программный таймер, высокоскоростной выход, выход заданной частоты, 8-разрядный широтно-импульсный модулятор и 16-разрядный широтно-импульсный модулятор (описание каждого режима приведено в разделе 23.2 «Модули захвата/сравнения» на стр.213). Тактирование от внешнего генератора является идеальным решением для реализации функций реального времени, т.к. позволяет тактировать ПМС от прецизионного внешнего генератора в то время, как внутренний генератор используется для системного тактирования. Для управления модулем ПМС и его настройки используются связанные с ним SFR-регистры. Структурная схема модуля ПМС показана на рис.23.1.

Важное примечание: Модуль 2 захвата/сравнения можно использовать как сторожевой таймер WDT (этот режим включается после системного сброса). Если режим WDT включен, то доступ к некоторым регистрам ПМС ограничен. Подробная информация приведена в разделе 23.3.

Рисунок 23.1. Структурная схема ПМС



23.1. Таймер/счетчик модуля ПМС

16-разрядный таймер/счетчик модуля ПМС состоит из двух 8-разрядных SFR регистров: PCA0L и PCA0H. PCA0H является старшим байтом (СЗБ) 16-разрядного таймера/счетчика, а PCA0L образует младший байт (МЗБ). При чтении регистра PCA0L значение регистра PCA0H автоматически фиксируется в регистре-защелке; последующее чтение регистра PCA0H возвратит данные именно из этого регистра-защелки. Таким образом, для обеспечения точности считывания полного 16-разрядного значения таймера/счетчика ПМС необходимо **сначала прочитать регистр PCA0L, а затем регистр PCA0H**. Чтение регистров PCA0H или PCA0L не препятствует функционированию счетчика. Выбор внутреннего сигнала тактирования таймера/счетчика осуществляется битами CPS2 - CPS0 регистра PCA0MD, как показано в табл.23.1.

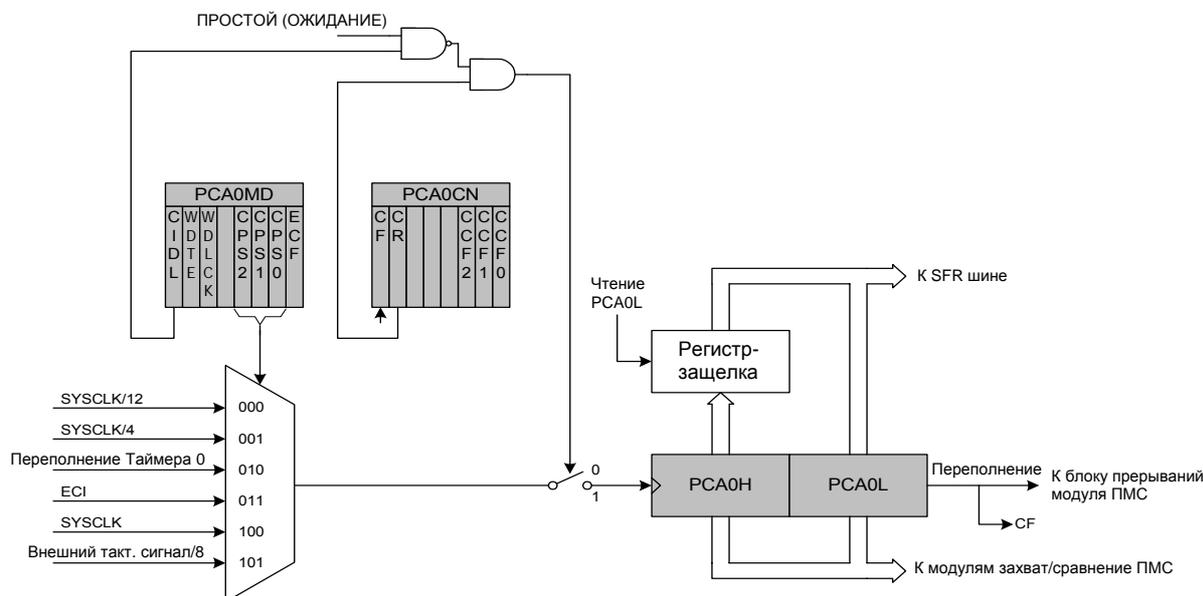
При переполнении таймера/счетчика из состояния 0xFFFF в состояние 0x0000 устанавливается в 1 флаг переполнения счетчика (CF) в регистре PCA0MD и, если прерывание от флага CF разрешено, генерируется запрос прерывания. Установка в 1 бита ECF в регистре PCA0MD разрешает генерацию запроса прерываний при установке флага CF. Бит CF не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Следует иметь в виду, что прерывания от флага CF распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (IE1.3). Сброс в 0 бита CIDL регистра PCA0MD позволяет ПМС продолжать нормальное функционирование в то время, когда МК переведен в режим ожидания.

Таблица 23.1. Выбор тактового сигнала для ПМС

CPS2	CPS1	CPS0	Внутренний сигнал тактирования ПМС
0	0	0	SYSClk/12
0	0	1	SYSClk/4
0	1	0	Переполнение Таймера 0
0	1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (макс. частота = SYSClk/4)
1	0	0	SYSClk
1	0	1	Сигнал от внешнего генератора, деленный по частоте на 8*

* Сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом

Рисунок 23.2. Структурная схема таймера/счетчика модуля ПМС



23.2. Модули захват/сравнение

Каждый модуль можно независимо настроить для работы в одном из шести режимов: инициируемый по фронту сигнала захват, программный таймер, высокоскоростной выход, выход заданной частоты, 8-разрядный широтно-импульсный модулятор и 16-разрядный широтно-импульсный модулятор. Каждый модуль имеет связанные с ним регистры специального назначения, которые используются для обмена данными с модулем и для настройки режимов работы.

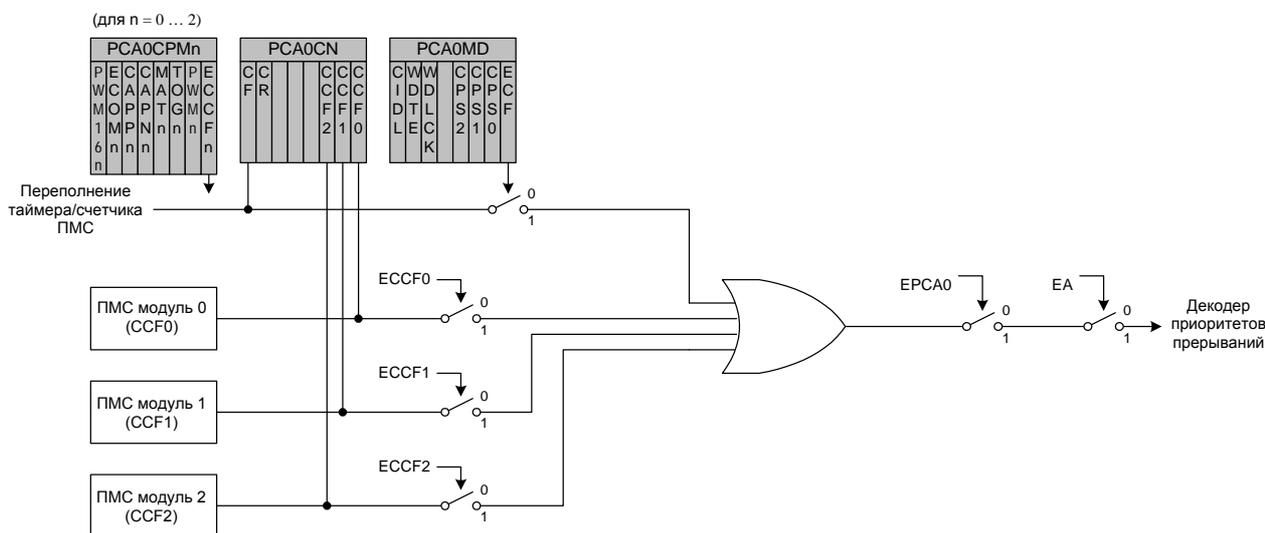
В табл.23.2 приведены комбинации бит в регистрах PCA0CPMn, используемые для перевода модулей захват/сравнение в различные режимы работы. Установка в 1 битов ECCFn в регистрах PCA0CPMn разрешает генерацию прерываний при установке в 1 флагов CCFn. Следует иметь ввиду, что индивидуальные CCFn прерывания распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (EIE1.3). Схема формирования прерываний от модуля ПМС приведена на рис.23.3.

Таблица 23.2. Настройка модулей захват/сравнение в регистре PCA0CPM

PWM16	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	Operation Mode
x	x	1	0	0	0	0	x	Захват инициируется положительным фронтом сигнала на линии CEXn
x	x	0	1	0	0	0	x	Захват инициируется отрицательным фронтом сигнала на линии CEXn
x	x	1	1	0	0	0	x	Захват инициируется изменением сигнала на линии CEXn
x	1	0	0	1	0	0	x	Программный таймер
x	1	0	0	1	1	0	x	Высокоскоростной выход
x	1	0	0	x	1	1	x	Выход заданной частоты
0	1	0	0	x	0	1	x	8-разр. широтно-импульсный модулятор
1	1	0	0	x	0	1	x	16-разр. широтно-импульсный модулятор

X = не имеет значения

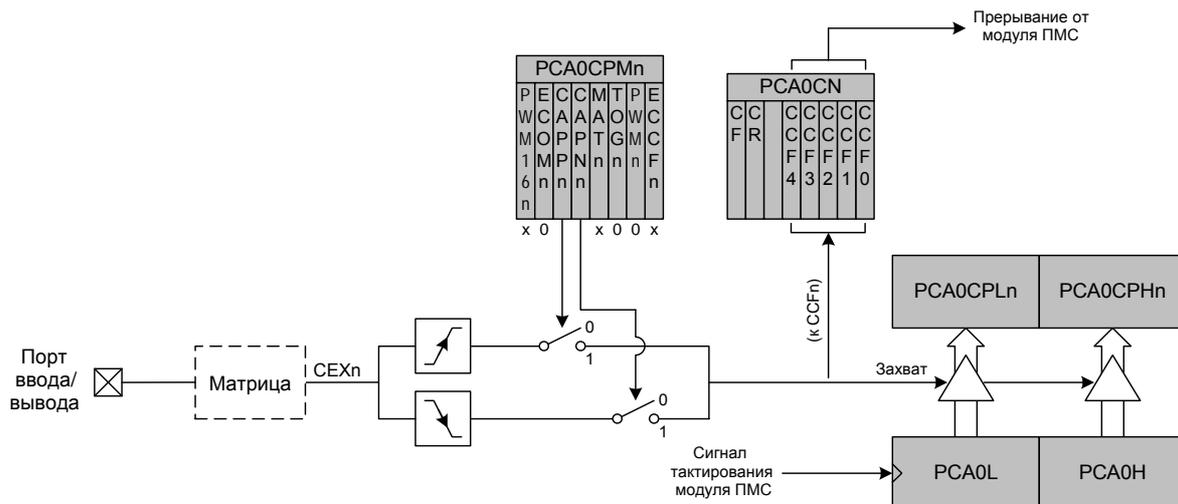
Рисунок 23.3. Схема формирования прерывания от ПМС



23.2.1. Режим захвата по фронту сигнала

В этом режиме активный фронт сигнала на внешнем выводе СЕХ_n приведет к захвату значения таймера/счетчика ПМС и загрузке его в 16-разрядный регистр захвата/сравнения (PCA0CPL_n и PCA0CPH_n) соответствующего модуля. Биты CAPP_n и CAPN_n регистра PCA0CPM_n определяют, по какому фронту будет осуществляться захват: по положительному (переход из 0 в 1), по отрицательному (переход из 1 в 0) или по любому фронту. Когда происходит захват, флаг захвата/сравнения (CCF_n) в регистре PCA0CN устанавливается в 1 и, если CCF прерывание разрешено, генерируется запрос прерывания. Бит CCF_n не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Если оба бита CAPP_n и CAPN_n установлены в 1, то состояние вывода порта, связанного с СЕХ_n, можно прочитать непосредственно, чтобы определить, каким фронтом вызван захват (положительным или отрицательным).

Рисунок 23.4. Структурная схема ПМС в режиме захвата



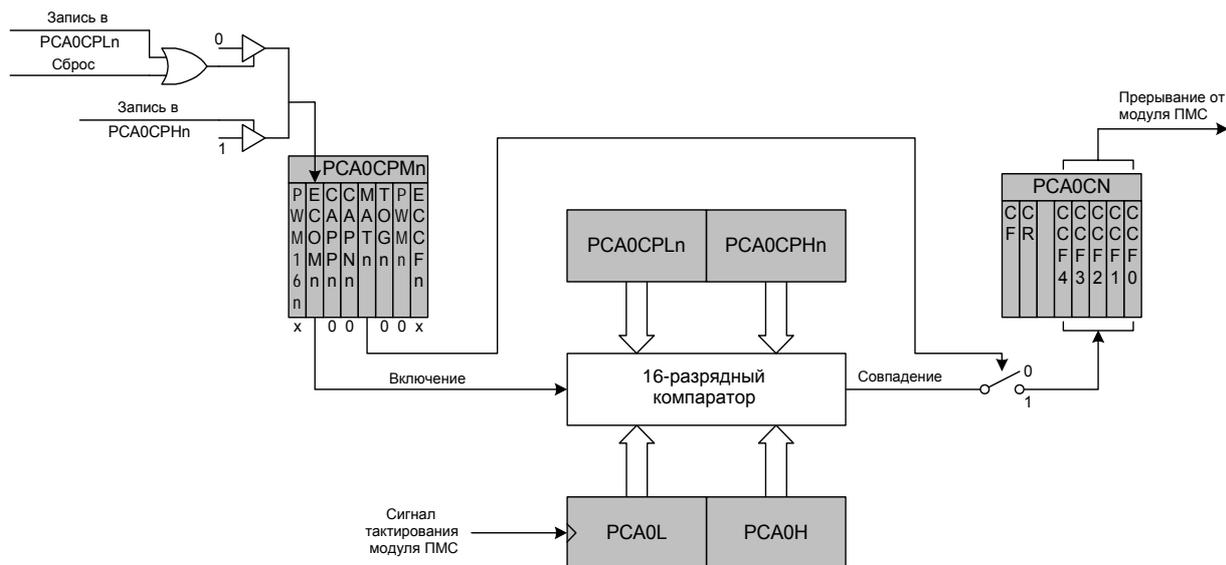
Примечание: Минимальная длительность удержания высокого или низкого уровней сигнала на входе СЕХ_n составляет 2 системных тактовых цикла, что необходимо для обеспечения правильного функционирования модуля ПМС.

23.2.2. Режим программного таймера (сравнения)

В режиме программного таймера значение таймера/счетчика ПМС сравнивается со значением 16-разрядного регистра захвата/сравнения (PCA0CPHn и PCA0CPLn) соответствующего модуля. Когда происходит совпадение, флаг захвата/сравнения (CCFn) в регистре PCA0CN устанавливается в 1 и, если CCFn прерывание разрешено, генерируется запрос прерывания. Бит CCFn не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Режим программного таймера включается установкой в 1 битов ECOMn и MATn регистра PCA0CPMn.

Важное замечание относительно регистров захвата/сравнения: При записи 16-разрядного значения в регистры захвата/сравнения модуля ПМС младший байт всегда необходимо записывать первым. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 23.5. Структурная схема ПМС в режиме программного таймера

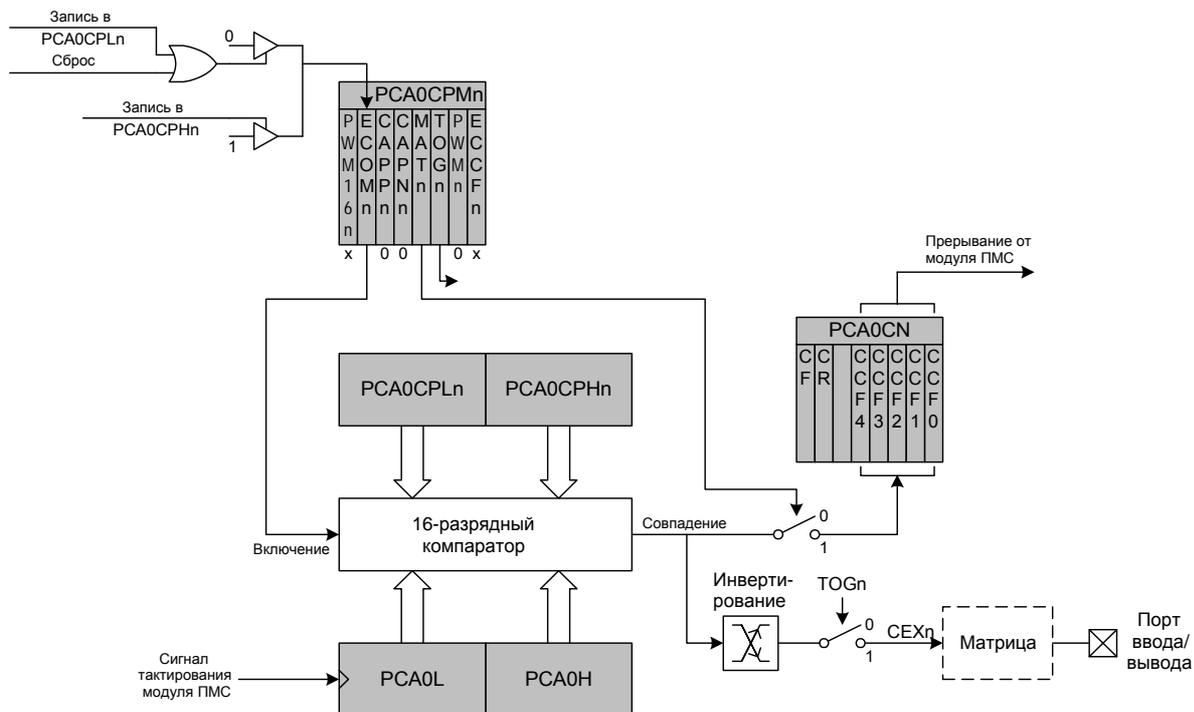


23.2.3. Режим высокоскоростного выхода

В этом режиме каждый раз, когда происходит совпадение значения таймера/счетчика ПМС и значения 16-разрядного регистра захвата/сравнения (PCA0CPHn and PCA0CPLn), логический уровень выходного сигнала на относящемся к модулю выводе CEXn будет инвертироваться. Режим высокоскоростного выхода включается установкой в 1 битов TOGn, MATn и ECOMn регистра PCA0CPMn.

Важное замечание относительно регистров захвата/сравнения: При записи 16-разрядного значения в регистры захвата/сравнения модуля ПМС младший байт всегда необходимо записывать первым. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 23.6. Структурная схема ПМС в режиме высокоскоростного выхода



23.2.5. Режим 8-разрядного широтно-импульсного модулятора

Каждый модуль захвата/сравнения можно использовать независимо от других для генерации на соответствующем ему выводе СЕХ_n выходного сигнала с широтно-импульсной модуляцией (ШИМ). Частота этого выходного сигнала зависит от частоты сигнала тактирования таймера/счетчика ПМС. Для изменения коэффициента заполнения (скважности) выходного ШИМ сигнала используется регистр захвата/сравнения PCA0CPL_n соответствующего модуля. Когда значение младшего байта таймера/счетчика ПМС (PCA0L) становится равным значению регистра PCA0CPL_n, на внешнем выводе СЕХ_n устанавливается сигнал высокого уровня. Когда регистр PCA0L переполнится, на выводе СЕХ_n установится сигнал низкого уровня (см. рис.23.8). Кроме этого, при переполнении младшего байта таймера/счетчика (PCA0L) из состояния 0xFF в состояние 0x00 регистр PCA0CPL_n автоматически перезагружается значением, хранящимся в регистре PCA0CPH_n, без вмешательства со стороны программы. Во избежание сбоев в работе цифрового компаратора рекомендуется осуществлять запись в регистр PCA0CPH_n, а не в регистр PCA0CPL_n. Режим 8-разрядного широтно-импульсного модулятора включается установкой в 1 бит ECOM_n и PWM_n регистра PCA0CPM_n. Скважность выходного сигнала в режиме 8-разрядного ШИМ определяется уравнением 23.2.

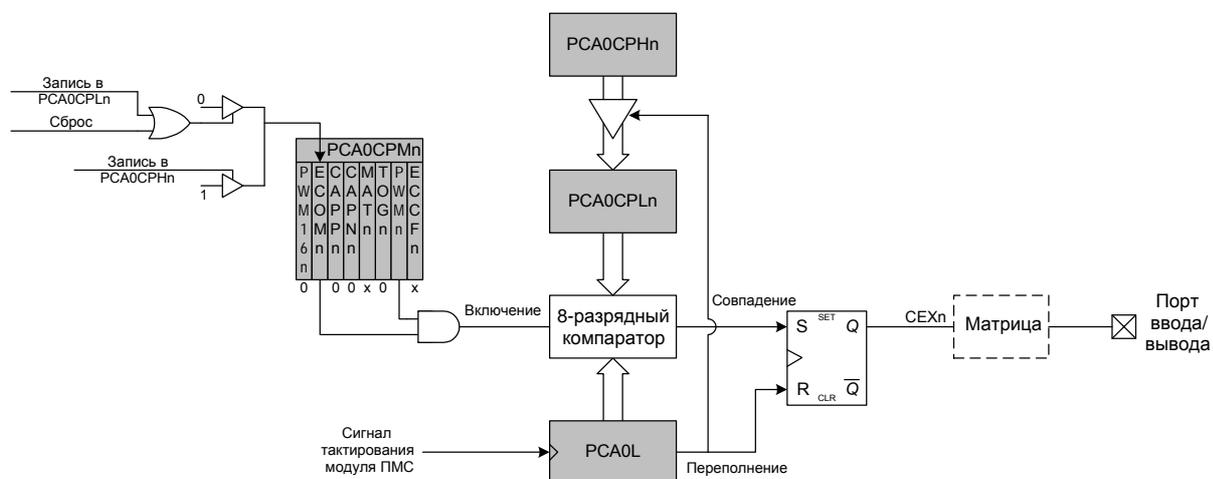
Важное замечание относительно регистров захвата/сравнения: При записи 16-разрядного значения в регистры захвата/сравнения модуля ПМС младший байт всегда необходимо записывать первым. Запись в регистр PCA0CPL_n сбрасывает в 0 бит ECOM_n; запись в регистр PCA0CPH_n устанавливает в 1 бит ECOM_n.

Уравнение 23.2. Скважность выходного сигнала в режиме 8-разр. ШИМ

$$DutyCycle = (256 - PCA0CPH_n) / 256$$

В соответствии с уравнением 23.2 максимальная скважность составляет 100% (PCA0CPH_n = 0), а минимальная скважность составляет 0,39% (PCA0CPH_n = 0xFF). Сигнал со скважностью, равной 0%, можно получить, сбросив в 0 бит ECOM_n.

Рисунок 23.8. Структурная схема ПМС в режиме 8-разр. ШИМ.



23.2.6. Режим 16-разрядного широтно-импульсного модулятора

Каждый модуль захвата/сравнения можно также использовать в режиме 16-разрядного ШИМ. В этом режиме 16-разрядное значение регистров захвата/сравнения (PCA0CPHn : PCA0CPLn) определяет количество циклов тактирования ПМС, в течение которых выходной сигнал ШИМ удерживается на низком логическом уровне. Когда значение счетчика ПМС сравнивается с содержимым регистров захвата/сравнения (PCA0CPHn: PCA0CPLn), на выходе CEXn устанавливается сигнал высокого уровня; когда счетчик ПМС переполнится, на выходе CEXn установится сигнал низкого уровня. Чтобы выводить сигнал с изменяемой скважностью, запись новых значений необходимо синхронизировать с прерываниями от флага CCFn модуля ПМС. Режим 16-разрядного широтно-импульсного модулятора включается установкой в 1 бит ECOMn, PWMn и PWM16n регистра PCA0CPMn. Для получения сигнала с изменяемой скважностью следует разрешить прерывания (ECCFn = 1 и MATn = 1), чтобы обеспечить возможность синхронизации операций записи регистра захвата/сравнения. Скважность выходного сигнала в режиме 16-разрядного ШИМ определяется уравнением 23.3.

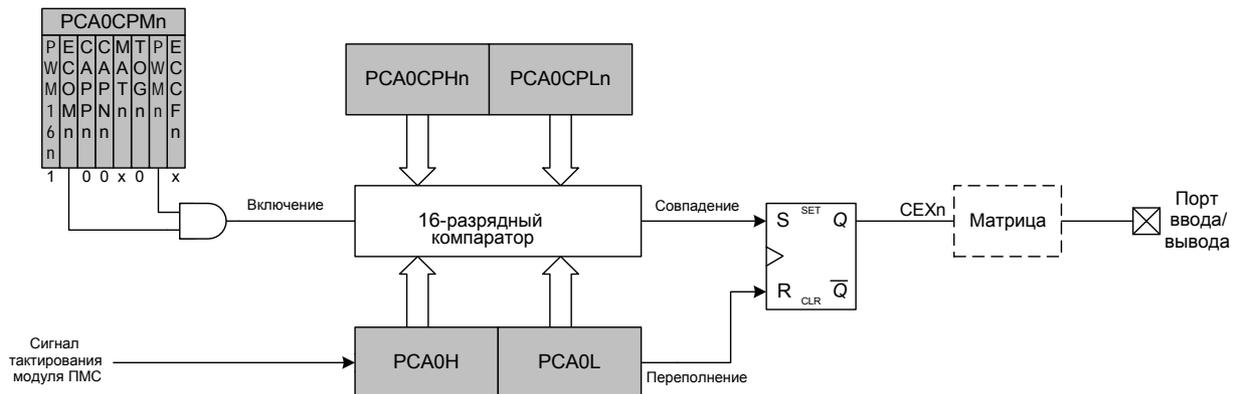
Важное замечание относительно регистров захвата/сравнения: При записи 16-разрядного значения в регистры захвата/сравнения модуля ПМС младший байт всегда необходимо записывать первым. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Уравнение 23.3. Скважность выходного сигнала в режиме 16-разр. ШИМ

$$DutyCycle = (65536 - PCA0CPn) / 65536$$

В соответствии с уравнением 20.3 максимальная скважность составляет 100% (PCA0CPHn = 0), а минимальная скважность составляет 0,0015% (PCA0CPHn = 0xFFFF). Сигнал со скважностью, равной 0%, можно получить, сбросив в 0 бит ECOMn.

Рисунок 23.9. Структурная схема ПМС в режиме 16-разр. ШИМ.



23.3. Режим сторожевого таймера

Модуль 2 ПМС можно использовать в режиме программируемого сторожевого таймера (WDT). WDT используется для генерации системного сброса в случае, если время между операциями записи в регистр обновления WDT (PCA0CPH2) превышает заданное значение. WDT можно программно настраивать, а также включать/отключать при необходимости.

Если бит WDTE в регистре PCA0MD установлен в 1, то модуль 2 функционирует как сторожевой таймер (WDT). Старший байт модуля 2 сравнивается со старшим байтом счетчика ПМС; младший байт модуля 2 содержит смещение, которое используется при обновлении WDT. **При сбросе сторожевой таймер WDT включается. Пока WDT включен, доступ к некоторым регистрам ПМС ограничен.**

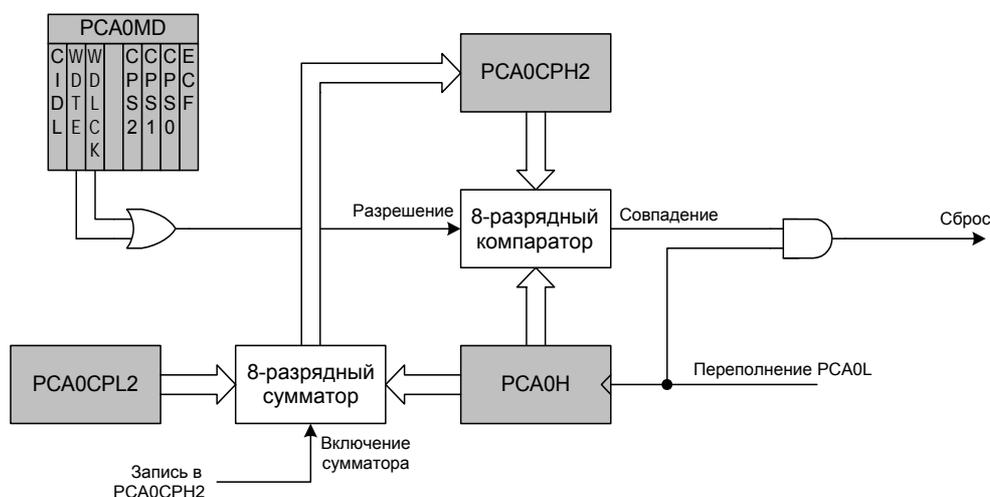
23.3.1. Функционирование сторожевого таймера

Если WDT включен, то:

- Счетчик ПМС считает.
- Запись в регистры PCA0L и PCA0H запрещена.
- Биты выбора источника тактирования ПМС (CPS2 – CPS0) «заморожены».
- Бит управления состоянием ожидания ПМС (CIDL) «заморожен».
- Модуль 2 переведен в режим программного таймера.
- Операции записи в регистр режима модуля 2 (PCA0CPM2) запрещены.

Если WDT включен, то запись бита CR не изменит состояния счетчика ПМС; счетчик будет считать до тех пор, пока WDT не будет запрещен. Бит управления запуском счетчика ПМС (CR) будет читаться как '0', если WDT включен, но не программа пользователя включает счетчик ПМС. Если произойдет совпадение значений регистров PCA0CPH2 и PCA0H, когда WDT включен, то будет сгенерирован системный сброс. Если требуется предотвратить сброс от WDT, то WDT можно обновить путем записи любого значения в регистр PCA0CPH2. При записи PCA0CPH2 в регистр PCA0CPH2 будет загружаться значение регистра PCA0L плюс смещение, содержащееся в регистре PCA0CPL2 (см. рис.23.10).

Рисунок 23.10. Модуль 2 захвата/сравнения ПМС с включенным сторожевым таймером



Следует иметь в виду, что 8-разрядное смещение, хранимое в регистре PCA0CPL2, сравнивается со старшим байтом 16-разрядного счетчика ПМС. Это значение представляет собой количество переполнений PCA0L до сброса. Перед первым переполнением PCA0L может пройти до 256 циклов ПМС, в зависимости от значения PCA0L при выполнении обновления. Таким образом, общее смещение определяется (в циклах ПМС) уравнением 23.4, где PCA0L – значение регистра PCA0L в момент обновления.



Уравнение 23.4. Смещение WDT в циклах ПМС

$$\text{Смещение} = (256 \times \text{PCA0CPL2}) + (256 - \text{PCA0L})$$

Сброс от WDT генерируется, если PCA0L переполняется, когда значения регистров PCA0CPH2 и PCA0H совпадают. Программа может вызвать сброс от WDT, установив в 1 бит CCF2 (PCA0CN.2), когда WDT включен.

23.3.2. Использование сторожевого таймера

Чтобы настроить WDT, необходимо выполнить следующую последовательность действий:

1. Отключить WDT, сбросив в 0 бит WDTE.
2. Выбрать необходимый источник тактирования ПМС (с помощью бит CPS2 – CPS0).
3. Загрузить в регистр PCA0CPL2 необходимое значение смещения, используемое при обновлении WDT.
4. Перевести ПМС в режим ожидания (установить бит CIDL в 1, если WDT должен останавливаться при переходе CPU в режим ожидания).
5. Включить WDT, установив в 1 бит WDTE.

Источник тактирования ПМС и выбор режима ожидания нельзя изменить, пока WDT включен. Сторожевой таймер включается установкой в 1 битов WDTE или WDLCK в регистре PCA0MD. Если WDLCK = 1, то WDT нельзя отключить до следующего системного сброса. Если WDLCK = 0, то WDT можно отключить, сбросив в 0 бит WDTE.

WDT включается после любого сброса. По умолчанию счетчик ПМС тактируется сигналом SYSCLK/12, PCA0L = 0x00, PCA0CPL2 = 0x00. Отсюда следует, что по умолчанию таймаут WDT составляет 256 системных тактовых циклов (см. уравнение 23.4). В таблице 23.3 приведены некоторые значения таймаутов WDT для типичных частот системного тактового сигнала.

Таблица 23.3. Значения таймаута сторожевого таймера*

Системный тактовый сигнал (МГц)	PCA0CPL2	Таймаут WDT (мс)
24,500,000	255	32.1
24,500,000	128	16.2
24,500,000	32	4.1
18,432,000	255	42.7
18,432,000	128	21.5
18,432,000	32	5.5
11,059,200	255	71.1
11,059,200	128	35.8
11,059,200	32	9.2
3,062,500**	255	257
3,062,500**	128	129.5
3,062,500**	32	33.1
32,000	255	24576
32,000	128	12384
32,000	32	3168

* Предполагается использование SYSCLK/12 в качестве сигнала тактирования ПМС и PCA0L = 0x00 в момент обновления.

** Частота сброса внутреннего генератора.

23.4. Описание регистров модуля ПМС

Ниже приводится описание регистров специального назначения, связанных с работой модуля ПМС.

SFR-описание 23.1. PCA0CN: Регистр управления ПМС

R/W	R/W	R	R	R	R/W	R/W	R/W	Значение при сбросе: 00000000
CF	CR	-	-	-	CCF2	CCF1	CCF0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 <small>(доступен в битовом режиме адресации)</small>	

Бит 7: CF: Флаг переполнения Таймера/Счетчика ПМС.
Устанавливается в 1 аппаратно, когда Таймер/Счетчик ПМС переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера/Счетчика ПМС (от флага CF) разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 6: CR: Управление запуском Таймера/Счетчика ПМС.
Этот бит включает/отключает Таймер/Счетчик ПМС.
0: Таймер/Счетчик ПМС отключен.
1: Таймер/Счетчик ПМС включен.

Биты 5-3: Не используются. Читаются как 000b. Запись не оказывает никакого влияния.

Бит 2: CCF2: Флаг захвата/сравнения модуля 2 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 1: CCF1: Флаг захвата/сравнения модуля 1 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 0: CCF0: Флаг захвата/сравнения модуля 0 ПМС.
Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.



SFR-описание 23.2. PCA0MD: Регистр режима ПМС

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	Значение при сбросе: 01000000 SFR Адрес: 0xD9																																				
CIDL	WDTE	WDLCK	-	CPS2	CPS1	CPS0	ECF																																					
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0																																					
<p>Бит 7: CIDL: Управление режимом простоя (ожидания) Таймера/Счетчика ПМС. Это бит определяет поведение ПМС в то время, когда CPU находится в режиме простоя (ожидания). 0: ПМС продолжает нормально функционировать в то время, когда МК находится в режиме простоя (ожидания). 1: Работа ПМС приостанавливается в то время, когда МК находится в режиме простоя (ожидания).</p> <p>Бит 6: WDTE: Включение сторожевого таймера. Если WDTE = 1, то Модуль 2 ПМС используется как сторожевой таймер. 0: Сторожевой таймер отключен. 1: Модуль 2 ПМС включен в режиме сторожевого таймера.</p> <p>Бит 5: WDLCK: Блокировка сторожевого таймера. Этот бит включает и блокирует сторожевой таймер. Если WDLCK = 1, то сторожевой таймер нельзя отключить до следующего системного сброса. 0: Сторожевой таймер разблокирован. 1: Сторожевой таймер включен и заблокирован.</p> <p>Бит 4: Не используется. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Биты 3-1: CPS2-CPS0: Выбор сигнала тактирования Таймера/Счетчика ПМС. Эти биты определяют, какой сигнал будет использоваться для тактирования Таймера/Счетчика ПМС.</p> <table border="1"> <thead> <tr> <th>CPS2</th> <th>CPS1</th> <th>CPS0</th> <th>Внутренний сигнал тактирования ПМС</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>SYSCLK/12</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>SYSCLK/4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Переполнение Таймера 0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (максимальная частота = SYSCLK/4)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>SYSCLK</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Сигнал от внешнего источника, деленный по частоте на 8*</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>Зарезервировано</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Зарезервировано</td> </tr> </tbody> </table> <p>* Сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом.</p> <p>Бит 0: ECF: Разрешение прерываний от переполнения Таймера/Счетчика ПМС. Этот бит разрешает/запрещает прерывания от переполнения Таймера/Счетчика ПМС (от флага CF). 0: Прерывания от флага CF (PCA0CN.7) запрещены. 1: Прерывания от флага CF (PCA0CN.7) разрешены.</p> <p>Примечание: Если WDTE = 1, то значение регистра PCA0MD нельзя модифицировать. Чтобы изменить значение регистра PCA0MD, необходимо сначала отключить сторожевой таймер.</p>									CPS2	CPS1	CPS0	Внутренний сигнал тактирования ПМС	0	0	0	SYSCLK/12	0	0	1	SYSCLK/4	0	1	0	Переполнение Таймера 0	0	1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (максимальная частота = SYSCLK/4)	1	0	0	SYSCLK	1	0	1	Сигнал от внешнего источника, деленный по частоте на 8*	1	1	0	Зарезервировано	1	1	1	Зарезервировано
CPS2	CPS1	CPS0	Внутренний сигнал тактирования ПМС																																									
0	0	0	SYSCLK/12																																									
0	0	1	SYSCLK/4																																									
0	1	0	Переполнение Таймера 0																																									
0	1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (максимальная частота = SYSCLK/4)																																									
1	0	0	SYSCLK																																									
1	0	1	Сигнал от внешнего источника, деленный по частоте на 8*																																									
1	1	0	Зарезервировано																																									
1	1	1	Зарезервировано																																									

SFR-описание 23.3. PCA0CPMn: Регистры управления модулями захват/сравнение

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
PWM16n	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xDA-0xDC

Адреса регистров PCA0CPMn: PCA0CPM0 = 0xDA (n = 0)
PCA0CPM1 = 0xDB (n = 1)
PCA0CPM2 = 0xDC (n = 2)

Бит 7: PWM16n: Включение режима 16-разрядного ШИМ.
Этот бит выбирает 16-разрядный режим, если режим ШИМ включен (PWMn = 1).
0: Выбран режим 8-разр. ШИМ.
1: Выбран режим 16-разр. ШИМ.

Бит 6: ECOMn: Разрешение функции компаратора.
Этот бит включает/отключает функцию компаратора модуля n ПМС.
0: Компаратор отключен.
1: Компаратор включен.

Бит 5: CAPPn: Разрешение функции захвата по положительному фронту.
Этот бит разрешает/запрещает захват по положительному фронту для модуля n ПМС.
0: Захват по положительному фронту запрещен.
1: Захват по положительному фронту разрешен.

Бит 4: CAPNn: Разрешение функции захвата по отрицательному фронту.
Этот бит разрешает/запрещает захват по отрицательному фронту для модуля n ПМС.
0: Захват по отрицательному фронту запрещен.
1: Захват по отрицательному фронту разрешен.

Бит 3: MATn: Разрешение функции определения совпадения.
Этот бит включает/отключает функцию определения совпадения для модуля n ПМС. Если MATn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к установке в 1 бита CCFn в регистре PCA0MD.
0: Функция определения совпадения отключена.
1: Функция определения совпадения включена.

Бит 2: TOGn: Разрешение функции инвертирования выхода.
Этот бит включает/отключает функцию инвертирования выходного сигнала для модуля n ПМС. Если TOGn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к инвертированию логического уровня выходного сигнала на внешнем выводе СЕХn. Если также PWMn = 1, то модуль функционирует в режиме выхода заданной частоты.
0: Функция инвертирования выхода отключена.
1: Функция инвертирования выхода включена.

Бит 1: PWMn: Включение режима ШИМ.
Этот бит включает/отключает функцию ШИМ для модуля n ПМС. Если PWMn = 1, то выходной ШИМ-сигнал появляется на внешнем выводе СЕХn. Если PWM16n = 0, то используется режим 8-разр. ШИМ; если PWM16n = 1, то используется режим 16-разр. ШИМ. Если TOGn = 1, то модуль работает в режиме выхода заданной частоты.
0: Функция ШИМ отключена.
1: Функция ШИМ включена.

Бит 0: ECCFn: Разрешение прерываний от флага захвата/сравнения (CCFn).
Этот бит разрешает/запрещает прерывания от флага захвата/сравнения (CCFn).
0: Прерывания от флага CCFn запрещены.
1: Прерывания от флага CCFn разрешены.



SFR-описание 23.4. PCA0L: Младший байт таймера/счетчика ПМС

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF9							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: PCA0L: Младший байт таймера/счетчика ПМС.
Регистр PCA0L содержит младший байт (МЗБ) 16-разрядного таймера/счетчика ПМС.

SFR-описание 23.5. PCA0H: Старший байт таймера/счетчика ПМС

R/W	Значение при сбросе: 00000000 SFR Адрес: 0xFA							
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: PCA0H: Старший байт таймера/счетчика ПМС.
Регистр PCA0H содержит старший байт (СЗБ) 16-разрядного таймера/счетчика ПМС.

SFR-описание 23.6. PCA0CPLn: Младший байт модуля захвата ПМС

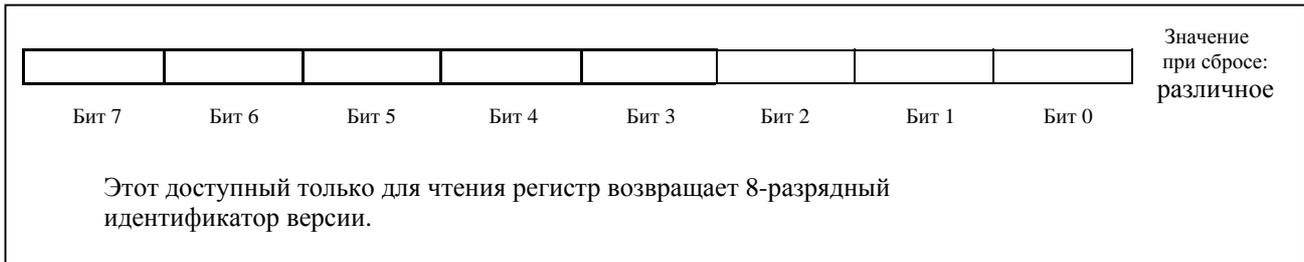
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xE9, 0xEB, 0xED
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Адреса регистров PCA0CPLn: PCA0CPL0 = 0xE9 (n = 0) PCA0CPL1 = 0xEB (n = 1) PCA0CPL2 = 0xED (n = 2)								
Биты 7-6: PCA0CPLn: Младший байт модуля захвата ПМС. Регистр PCA0CPLn содержит младший байт (МЗБ) 16-разрядного модуля захвата n.								

SFR-описание 23.7. PCA0CPHn: Старший байт модуля захвата ПМС

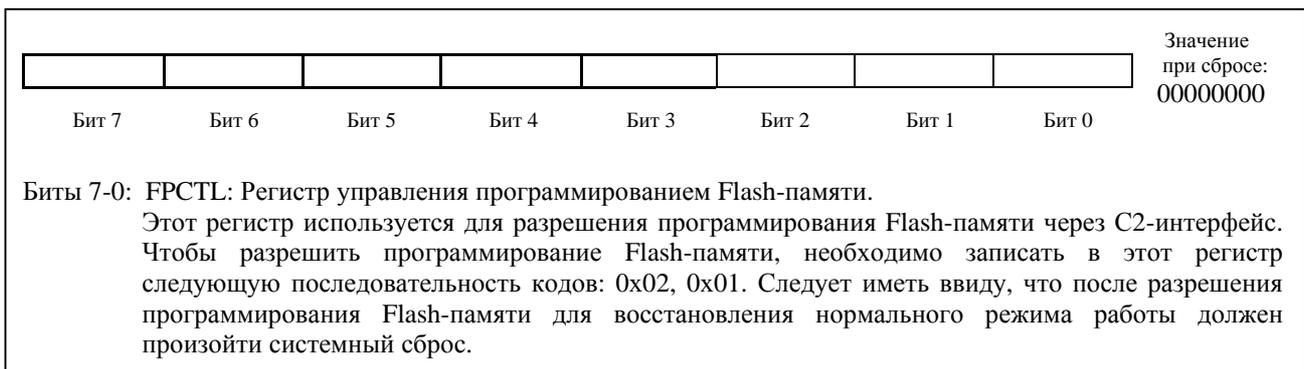
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xEA, 0xEB, 0xEE
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Адреса регистров PCA0CPHn: PCA0CPH0 = 0xEA (n = 0) PCA0CPH1 = 0xEB (n = 1) PCA0CPH2 = 0xEE (n = 2)								
Биты 7-0: PCA0CPHn: Старший байт модуля захвата ПМС. Регистр PCA0CPHn содержит старший байт (СЗБ) 16-разрядного модуля захвата n.								



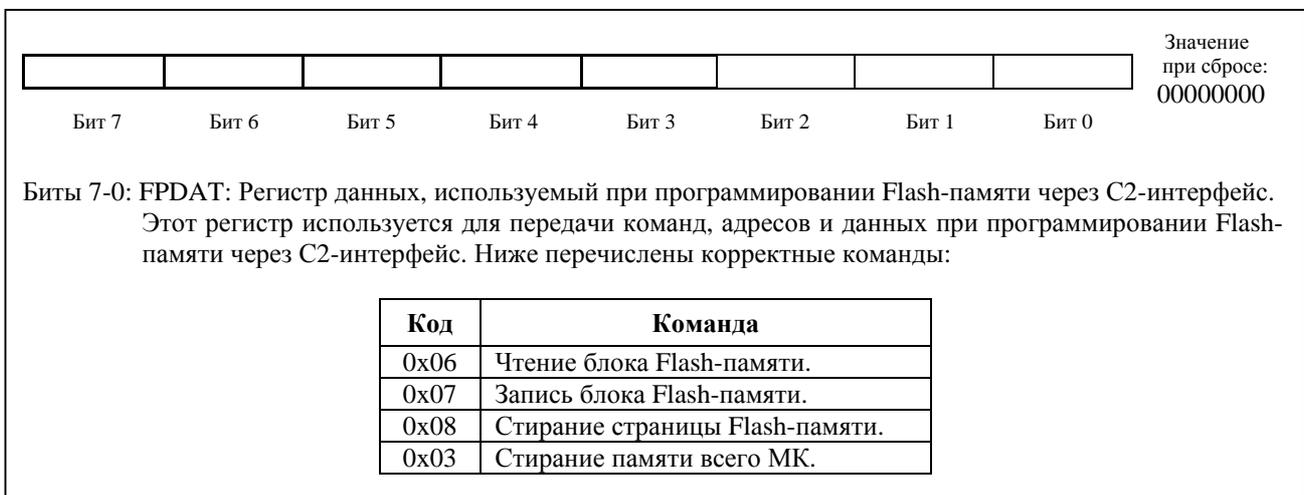
Описание C2-регистра 24.3. REVID: Регистр идентификатора версии C2



Описание C2-регистра 24.4. FPCTL: Регистр управления программированием Flash-памяти посредством интерфейса C2



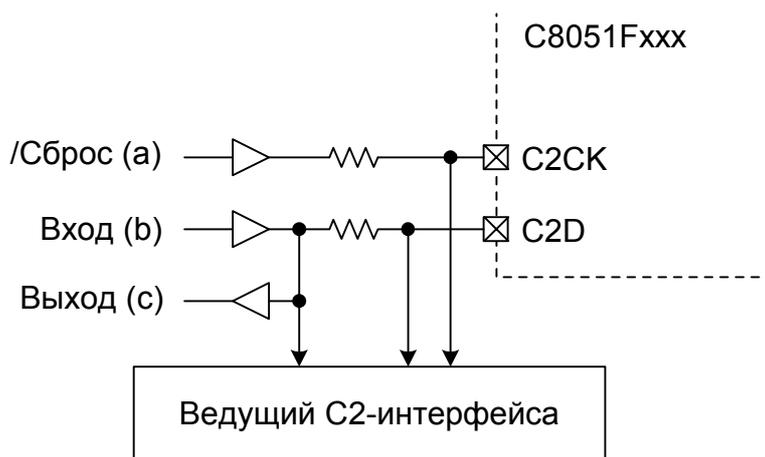
Описание C2-регистра 24.5. FPDAT: Регистр данных интерфейса C2, используемый при программировании Flash-памяти



24.2. Разделение выводов интерфейса C2

Протокол C2 допускает разделение выводов интерфейса C2 с другими пользовательскими функциями таким образом, чтобы можно было выполнять внутрисистемную отладку и программирование Flash-памяти. Это возможно, т.к. взаимодействие с помощью C2-интерфейса обычно осуществляется тогда, когда МК находится в состоянии остановки, при котором все встроенные периферийные модули и программа пользователя останавливаются. В этом остановленном состоянии C2-интерфейс может, не мешая системе, «занять» выводы C2CK (/RST) и C2D (P2.0). В большинстве приложений требуются внешние резисторы, чтобы изолировать трафик C2-интерфейса от приложения пользователя. Типичная схема совместного использования выводов C2-интерфейса приведена на рис.24.1.

Рисунок 24.1. Разделение выводов интерфейса C2



Конфигурация, приведенная на рис.24.1, предполагает следующее:

1. Пользовательский вход (b) не может изменять свое состояние, пока целевой МК остановлен.
2. Вывод /RST целевого МК используется только как вход.

В зависимости от конкретного приложения могут потребоваться дополнительные резисторы.

Список изменений.

Отличия ред. 1.0 от ред. 0.4.

- Удалены вступительные теги и обновлены изменившиеся спецификации.
- Обновлено маркирование корпусов и добавлен столбец «RoSH»-совместимость в табл.1.1 «Сравнительная характеристика микроконтроллеров» на стр.18.
- Глава «АЦП»: Добавлены таблицы 5.5, 5.6, 5.7, 5.8 и 5.9 на стр. 63 – 65.
- Глава «Датчик температуры»: Добавлены значения погрешности смещения и погрешности крутизны в табл.8.1 «Электрические характеристики датчика температуры» на стр.77.
- Глава «Источники сброса»: Таблица 14.1 «Электрические характеристики источников сброса» на стр.120: Добавлено «Время нарастания VDD» и изменено «Пороговое значение напряжения VDD для сброса типа POR» на «Пороговое значение напряжения VDD для схемы слежения за напряжением питания».
- Глава «Flash-память»: Приведено более подробное описание опций защиты Flash-памяти.
- Глава «Генераторы»: Приведено более подробное описание шагов инициализации внешнего кварцевого генератора и добавлен пример для специфичного кварцевого резонатора 32.768 кГц.
- Глава «Генераторы»: Приведено более подробное описание примера с использованием генератора с конденсатором.
- Глава «Порт ввода/вывода»: Рисунок 18.3 и рисунок 18.4, таблицы приоритетов декодера матрицы: изменены PnSKIP[7:0] на PnSKIP[0:7] в соответствии с порядком следования портов ввода/вывода.
- Глава «SMBus»: SFR-описание 19.1, регистр SMB0CF: Добавлено описание поведения Таймера 3 в отдельном режиме при SMBT0E = 1.
- Глава «ПМС»: Обновлены значения таймаута сторожевого таймера в табл.23.3 на стр.221.
- Глава «C2»: Удалены ссылки на «граничное сканирование».



Примечания:

Contact Information

Silicon Laboratories Inc.

4635 Boston Lane

Austin, TX 78735

Tel: 1+(512) 416-8500

Fax: 1+(512) 416-9669

Toll Free: 1+(877) 444-3032

Email: MCUinfo@silabs.com

Internet: www.silabs.com

The information in this document is believed to be accurate in all respects at the time of publication but is subject to change without notice. Silicon Laboratories assumes no responsibility for errors and omissions, and disclaims responsibility for any consequences resulting from the use of information included herein. Additionally, Silicon Laboratories assumes no responsibility for the functioning of undescribed features or parameters. Silicon Laboratories reserves the right to make changes without further notice. Silicon Laboratories makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Silicon Laboratories assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. Silicon Laboratories products are not designed, intended, or authorized for use in applications intended to support or sustain life, or for any other application in which the failure of the Silicon Laboratories product could create a situation where personal injury or death may occur. Should Buyer purchase or use Silicon Laboratories products for any such unintended or unauthorized application, Buyer shall indemnify and hold Silicon Laboratories harmless against all claims and damages.

Silicon Laboratories and Silicon Labs are trademarks of Silicon Laboratories Inc.
Other products or brandnames mentioned herein are trademarks or registered trademarks of their respective holder.

